

# 行政院國家科學委員會專題研究計畫成果報告

計畫名稱：射頻電路板與封裝繞線之研究

Research on RF-Board Routing and Package Routing

計畫編號：NSC89-2213-E002-097

執行期限：88年8月1日至89年7月31日

主持人：陳少傑 臺灣大學電機工程研究所 教授

計畫參與人員：傅日明，林光輝，謝永強，林伯星

臺灣大學電機工程研究所

## 一、中文摘要

隨著封裝接腳數目的增加，印刷電路板的繞線問題變得更加複雜。現今的電腦輔助設計工具並未提供一適當的整合環境，同時考量封裝繞線及電路板繞線的問題。在本計畫中，我們提出一演算法，在考量電路板繞線的情形下，進行封裝繞線的陣列接腳指定，以達到晶片—封裝—電路板相輔設計的目標。在最後，我們舉出一些例子，來說明藉由重新指定陣列接腳，可以提高電路板的繞線成功率。

## Abstract

As the number of pins in *Ball Grid Array* (BGA) and *Pin Grid Array* (PGA) packages increase, the routing of a *Printed-Circuit-Board* (PCB) becomes more and more difficult. CAD Tools at present time do not offer a proper integrated developing environment to consider both the PGA/BGA routing and PCB routing problems at the same time. In this project, we propose an algorithm to perform the pin assignment on PGA/BGA packages to achieve the goal of chip-package codesign under the consideration of PCB routing. Some examples are also provided to compare the results of our pin assignment algorithm that considers PCB routing with the results of that without considering PCB routing.

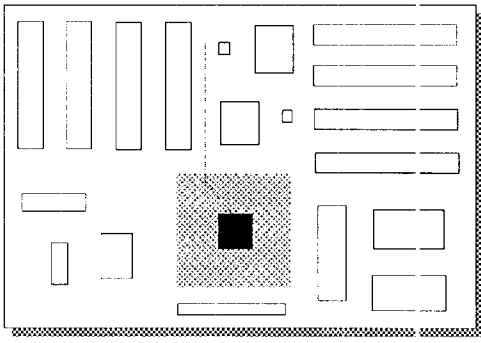
## 二、緣由與目的

現今，由於對整個系統的操作要求越來越嚴格，在設計中針對不同的階層的連接介面也越來越重要。從連接介面製程的分析當中，我們了解到其對整個系統的影響。因此，晶片與電路板相輔設計也越形重要。

在傳統的電路輔助設計工具中，系統設計分為數個部分。晶片的設計與電路板設計是不同的設計流程，而兩者在設計時是互相獨立的。臨界路徑在每一個不同的設計流程中會被分為不同的區段來考量。而在系統整合時，再將這些不同流程中的結果整合以達到系統的操作最佳化是非常困難的。

本計畫提出一個以模擬退火為基礎的演算法，藉著改變晶片封裝陣列接腳指定來整合晶片設計與電路板設計。此演算法保留了兩個不同設計流程的考量特性，使得未來可輕易藉由不同的封裝繞線技術及電路板設計來改善整個系統。

我們的問題為給定一組在晶片四周的接腳接墊，以及包含此經晶片在內的電路板上的元件，我們的目標是找尋一組適當的封裝陣列接腳，以完成封裝繞線及電路板繞線。其中包含了封裝繞線的限制以及電路板的繞線考量，如下圖一所示。



封裝繞線的限制是來自於所使用的晶片封裝技術，其繞線限制與電路板及晶片設計不同。而電路板的繞線類似於高密度的晶片繞線。

我們提出一個可供我們評估封裝繞線成本的演算法。對於某一已指定之陣列接腳，我們建立一個在拓撲繞線下的反轉表，來評估其成本。此反轉表根據接腳與晶片接墊之間的排列關係，考量其反轉值，反轉距離，以及反轉容量來估算。其中反轉值為該網列與其它網列相交的數目，反轉距離為避免相交而所採取迂迴路徑的距離，而反轉容量為該網列及其反轉點之間所能容納的網列通過數目。

藉由建立反轉表，我們不需建立圖形資料結構，可增快成本估算的時間。並且藉由此反轉表，我們可以進行層指定，因此在封裝製程允許下，我們可以考慮多層封裝繞線的成本估算。

另外我們尚需提出一個可供我們評估電路板繞線成本的演算法。在電路板的繞線中，對於高密度接腳的封裝電路板之繞線層數為一個重要因素。在某製程技術下，兩個接腳之間所能通過的繞線有限，因此必須有足夠的層數來完成晶片封裝與電路板之間的繞線。

由於電路板之特性，我們提出一個以迷宮繞線為基礎的全域繞線估算演算法。其繞線區域為規則的矩形，對於區域中的障礙物，我們以降低該區域之繞線容量來描述。此繞線估算以該網列所繞經的區域數來評估。

接著，我們採用上述之估算法，配合以模擬退火為基礎的演算法來進行封裝的陣列接腳指定。在每一步驟的疊代過程，我們改良一組接腳指定解，藉由前面所提供之封裝繞線及電路板繞線演算法來評估其成本。在每一次的改良中，我們選擇一些接腳，並進行三種不同的接腳交換，得到三種不同的改良方式。這三種改良方式經由成本估算後，選擇最佳的一種結果作為下次疊代的輸入。經過數次的疊代後，我們可以獲得較佳的結果。

### 三、結果與討論

表一舉出六個例子之實驗結果。這些例子均採用兩層的封裝繞線及四層的電路板繞線。對每一個例子，我們也圖列出最後的陣列接腳指定結果，指定前後電路板繞線情形的改善約為30%。

### 四、計畫成果自評

現今的超大型積體電路系統設計中，電腦輔助設計工具必須考量整個系統的操作效能，並整合許多設計的流程。我們提出一個以模擬退火為基礎的演算法來進行封裝陣列接腳指定，以達到晶片設計及電路板繞線之整合設計。在我們的演算法中，封裝繞線估算及電路板繞線估算為兩個獨立的元件，可在不同的工作平台上平行運算。而陣列接腳指定的演算法可作為判斷兩估算結果並進行最佳化的處理器。從實驗結果得知，藉由重新指定陣列接腳，可達到整合的目的。

由於設計工具整合的重要性，我們在未來可以將我們的演算法推廣，考慮多個晶片封裝同時進行陣列接腳指定的情形。

本計畫進行相當順利，原計畫書中所預計完成之各工作項目均已達成。

Table 1. Routing results of distinct PCB circuits.

PCB name	no. of pins	no. of nets	no. of layers	unrouted nets $w-p$	unrouted nets $w+p$	improved percentage	cpu-time (second)
<i>Circuit_1</i>	464	220	4	6	0	2.72%	100
<i>Circuit_2</i>	464	220	4	114	9	47.73%	63
<i>Circuit_3</i>	528	220	4	114	0	51.82%	29
<i>Circuit_4</i>	592	229	4	78	2	33.19%	93
<i>Circuit_5</i>	592	229	4	8	1	3.06%	88
<i>Circuit_6</i>	592	229	4	110	13	42.36%	90
Average improvement %				—	—	30%	—

Note: the  $w-p$  and  $w+p$  stand for routings without and with pin assignment, respectively.