

用於超大型積電之深次微米超薄絕緣體上矽金氧半元件模型

Modeling Deep-Submicron SOI MOS Devices for VLSI

計畫編號：NSC 89-2215-E-002-011

執行期限：88年8月1日至89年7月31日

主持人：郭正邦 教授 執行機關：國立台灣大學電機工程學系

E-Mail Address: jbkuo@cc.ee.ntu.edu.tw

一. 中文摘要

本計畫係利用金氧半元件及雙載子電晶體的精簡電荷控制模型，同時考慮元件的二次效應、晶格溫度、電子溫度，進而發展出一套適用在深次微米部分解離絕緣體上矽互補式金氧半元件的等效電路，以供低電壓超大型積電所需之計算機輔助設計的電路模擬程式(*PD-SOI SPICE*)使用。經由實驗和二維元件模擬結果加以驗證，本計畫所發展之電路模擬程式可正確預測部分解離絕緣體上矽互補式金氧半元件特有的直流電流突增效應，同時能有效的分析由部分解離絕緣體上矽互補式金氧半元件組成之反相器及靜態隨機處理記憶體之暫態。

關鍵字：部分解離絕緣體上矽，電荷控制模型，直流電流突增效應，反相器，靜態隨機處理記憶體

Abstract

This paper presents PD-SOI SPICE, which is based on compact BiCMOS charge-control models and includes second-order effects, electron and lattice temperatures, for circuit simulation of low-voltage CMOS circuits using deep-submicron partially-depleted (PD) SOI CMOS devices. This PD-SOI SPICE

performs transient simulation of the write access critical path in an SRAM composed of 42 PD SOI CMOS devices without convergence problems, which are commonly encountered while modeling PD devices due to kink effects.

Keywords: PD-SOI SPICE, BiCMOS, charge-control model, SRAM

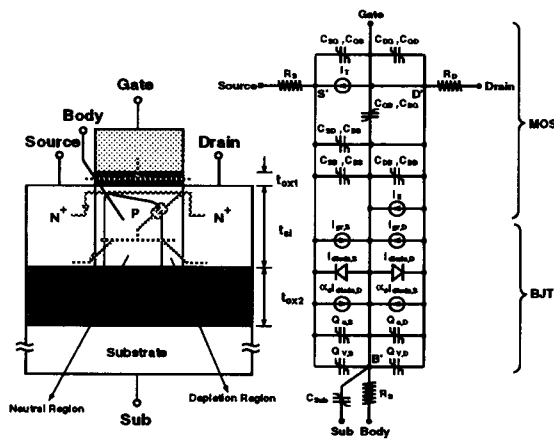
二. 計畫緣由與目的

先進的絕緣體上矽互補式金氧半元件在低電壓深次微米超大型積電的應用上逐漸獲得重視，很多超大型積體電路均已經被製造出來，其性能不論在速度或功率消耗方面均較傳統金氧半元件為優[1]。因此，在未來的晶片設計持續朝高速度低功率發展之際，絕緣體上矽技術在半導體界的重要性將快速的獲得提升。然而，深次微米絕緣體上矽金氧半元件的特性和傳統金氧半元件有很多地方不同[1]。因此，本計畫的主要目的是在分析絕緣體上矽金氧半元件的特殊現象，提供電腦輔助設計程式所需要的可解析模型，然後裝設在現有的電路分析之電腦輔助設計程式中，使之可以沿用到先進的絕緣體上矽技術。本計畫即打算利用先前已發展適用於深次微米完全解離絕緣體上矽互補式金氧半元件的電腦

輔助設計電路分析程式的經驗進行部分解離絕緣體上矽互補式金氧半元件的電腦輔助設計電路分析程式。在這份報告中，主要就是在介紹本計畫的成果，一個適用於深次微米部分解離絕緣體上矽互補式金氧半元件的電腦輔助設計電路分析程式，並且已經獲得實驗和二維元件模擬結果之驗證，可對部分解離絕緣體上矽互補式金氧半元件提供良好的直流和暫態行為預測而沒有收斂性的問題，以下將略述其要。

三. 結果與討論

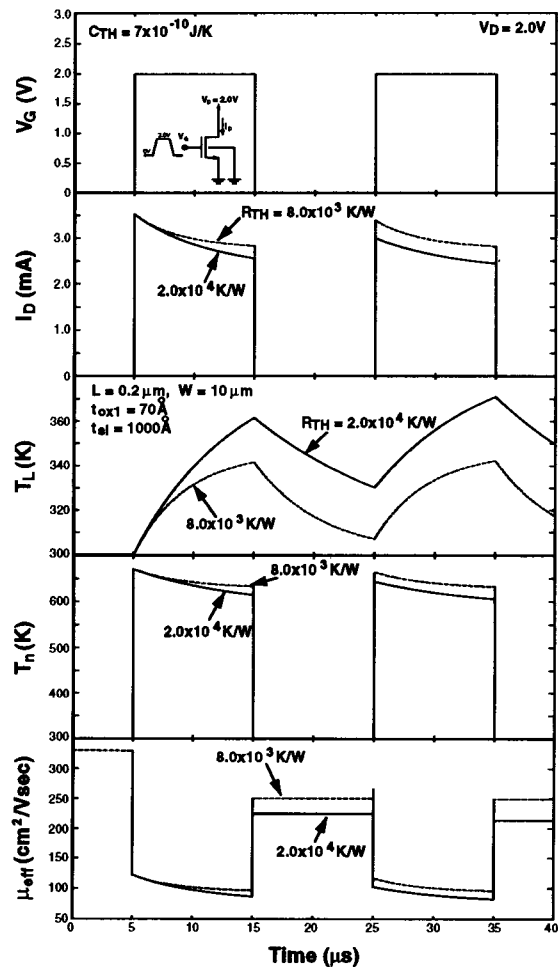
本計畫所發展的可解析元件模型以及電路分析電腦輔助設計程式已經具備雛形。在這裡將大略的介紹部分解離絕緣體上矽之特性以及 PD-SOI SPICE 在這些方面的預測效果。



圖一

圖一為典型的PD-SOI絕緣體上矽金氧半元件之截面圖以及本計畫之 PD-SOI SPICE 中所採用的電荷控制等效電路模型 [2]。如圖所示，等效電路模型包含矽薄膜上層的傳統金氧半元件和矽薄膜下層的寄生雙載子電晶體兩個部分。金氧半元件部分的等效電路包括汲極、源極的寄生電阻，表面通道電流，端點電容，碰撞解離電流。寄生雙載子電晶體則是採用 Gummel-Poon 模型，包括了二極體電流，

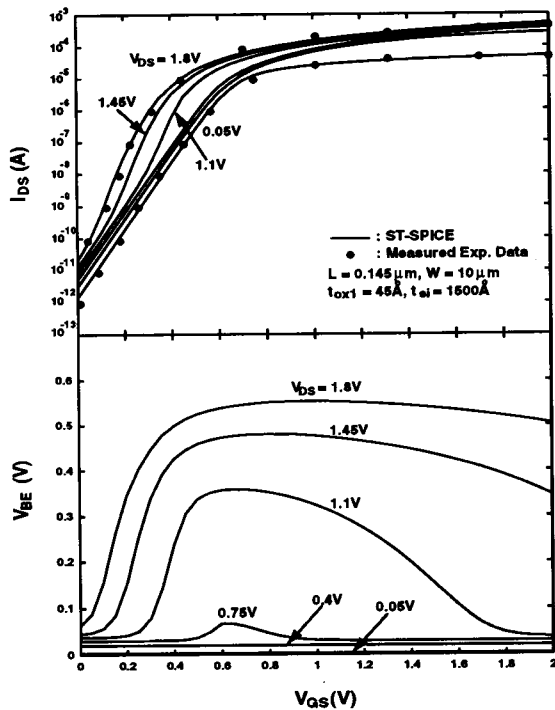
基極/射極與基極/集極的產生與復合電流，可移動電荷，空間電荷。除此之外，在加上額外的雜散電阻和電容就構成一套五個端點的電路模擬器，能用來預測各式部分解離絕緣體上矽金氧半元件的電子特性。其中小元件效應、基體效應、電子溫度、晶格溫度以及元件熱效應的模型都已經被完整推導並應用於本電路模擬器。



圖二

圖二為部分解離絕緣體上矽金氧半元件的汲極電流，晶格溫度，電子溫度以及等效遷移率的暫態變化情形。當部分解離絕緣體上矽金氧半元件的閘極輸入一個由 0V 變化到 2V 的電壓時，汲極電流會升到最大值，而由於功率消耗產生的熱會使元件內的晶格溫度逐漸升高，但電子溫度會

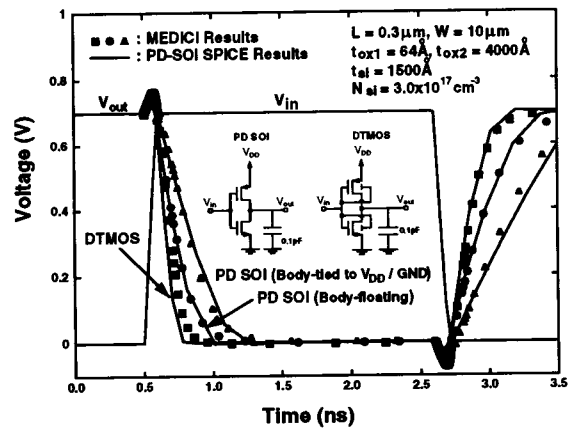
稍為下降。同時，和電子溫度及晶格溫度有關的有效遷移率也會因此而改變。如圖所示，在元件打開以後，汲極電流會由最高點逐漸衰退。如果開極電壓再從 2V 變化到 0V 時，元件再度關上，其晶格溫度會因散熱而漸漸變低，但如果晶格溫度還來不及減回室溫時，開極電壓又再度升至 2V，則在此情形下，晶格溫度會比以前高，所以，汲極電流得最高值會比前一次低。相對的，如果元件的熱阻值 (R_{th}) 變大，則汲極電流因熱效應而慢慢衰減的現象會更明顯。此外，由於熱時間常數 ($R_{th}C_{th}$) 在熱阻值增加時會變長，所以元件要達熱平衡的時間也比較久。



圖三

圖三為部分解離絕緣體上矽金氧半元件的次臨界區汲極電流對開極電壓以及基體電壓對開極電壓的關係圖。如圖所示，當汲極電壓超過 1.1V 時，越大的汲極電壓會造成越陡的次臨界斜率，此即次臨界電流突增效應。隨著汲極電壓的增加，汲極端碰撞解離所產生的電洞會累積在矽薄膜

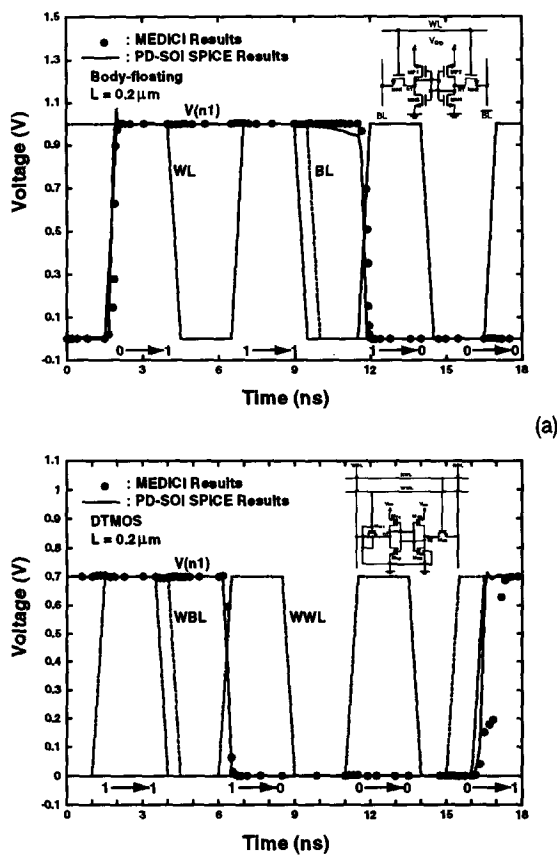
的中性區，造成基體電壓的增加進而使臨界電壓的下降，汲極電流增加，因此考慮電流突增效應時的次臨界斜率比不考慮電流突增效應時來的陡。



圖四

圖四為利用浮動基體，基體連接源極以及使用動態臨界電壓三種不同部分解離絕緣體上矽金氧半元件組成之反相器的暫態分析圖。如圖所示，由動態臨界電壓部分解離絕緣體上矽金氧半元件所組成之反相器有最快的切換速度，具有最差之切換速度的反相器是由基體連接源極之部分解離絕緣體上矽金氧半元件組成。三者的差別主因來自基體效應。圖五為傳統 6T 靜態隨機處理記憶體記憶單元及具有單位元線同時讀寫存取能力之部分解離絕緣體上矽互補式金氧半動態臨限電壓雙埠 6T 靜態隨機處理記憶體記憶單元[3]之寫入暫態分析。如圖所示，經由二維元件模擬結果驗證，PD-SOI SPICE 能正確的預測 6T 靜態隨機處理記憶體記憶單元之寫入暫態分析。圖六為(a) 由 42 顆部分解離絕緣體上矽金氧半元件組成之靜態隨機處理記憶體之寫入暫態分析。(b) 靜態隨機處理記憶體中 N 型部分解離絕緣體上矽金氧半元件之晶格溫度及電子溫度暫態變化圖。如圖所示，由於連接到位元線之事先充電 N 型浮動基體部分解離絕緣體上矽金氧半元件

有較低的臨界電壓。對浮動基體部分解離絕緣體上矽金氧半元件而言，在事先充電後，位元線會被提升到較高的電位，所以會有較低的感測速度。靜態隨機處理記憶體中N型部分解離絕緣體上矽金氧半元件之電子溫度變化會跟電壓變化有一致的趨勢，而晶格溫度變化則不明顯。

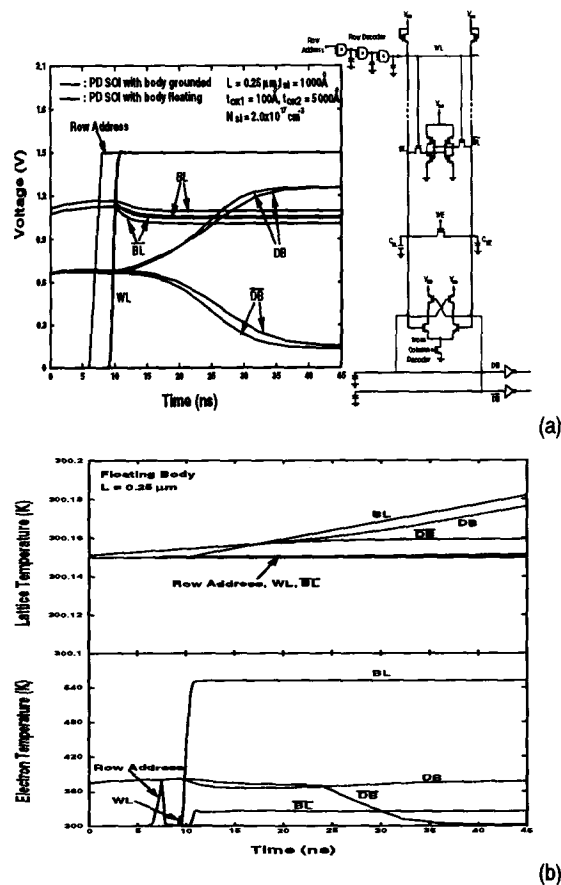


圖五

四. 計畫成果自評

本計畫發展了適用在深次微米的部分解離絕緣體上矽互補式金氧半元件的電荷控制等效電路模型，以供電路模擬程式使用，其內容及結果和申請之初的預期目標相符合。本計畫亦培訓了絕緣體上矽技術的相關人才，計有博士班一人及碩士班數人。為使計畫的成果能更進一步的擴大，對絕緣體上矽之領域的發展能有所助益，

重要的研究成果也已經在國際期刊中刊登出來 [2] [3]。



圖六

五. 參考文獻

- [1] J. B. Kuo and K. W. Su, "CMOS VLSI Engineering: Silicon-on-Insulator (SOI)," Boston: Kluwer, 1998.
- [2] James B. Kuo, "SPICE Compact Modeling of PD-SOI CMOS Devices," Dig. of IEEE Hong Kong Electron Devices Meeting, June 2000.
- [3] S. C. Liu and J. B. Kuo, "A Novel 0.7V Two-Port 6T SRAM Memory Cell Structure with Single-Bit-Line Simultaneous Read-and-Write Access (SBLSRWA) Capability using Partially Depleted SOI Dynamic-Threshold Technique," SOI Conf. Dig., pp. 75-76 Oct. 1999.