

用於超大型積電之深次微米小尺寸超薄絕緣體上矽金氧半元件模型

Modeling Deep-Submicron Small Geometry SOI MOS Devices for VLSI

計畫編號：NSC 89-2215-E-002-043

執行期限：89年8月1日至90年7月31日

主持人：郭正邦 教授 執行機關：國立台灣大學電機工程學系

E-Mail Address: _bkuo@cc.ee.ntu.edu.tw

一. 中文摘要

本計畫係利用金氧半元件及雙載子電晶體的等效電路組合而成的雙載子互補式金氧半概念來說明 PD SOI-Technology SPICE 所使用的元件模型。經由實驗和二維元件模擬結果加以驗證，本計畫所發展之電路模擬程式可以經由部分解離絕緣體上矽元件內部寄生雙載子電晶體的基極/射極電位的分析，正確預測部分解離絕緣體上矽互補式金氧半元件操作在次臨界區時特有的磁滯及閘鎖特性。

關鍵字：部分解離絕緣體上矽，雙載子互補式金氧半，電路模擬程式，磁滯特性，閘鎖特性

Abstract

This paper presents modeling of single-transistor latch behavior in partially depleted (PD) SOI CMOS devices using a concise SOI-SPICE BiCMOS model. As verified by the experimental data and MEDIC simulation results, the concise SOI-SPICE BiCMOS model predicts well the hysteresis and the latched conditions of PD SOI NMOS devices via monitoring VBE of the parasitic BJT.

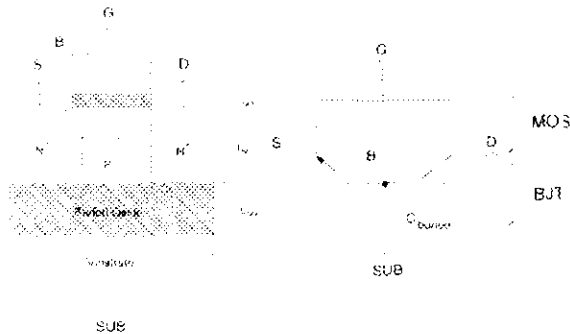
Keywords: PD SOI, BiCMOS, PD SOI Technology SPICE, hysteresis, latch

二. 計畫緣由與目的

絕緣體上矽互補式金氧半元件的技術在未來深次微米的超大型積體電路設計中已經成為一項重要的技術[1]。利用深次微米的絕緣體上矽互補式金氧半元件技術，許多相關的數位及類比超大型積體電路都已被製造。因此，在未來的晶片設計持續朝高速度低功率發展之際，絕緣體上矽技術在半導體界的重要性將快速的獲得提升。然而，深次微米絕緣體上矽金氧半元件的特性和傳統金氧半元件有很多地方不同[1]。因此，本計畫的目的即打算以部分解離絕緣體上矽互補式金氧半元件的等效電路模型為基礎，發展用來提供超大型積電所需之計算機輔助設計的電路模擬程式。在這份報告中，主要就是在介紹本計畫的成果，以一個利用金氧半元件及雙載子電晶體的等效電路組合而成的雙載子互補金氧半概念已經被拿來發展 PD SOI-Technology SPICE 所使用的元件模型。適用於深次微米部分解離絕緣體上矽互補式金氧半元件的電腦輔助設計電路分析程式，已經獲得實驗和二維元件模擬結果之驗證，可對部分解離絕緣體上矽互補式金氧半元件提供良好的次臨界區磁滯及閘鎖特性分析，而沒有收斂性的問題。

三. 結果與討論

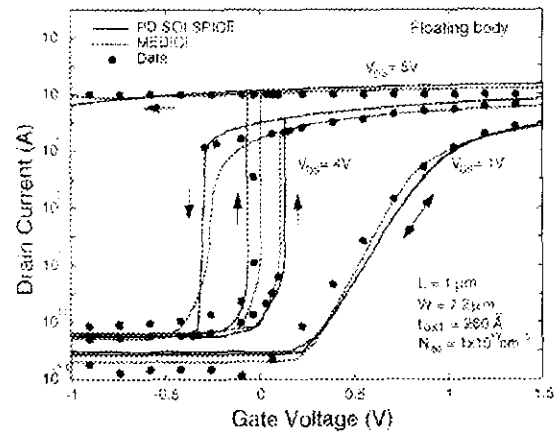
在本報告中將大略的介紹本計畫所發展的部分解離絕緣體上矽之特性以及 PD SOI-Technology SPICE 的預測效果。



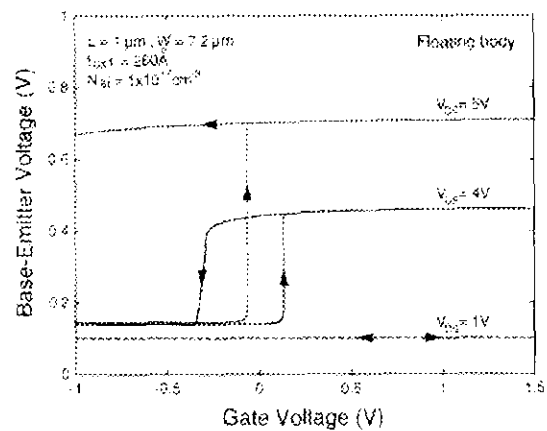
圖一

圖 1 為一個典型的部分解離絕緣體上矽 N 型金氧半元件的二維截面圖和以金氧半元件及雙載子電晶體等效電路所組合的雙載子互補金氧半概念為基礎的 PD SOI-Technology SPICE 元件模型。由於元件中矽薄膜層有中性區存在，整個部分解離絕緣體上矽互補式金氧半元件可以視為矽薄膜層表面的傳統金氧半元件和矽薄膜層底部的寄生雙載子電晶體兩個元件平行並聯操作構成。對寄生雙載子電晶體而言，其射極和表面傳統金氧半元件的源極連接，而其集極則和表面傳統金氧半元件的汲極共享。寄生雙載子電晶體的基極則和表面傳統金氧半元件的基板，相接形成浮動基體。因此 PD SOI 元件可視為 MOS 及 BJT 的等效電路組合。如圖所示，另外加上一個 C_{base} 的電容來表示部分解離絕緣體上矽互補式金氧半元件的潛埋氧化層的效應。在 PD SOI-Technology SPICE 的元件模型中[3]，表面金氧半元件部份所採用的元件模型為傳統的深次微米金氧半元件電流及電容模型[4]，底部寄生雙載子電晶體的元件模型則是採用 Gummel-Poon 模型[5]。除此之外，在部分解離絕緣體上矽互補式金氧半元件中，因為表面金氧半元件汲極端高電場所產生的碰撞解離電流也

是一個不可忽視的重要關鍵，碰撞解離電流會流向矽薄膜層的中性區，形成底部寄生雙載子電晶體的基極觸發電流，反應部分解離絕緣體上矽互補式金氧半元件的浮動基體效應。因此藉著精簡的 PD SOI-Technology SPICE 模型，可計算出浮動基體 (B) 的電位變化，進而預測出部分解離絕緣體上矽互補式金氧半元件所獨有的浮動基體效應。



(a)



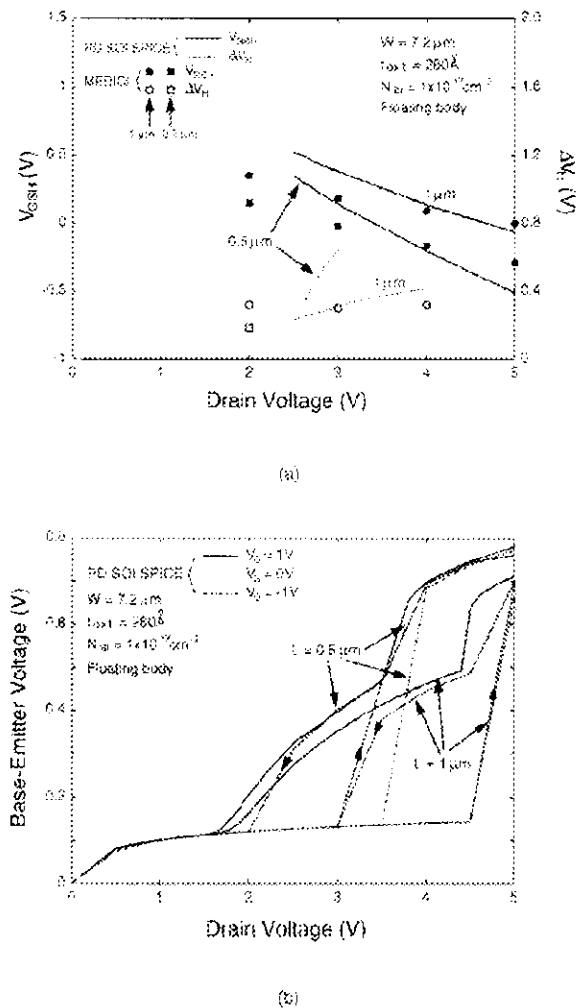
(b)

圖二

圖 2 為部分解離絕緣體上矽 N 型金氧半元件的(a)次臨界電流(b)寄生雙載子電晶體的基極-射極電壓對開極電壓的變化情形。如圖 2(a)所示，在汲極偏壓為 1V 時，當開極偏壓由 -1V 到 1.5V 的正向掃描及 1.5 往 -1V 的負向掃描所觀察到的汲極電

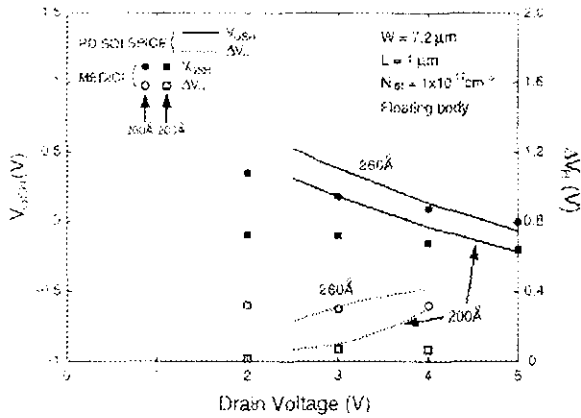
流隨閘極偏壓變化的情形是一致的。而在汲極偏壓為 4V 時，當閘極電壓由 -1V 進行正向掃描時，在閘極電壓為 0.13V 時汲極電流會突然增加。反之，在閘極電壓為負向掃描時，閘極電壓在 -0.3V 時電流會突然下降。這種電流隨著不同的閘極電壓掃描方向而有突增及突減的不一致現象即是磁滯現象(hysteresis behavior)。當汲極偏壓為 5V，閘極電壓進行正向掃描時，在閘極電壓為 -0.03V 時電流會突增，但在閘極電壓進行負向掃描時，電流不會掉下來，此一現象即為---門鎖(latch)。圖 2(b)即顯示磁滯及門鎖情形下寄生雙載子電晶體的基極-射極電壓變化情形。如圖所示，當汲極偏壓 1V 時(沒有磁滯)不論閘極電壓掃描的方向為何，基極-射極電壓始終在 0.1V 左右，即表示寄生雙載子電晶體不導通。汲極偏壓為 4V 時寄生雙載子電晶體的基極-射極電壓的突增和突減不發生在同一個閘極偏壓點的情形和汲極電流的趨勢一致。此一現象說明了寄生雙載子電晶體的導通和關閉是發生在不同的閘極電壓。汲極偏壓 4V 時，當正向掃描時，由於接近汲極產生碰撞解離，碰撞解離電流造成矽薄膜層中性區電荷的累積，所以在閘極電壓為 0.13V 時，基極-射極電壓會有突增到 0.45V 的現象。而在負向掃描時，隨著閘極電壓的下降矽薄膜層中性區要達到平衡態，需利用復合來排除多餘的電荷。但由於復合的速度較慢，因此雙載子電晶體的基極-射極電壓下降的情形發生在比較小的閘極電壓。所以磁滯即表示寄生雙載子電晶體的關閉比導通來的不易發生。而在汲極偏壓 5V 時，由於正向掃描時造成之碰撞解離造成寄生雙載子電晶體完全導通而且發生崩潰，所以即使在負向掃描時，寄生雙載子電晶體亦關不掉，所以造成雙載子電晶體基極-射極電壓一直維持在高

電位的情形。



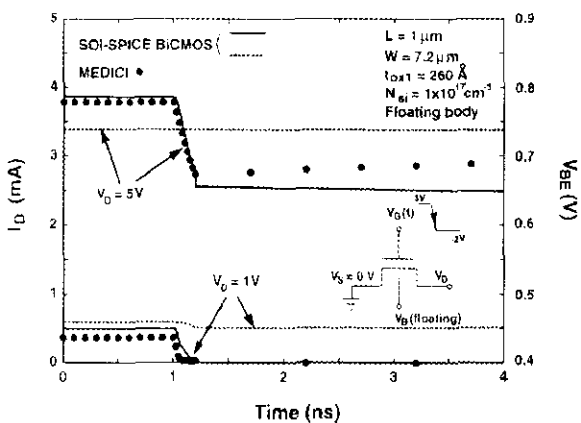
圖三

圖3為部分解離絕緣體上矽 N型金氧半元件(a)進行正向掃描時，磁滯現象發生點之閘極電壓(V_{GSH})與磁滯區間寬度(ΔV_H)(b)雙載子電晶體基極-射極電壓(V_{BE})對汲極電壓的變化情形。如圖3(a)所示，隨著汲極電壓的增加，正向掃描時，磁滯的發生點愈早--- V_{GSH} 發生在比較小的閘極電壓。此一現象說明了寄生雙載子電晶體比較早導通，除此之外，磁滯的區間 ΔV_H 也愈大，這表示寄生雙載子電晶體關掉比導通還困難。而且隨著元件通道長度的縮小，上述的現象愈明顯，主要是寄生雙載子電晶體的活動力加強。由圖3(b)觀察磁滯現象發生時， $V_{GS}=0$ 的情況，發現寄生雙載子電晶體導通及關掉的路徑會有不同。



圖四

圖4為部分解離絕緣體上矽 N型金氧半元件進行正向掃描時，磁滯現象發生點之閘極電壓(V_{GSH})與磁滯區間寬度(ΔV_H)對汲極電壓的變化情形。如圖所示閘極氧化層愈薄，磁滯現象的發生點愈早(比較小的 V_{GSH})，主要是寄生雙載子電晶體容易導通。而此時，磁滯區間寬度(ΔV_H)變窄，主要是因為隨著閘極氧化層的變薄，表面金氧半元件的碰撞解離電流變大造成寄生雙載子電晶體容易導通。但相對的，表面金氧半元件的活動力在薄的閘極氧化層的元件架構下，遠大過BJT的效應。因此磁滯區間寬度(ΔV_H)變小。主要來自表面金氧半元件的效應。



圖五

圖5為部分解離絕緣體上矽 N型金氧半元件進行暫態掃描時，汲極電流與寄生雙載子電晶體的基極-射極電壓的變化情形。如圖所示，對汲極電壓為5V的情形而言，隨

著閘極的輸入訊號由3V下降至-2V，汲極電流變化的趨勢與輸入訊號變化的趨勢相同，但電流維持到2.5mA而不會為零，主因是寄生雙載子電晶體維持在導通的狀態。相反的，對汲極電壓為1V的情形而言，在輸入訊號由3V下降至-2V後，汲極電流則降為0mA。主要的原因如圖2所示，當汲極電壓5V時發生門鎖現象造成寄生雙載子電晶體不會關掉，所以汲極電流維持2.5mA。對於輸入訊號下拉的操作情形中，部分解離絕緣體上矽 N型金氧半元件的漏電情形在汲極電壓為5V及1V的情形明顯不同，主要取決於寄生雙載子電晶體是否關掉，而且寄生雙載子電晶體的特性與元件操作的直流偏壓狀況有密切的關係。

四. 計畫成果自評

本計畫發展了 PD SOI-Technology SPICE，以供電路模擬程式使用，其內容及結果和申請之初的預期目標相符合。本計畫亦培訓了絕緣體上矽技術的相關人才，計有博士班及碩士班數人。為使計畫的成果能更進一步的擴大，重要的研究成果也已經投稿到國際期刊。

五. 參考文獻

- [1] J. B. Kuo and K. W. Su, "CMOS VLSI Engineering: Silicon-on-Insulator (SOI)," Boston: Kluwer, 1998.
- [2] James B. Kuo, "SPICE Compact Modeling of PD-SOI CMOS Devices," Dig. of Hcong Kong Electron Device Meeting Conf. (HKEDM), Hong Kong, June, 2000.
- [3] BSIM3v3 Manual, UC Berkeley (1996).
- [4] G. Massobrio and P. Antognetti, "Semiconductor Device Modeling with SPICE," McGraw-Hill: New York (1993).