

行政院國家科學委員會專題研究計畫成果報告

非晶矽氘及多晶矽材料及元件之研究

計畫編號: NSC 90-2215-E-002-04-2

執行期限: 90年8月1日至91年7月31日

主持人: 李嗣涔 國立台灣大學電機系

一、中文摘要

我們成功的研製出準分子雷射退火之平面結構(上端閘極型)低溫多晶矽氘(氘)薄膜電晶體(poly-Si/poly-Si:D TFT)新製程,並結合 50⁰C 低溫液相沉積(LPD)二氧化矽,作為閘極絕緣層。再用氘和氘的電漿處理來鈍化多晶的薄膜電晶體的缺陷能階。由元件的電壓-電流特性發現,用氘來取代氘的電漿處理,除了改善薄膜電晶體的場效移動率達 18 %外,更可以有效的改善薄膜電晶體的穩定度。

A new process of the top-gated poly-Si TFT fabricated by ELA is proposed. The liquid phase deposition of silicon dioxide at 50⁰C has been successfully applied as the gate insulator for the top-gated poly-Si TFT. Furthermore, we use deuterium in substitution for hydrogen to improve the reliability of ELA poly-Si TFT. Under different stress-bias operations, the degradations of deuterium and hydrogen plasma-treated poly-Si TFTs are studied. From these experiments, it is demonstrated the reliability of deuterium

plasma-treated poly-Si TFT is really better than that of hydrogen plasma-treated poly-Si TFT.

二、計畫緣由與目的

液晶顯示器在目前的顯示器領域上,仍佔著極為重要的角色,雖然有諸多的其他顯示技術向其挑戰,依然無法取代其地位。而由於大尺寸及高畫素的須求,高移動率的薄膜電晶體液晶顯示器是市場趨勢。然而,非晶矽薄膜電晶體卻無法達到所須求的高移動率,所以,只能改採用多晶體薄膜電晶體,而以往由於大部分多晶矽膜電晶體為高溫製程,只能以石英基板取代玻璃基板,而受限於石英基板昂貴,只能以往小面積高解析薄膜電晶體液晶顯示器發展。最近出現了低溫多晶矽的技術,以電射退火的方式,在不影響玻璃基板的狀況下將非晶矽退火成多晶矽,達到低溫製程而高移動率的成效。此外,元件穩定度的問題一直困擾著元件的運作,我們引進氘電漿處理的技術來鈍化多晶矽的缺陷能階,希望能改善低溫多晶薄膜電晶體的操作。

三、研究方法與成果

平面結構(上端閘極型)低溫多晶矽氫(氬)薄膜電晶體的製程如圖一所示。首先，67 奈米厚未摻雜的非晶矽層沉積在 7059 玻璃上，接著沉積 17 奈米 n 型摻雜層，待定義出閘極區後，以活性離子蝕刻法(RIE)去除閘極區上方的 n 型摻雜層，試片接下來置入高溫爐在氮氣環境下以 500 °C 退火 10 分鐘，去除薄膜中的氫原子，再以準分子雷射退火使非晶矽薄膜結晶。準分子雷射退火的條件為 300 mJ/cm²，十發。經準分子雷射退火後的試片以 RIE 蝕刻出平台以定義元件區，接著再以氫或氬電漿處理，修補多晶矽晶粒間及矽與二氧化矽層間的缺陷。200 奈米厚的鉻接下來蒸鍍在試片上並定義出源、汲極電極區，此道製程的光阻先不去除，接著在 50 °C 下成長 200 奈米厚的液相沉積二氧化矽層作為閘極絕緣層，藉由液相沉積二氧化矽層不成長在光阻上的特性，二氧化矽只覆蓋在閘極區上方。蒸鍍 100 奈米厚的鉻並定義閘極電極區，最後去除所有光阻，完成元件。

低溫多晶矽氫(氬)薄膜電晶體電流-電壓特性如圖二及圖三所示。由此可分別算出多晶矽氫與矽氬的場效移動率各為 8.5 及 10 cm²/v-sec, 而截止電壓各為 2.4 伏及 4.3 伏，而導通/不導通電流比接近 5 個 order，而 subthreshold swing 各為 3.5 及 4.5 V/decade。以 0 到 10 伏特不同閘-源(V_{GS})、汲-源(V_{DS})電壓加諸於薄膜電晶體，加電壓的持續時間從 200 到 10000 秒，之後，紀錄截止電壓與 subthreshold swing 的變化，來探討低

溫多晶矽氫(氬)薄膜電晶體的穩定度，如圖四、五所示。圖四為 V_{GS}=10、V_{DS}=0 伏特下截止電壓位移及 subthreshold swing shift 對應偏壓時間的分布。截止電壓位移及 subthreshold swing shift 對應偏壓時間的分布在 V_{GS}=10、V_{DS}=10 伏特偏壓下，所得結果如圖五所示。兩者的偏壓條件差別在於圖四條件偏壓時無通道電流，而圖五情況下有通道電流。

四、結果與討論

此一新元件製程有三項優點。第一，藉由 LPD 的選擇性成長特性，當閘極絕緣層成長上去時，元件即受保護，因此無須額外成長絕緣層保護元件。第二，由於 LPD 選擇性成長的特性，不需額外一道光罩來至製作接觸井，也不需 RIE 蝕刻，可避免 RIE 時伴隨產生的天線效應[1]。第三，由於閘極絕緣層在非常低的溫度 -50 °C 下沉積，若配合雷射去氫[2]，此製程有極大潛力可以製造塑膠基板所能承受的極低溫多晶矽薄膜電晶體。

觀察圖四截止電壓位移及 subthreshold swing shift 對應偏壓時間的分布，明顯的可以看出，多晶矽氬薄膜電晶體的截止電壓位移及 subthreshold swing shift 都小於多晶矽氫薄膜電晶體。薄膜電晶體的不穩定肇因於電荷困在閘極絕緣體內及導通層中所生成介面缺陷[3-4]。對多晶矽氫(氬)薄膜電晶體而言，多晶矽晶粒間與矽/二氧化矽介面是由矽-氫或矽-氬鍵鈍化處理，因此較容易於附近產生缺陷，當電荷流過且被原本存在的缺陷捉住時，便釋出能量並轉成聲子振

動的形式，振動一旦累積將有機會打斷鄰近之矽-氫鍵或矽-矽弱鍵而產生更多的缺陷。這種電荷引發的缺陷使得通道無法空乏，截止電壓位移至較低能量處，而且會造成 subthreshold swing 增加[5-7]。相對的，在穩定度實驗中加以正偏壓則會在閘極絕緣層中吸引並捕捉負電荷，因此使截止電壓位移至較正電位處。綜合上述分析，再觀察圖四截止電壓負位移且 subthreshold swing shift 正位移情形可知，多晶矽氫薄膜電晶體的不穩定肇因於通道中電荷引發的缺陷，而不是絕緣層捕捉之缺陷。反觀圖四氬部分的結果，截止電壓正位移且 subthreshold swing shift 幾乎沒位移，可知多晶矽氬薄膜電晶體的不穩定肇因於絕緣層捕捉之缺陷。此外，較小量值的截止電壓位移與 subthreshold swing shift 說明了，多晶矽氬薄膜電晶體的穩定性明顯優於多晶矽氫薄膜電晶體。

而當偏壓時有通道電流的圖五情況下，造成多晶矽氬與氫薄膜電晶體的不穩定原因依舊，更甚者，偏壓時的通道電流大大的增加了通道中電荷引發的缺陷數量，這可由 subthreshold swing shift 量值大增看出。

五、計畫成果自評

我們成功的發展了新製程製備準分子雷射退火之平面結構(上端閘極型)低溫多晶矽氫(氬)薄膜電晶體，並結合 50 °C 低溫液相沉積(LPD)二氧化矽，作為閘極絕緣層。此製程使元件在閘極二氧化矽沉積完後即受到保護，並避免了天線效應的損害。此外我們詳

盡地探討了經氫或氬鈍化處理的元件穩定度特性與成因，並證實以氬來取代氫的電漿處理，可以有效的改善薄膜電晶體的場效移動率與穩定度。

六、參考文獻

- [1] A. Salah, O. O. Awadelkarim, J. Werking, G. Bersuker and Y. D. Chan, *Solid State Electronics* 39, 1701 (1996)
- [2] P. Mei, J. B. Boyce, M. Hack, R. A. Lujan, R. I. Johnson, G. B. Anderson, D. K. Fork and S. E. Ready, *J. Appl. Phys.* 76, 3194 (1994)
- [3] C. Van Berkel and M. J. Powell, *Appl. Phys. Lett.* 51, 1094 (1987)
- [4] K. Hiranaka and T. Yamaguchi, *J. Appl. Phys.* 67, 1088 (1990)
- [5] J. P. Kleider, C. Longeaud, D. Mencaraglia, A. Rolland, P. Vitrou and J. Richard, *J. Non-Cryst. Solids* 164-166, 739 (1993)
- [6] M. J. Powell, B. C. Easton, O. F. Hill, *Appl. Phys. Lett.* 38, 794 (1981)
- [7] F. Petinot, F. Plais, D. Mencaraglia, P. Legagneux, C. Reita, O. Huet and D. Pribat, *J. Non-Cryst. Solids* 227-230, 1207 (1998)

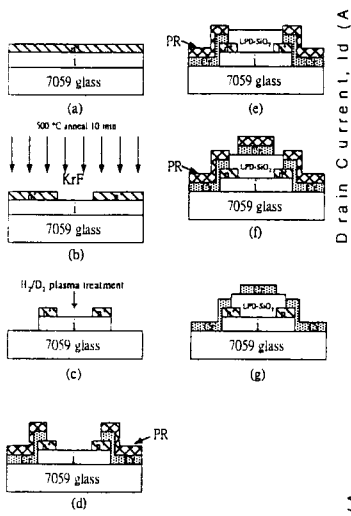


Fig. 1 The flow chart of the top-gated poly-Si TFT fabrication processes.

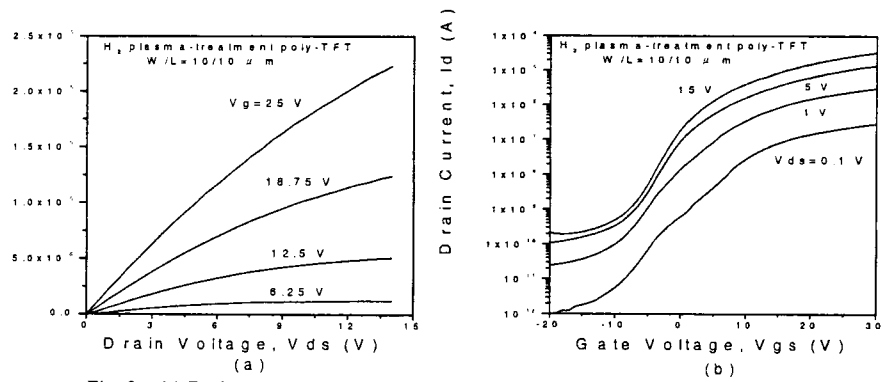


Fig. 2 (a) Drain current (I_d) versus drain voltage (V_{ds}) characteristics of H_2 PT poly-Si TFT. And (b) Transfer curves with $V_{ds} = 0.1, 1, 5$ and 15 V of H_2 PT poly-Si TFT.

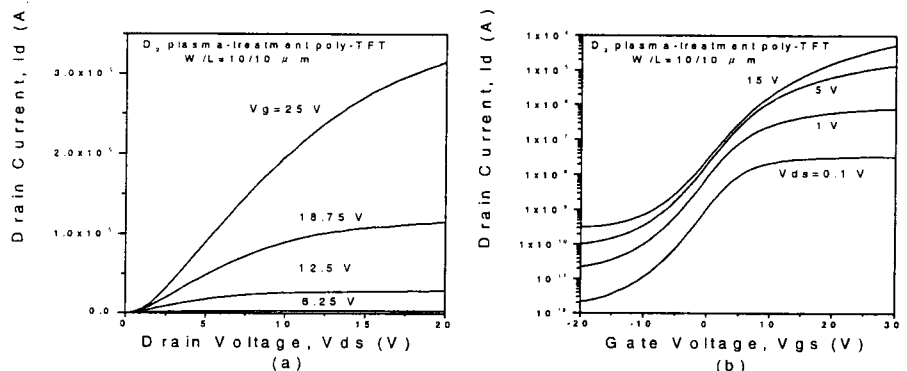


Fig. 3 (a) Drain current (I_d) versus drain voltage (V_{ds}) characteristics of D_2 PT poly-Si TFT. And (b) Transfer curves with $V_{ds} = 0.1, 1, 5$ and 15 V of D_2 PT poly-Si TFT.

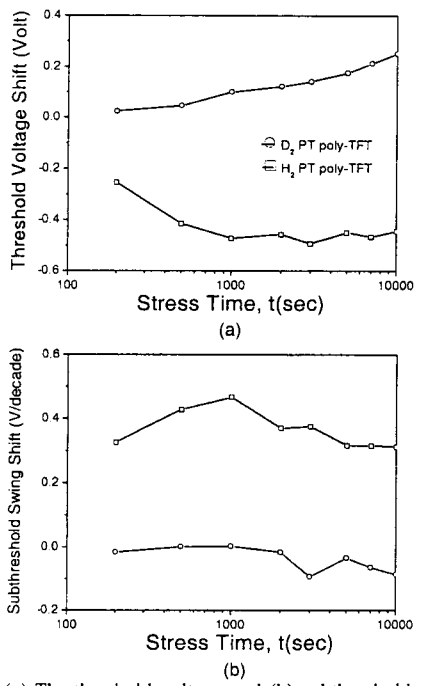


Fig. 4 (a) The threshold voltage and (b) subthreshold swing shifts of the D_2 and H_2 PT poly-Si TFTs. The stress-bias conditions is $V_{gs} = 10$ V, $V_{ds} = 0$ V and the stress time varies from $t = 200$ to 10000 seconds.

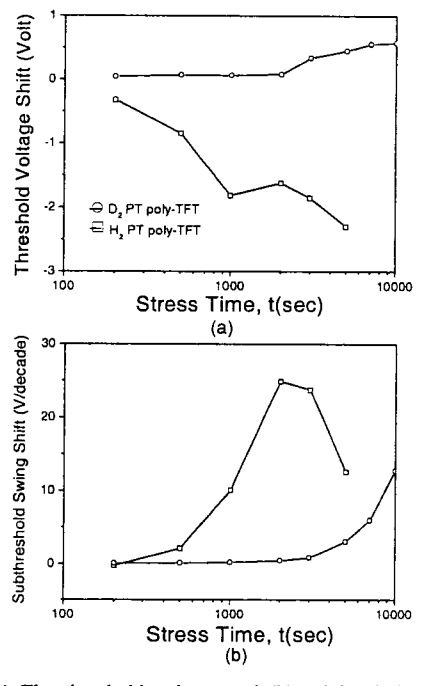


Fig. 5 (a) The threshold voltage and (b) subthreshold swing shifts of the D_2 and H_2 PT poly-Si TFTs. The stress-bias conditions is $V_{gs} = 10$, $V_{ds} = 10$ V and the stress time varies from $t = 200$ to 10000 seconds.