

九十年年度
國科會微電子學門
執行成果報告



NSC 90-2217-E-002-001

執行單位：台灣大學電機工程學系

學門召集人：陳良基教授

執行期間：90.01.01~90.12.31

目 錄

一、 學門規劃情形

- ◎微電子學門概況與未來展望.....1- 1
- ◎學門規劃相關會議記錄.....1-16
- ◎九十年度學門成果發表研討會研討情形及結論.....1-25

二、 學門特色研究規劃書—VLSI/CAD

- ◎晶片系統之設計、驗證自動化與 EDA 特色研究.....2- 1
- ◎類比、混合訊號及 RF 模組設計.....2-10
- ◎晶片系統模組及介面設計.....2-20

三、 學門特色研究規劃書—元件與製程

- ◎矽基元件與製程技術.....3- 1
- ◎化合物半導體.....3-11
- ◎前瞻性技術.....3-25

四、 3C 整合科技前瞻計劃成果研討紀錄.....4- 1

學門規劃情形

- ◎微電子學門概況與未來展望..... 01~15
- ◎學門規劃相關會議記錄.....16~24
- ◎九十年學門成果發表研討會研討情形及結論.....25~46

國家科學委員會
微電子學門概況及未來展望

召集人：陳良基

12.1.2001

Outline

- 現況
- 執行成果
- 我們的挑戰
- 業界的建議
- 展望未來

微電子學門研究重點

- 系統晶片 (SOC) 應用設計及測試 ... (Design)
- 系統晶片 (SOC) 設計技術 ... (EDA)
- 元件技術與模擬分析 ... (Device)
- 電路製程技術各關鍵模組技術
- 半導體技術製程技術 ... (Manufacture)
- 材料與元件可靠性
- 顯示器相關材料與元件
- 量子計算機元件
- 單電子元件
- 生物電子元件及晶片
- 奈米量子點結構

計畫申請總覽

微電子學門	案數	補助金額 (NT\$)
矽半導體材料與元件	72	195,736,263
VLSI/CAD	185	175,800,512
化合物半導體	42	64,838,428
下世代新型微電子元件	32	99,975,992
總計	431	536,351,195
平均每案		1,244,434

計畫通過總覽

子學門	案數	補助金額 (NT\$)
矽半導體材料與元件	92	79,518,372
VLSI/CAD	110	78,927,800
化合物半導體	24	23,767,500
下世代新型微電子元件	21	35,120,700
總計	247	217,334,372
平均每案		879,896

計畫預核總覽

微電子學門	91年度		92年度	
	案數	補助金額 (NT\$)	案數	補助金額 (NT\$)
矽半導體材料與元件	12	14,204,600	8	10,801,700
VLSI/CAD	10	8,897,000	7	5,650,000
化合物半導體	3	5,672,000	0	
下世代新型微電子元件	12	20,256,600	11	19,147,400
總計	37	49,030,200	26	35,599,100
平均每案		1,325,141		1,369,196

近五年計畫核定情形

年度	申請件數	核定件數	通過比例	申請經費 (千元)	核定經費 (千元)	每案平均經費 (千元)
87	294	186	63.3%	249,482	119,219	641.0
88	293	194	66.2%	278,098	146,685	756.1
89-1	381	236	61.9%	376,973	168,055	712.1
89-2	366	220	60.1%	369,696	172,070	782.1
90	431	247	57.3%	536,351	217,334	879.9

近四年產學計畫核定情形

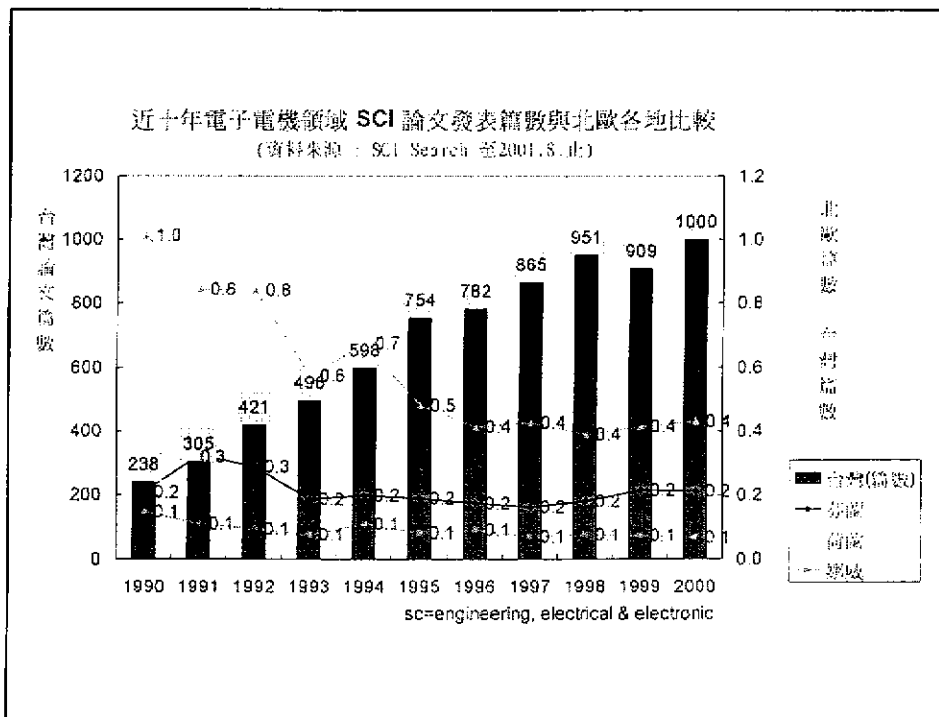
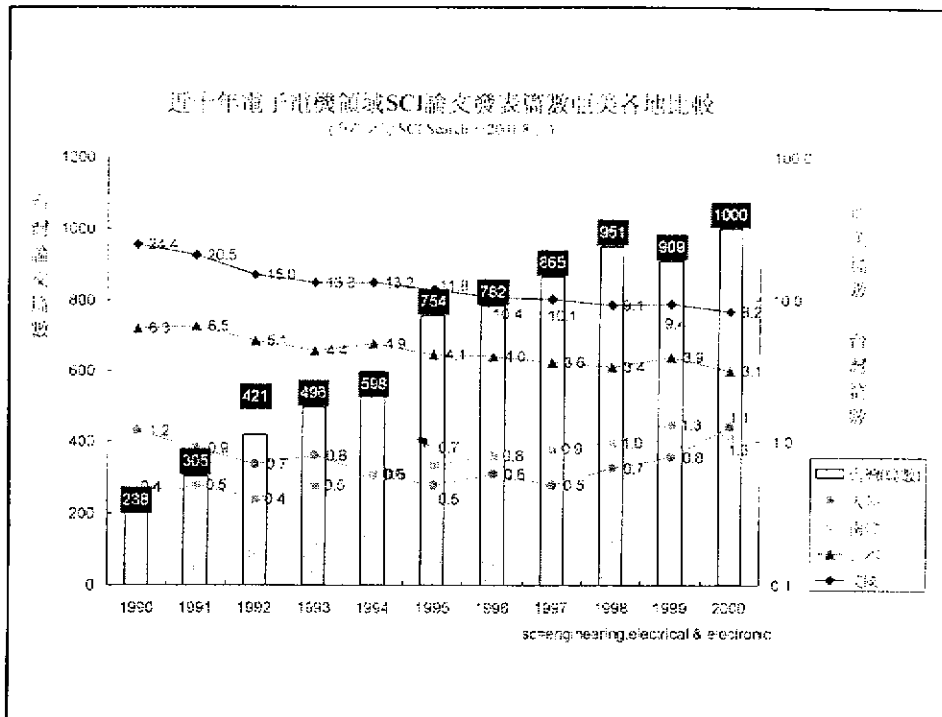
年度	核定 件數	子學門分類	核定金額	每案平均經費 (千元)
87	3	半導體製程設備	21,488,200	7,162
88	1	半導體製程設備	2,359,560	2,360
89	1	半導體製程設備	9,052,400	9,052
90	2	矽半導體&化合物 半導體各一	9,637,900	4,819

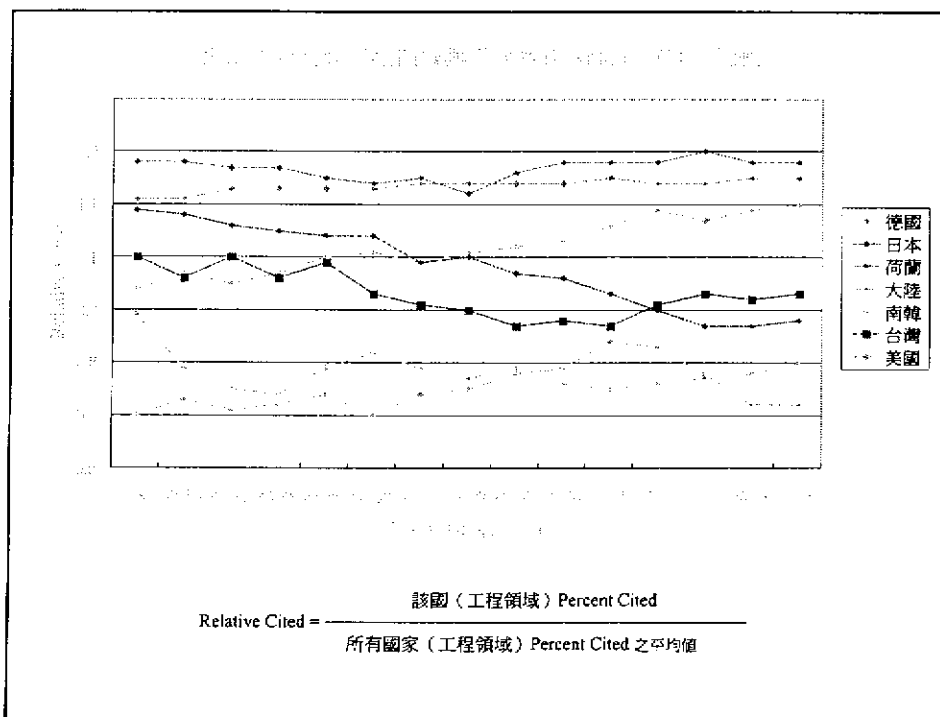
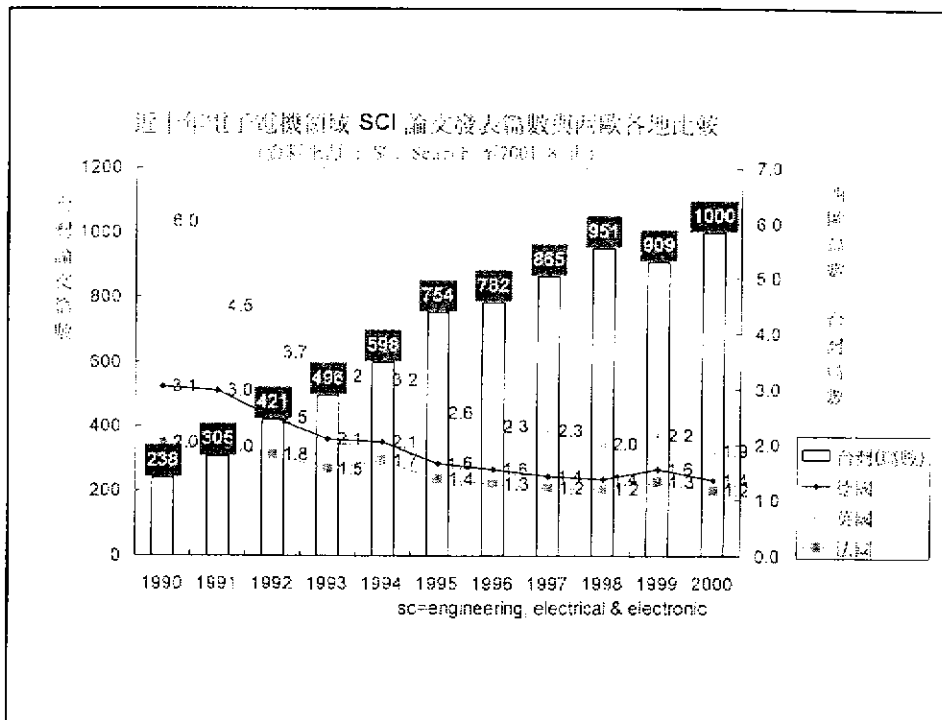
近五年研究人力分析

年度	師				資 學 生			
	教授級	副教授級	助教授級	其他	總人力	博士生	碩士生	總人力
86	132	120	1	2	255	200	386	586
87	133	131	11	3	278	232	425	657
88	156	127	35	1	319	240	470	710
89	161	117	50	4	332	244	478	722
90	183	150	74	6	413	280	541	821

執行成果---- 學術水準

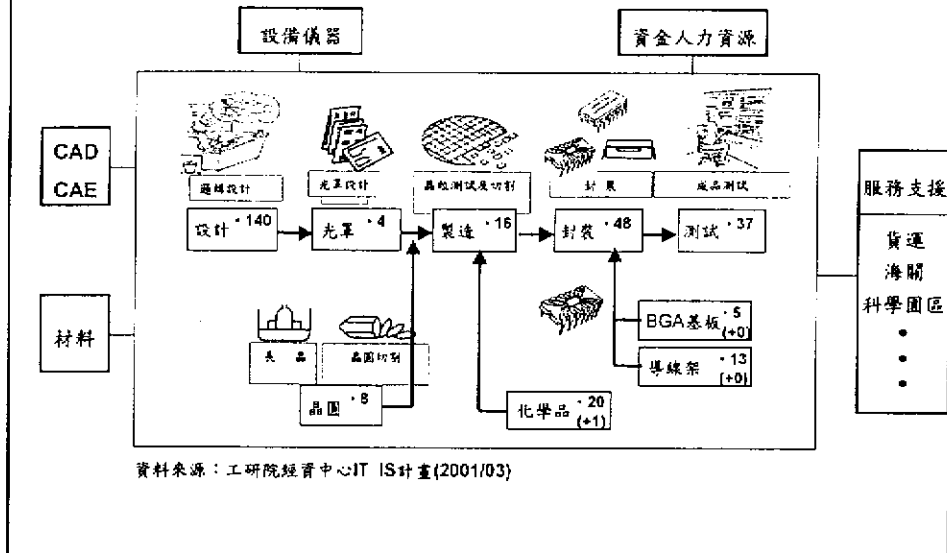
年度	已發表之論文篇數					已獲之專利項數		
	國內		國外		SCI	EI	國內	國外
	會議	期刊	會議	期刊				
1998	214	33	235	264	216	95	29	34
1999	240	26	299	336	287	111	48	38
2000	382	75	441	576	424	216	148	80
2001	346	66	466	590	480	175	99	47





學門相關產業現況

---台灣半導體廠商總數



學門相關產業現況 (續)

• 半導體產業兩大產值 (設計與製造)

年代	設計產值 (億台幣)	製造產值 (億台幣)	比率
1998	469	1649	27.7%
1999	742	2649	28.0%
2000	1075	4940	21.8%
2001	1480	6422	23.0%
2002	1901	8092	23.5%
2003	2405	10088	23.8%

1998-2003年我國IC製造與設計產值之趨勢

產業界的聲音

部資推分組討論結論

— 建立SoC發展環境 —

- 積極發展Embedded OS
- 鼓勵中、長期產品技術開發
- 建立SoC的知識管理系統
- 充份運用國際資源、建立伙伴關係
 - 參與ITRS 技術 Roadmap 有關SoC設計、測試技術討論
- 增加產、學、研界間的交流
 - 交流管道不足，產業界找不到足夠的適當人才，學界無法了解業界需求
- 解決SoC測試技術瓶頸
 - 高頻測試技術不足、測試機台價格昂貴、技術、人才不足
 - 缺乏RF測試

展望未來

OVERALL ROADMAP TECHNOLOGY CHARACTERISTICS

TABLE 1 Technology Generations

YEAR OF FIRST PRODUCT SHIPMENT	1997	1999	2002	2005	2008	2011	2014
TECHNOLOGY NODE	250	180	130	100	70	50	35
DENSE LINES(DRAM HALF-PITCH)(nm)							
ISOLATED LINES(MPU GATES)(nm)	200	140	100	70	50	35	25
Memory							
Generation @sample /introduction (bits)	256M	1G	4G	16G	64G	256G	1T
Generation @production ramp (bits)	64M	256M	1G	4G	16G	64G	256G
Bit/cm ² @sample/introduction	96M	270M	770M	2.2B	6.1B	17B	48B
Logic(high-volume, cost-performance:MPU)†							
Logic transistors/cm ² (packed, including on-chip SRAM)	3.7M	6.2M	18M	39M	84M	180M	390M
Logic(low-volume:ASIC)**‡							
Usable transistor/cm ² (auto layout)	8M	14M	24M	40M	64M	100M	160M

**ASIC-application-specific integrated circuit

†Year 1 data will be less dense than subsequent shrinks

‡Refers to high-performance, leading-edge, embedded-array ASICs

1998 Updates are in red

微電子學門未來研究重點

□ VLSI/CAD

❖ 前瞻性的『晶片系統』研究專案

❖ 學門計畫:

1. SOC 模組及介面設計
2. 類比/混合訊號及射頻 (RF) 模組設計
3. 晶片系統之設計、驗證自動化與EDA 特色研究

□ 元件製程

❖ 跨領域奈米材料與技術專案

❖ 學門計畫:

1. 前瞻性技術
2. 化合物半導體
3. 矽基元件與製程技術

「奈米科技」發展規劃

-- 以人類技術創造之製造極致

1. 加強「奈米科技」研究整合
研討會、訪問教授、赴國際合作、研究計畫之推動...
2. 研究基本設施
重大共用設備
3. 奈米科技研究中心之設置
4. 奈米相關科技產業研究
工研院、生技中心...
5. 國家型計畫
成立國家型計畫辦公室、全國研究網絡之建立
6. 教育相關措施
學程
7. 計畫經費：約100億

國家矽導計畫背景說明

基礎

我國晶圓專工業在全球排名第一；
IC 設計業全球排名第二，僅次於美國；
IC 封裝業全球排名第一；
IC 光罩與測試業深具基礎
設計服務，電子設計自動化軟體業，矽智財(Silicon IP)業，
一應俱全。
光電、網、資、通深具基礎。

隱憂

- 目前台灣設計技術約落後矽谷 2~4 年。
- 矽谷技術正迅速隨著大陸人才回流轉進大陸。
- 製造業迅速外移

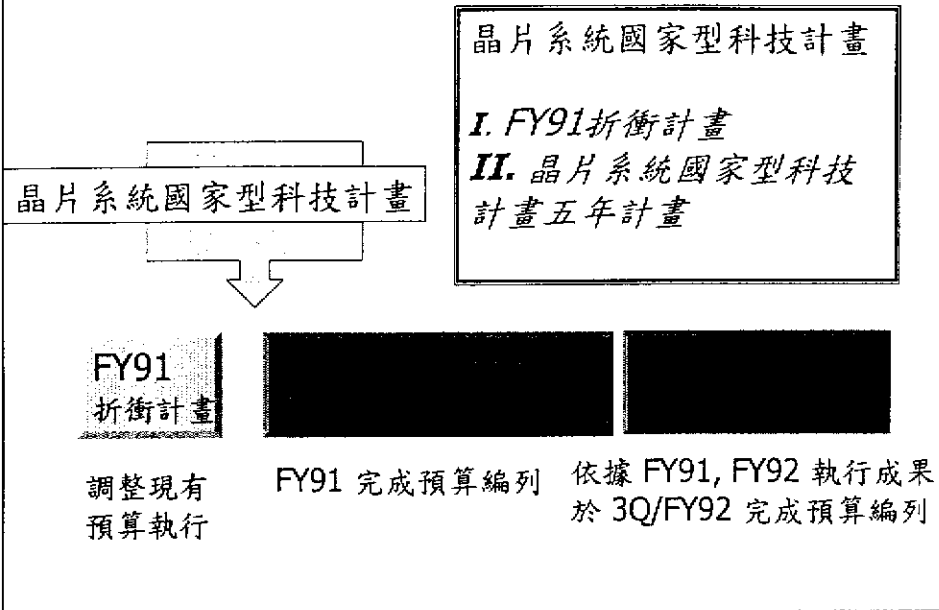
我國發展”晶片系統國家型科技計畫”之展望

- 使台灣半導體在既有的製造優勢，再增加產品系統設計的優勢。

Si-Hard → Si-Soft

- 利用國內 IC 設計之優勢，促進系統產品設計競爭力。
- 吸引全球晶片設計者使用台灣矽智財，使台灣設計製造的 IP 廣泛應用於網路產品，通訊電腦產品與消費電子產品，並在台灣完成製造。
- 提昇台灣在世界半導體供應鏈的地位。

晶片系統國家型科技計畫時程規劃



規劃階段與實施步驟

- 成立規劃辦公室申請構想撰寫前置計畫
- 規劃各分項計畫及推動執行所需行政資源
- 依據構想書所規畫之重點邀集大學校院、研發單位、民間廠商提出研究計畫，經計畫規劃辦公室整合後納入細部規劃。
- 細部規劃完成時間：九一年一月三十日
- 執行時間：九十年十月一日至九一年六月三十日

經費需求

總表 91	教育部	NSC	MOEA				工業局	總計	
			產	學	研	MOEA小計			
一、全民培育計畫	103	30	0	0	0	0	81.23	214.23	33%
二、前瞻產品開發計畫	0	0	0	0	0	0		0	0%
三、前瞻平台開發計畫	0	0	0	0	0	0	50	50	8%
四、前瞻智財開發計畫	0	80	120	30	50	200	50	330	50%
伍、新興產業開發計畫	0	0	0	0	0	0	40	40	6%
智財匯集服務		0	0	0	0	0	0	0	
驗證及策略研擬		0	0	0	0	0	0	0	
設計研發特區		0	0	0	0	0	10	10	
推動策略		0	0	0	0	0	30	30	
專案辦公室			12					12	
國家科技計畫辦公室		15	0	0	0			15	2%
規劃書撰寫前置計畫		5						5	1%
總計	103	130	120	30	50	200	221.2	654.23	100%
	16%	20%	18%	5%	8%	31%	34%	100%	

91年度本計畫所預估之經費需求(包括國科會、經濟部與教育部)為6.5423億元。

總表 92-94	教育部	NSC	MOEA				工業局	總計	
			產	學	研	MOEA小計			
一、全民培育計畫	450	150	0	0	0	0	278.41	878.41	11%
二、前瞻產品開發計畫	0	200	755	100	500	1355	250	1805	22%
三、前瞻平台開發計畫	0	75	600	375	825	1800	400	2275	27%
四、前瞻智財開發計畫	0	360	600	100	150	850	450	1660	20%
伍、新興產業開發計畫	0	0	1200	150	150	1500	180	1680	20%
智財匯集服務		0	1200	0	0	1200	0		
驗證及策略研擬		0	0	150	150	300			
設計研發特區		0	0	0	0	0	30		
推動策略		0	0	0	0	0	150		
專案辦公室			36						
國家科技計畫辦公室		45	0	0	0				
規劃書撰寫前置計畫		5							
總計	450	835	3155	725	1625	5505	1558.41	8298.41	100%
	5%	10%	38%	9%	20%	66%	19%	101%	

92至94年度本計畫所預估之經費需求(包括國科會、經濟部與教育部)為95.08億元。

領域資源規劃

(一)人力配置(每年以百分之十的成長率計算)

年度	90	91	92	93	94
人力(人)	413	454	499	549	604

(二)經費需求(每年以百分之十的成長率計算)

- (1) 九十年度微電子工程學門預算為194,545仟元，但實際招銷金額為217,335仟元，因其中部分3C整合、產學合作與新進學人等計劃是由其他經費科目支應，故招銷金額較預算為多，申請案件計431件，通過247件，通過率為57.3%。
- (2) 預估九十一年度微電子工程學門計畫成長為 $431 \times 110\% = 474$ 件。預估九十一年度微電子工程學門概算為 $217,335 \times 110\% = 239,068$ 仟元。
- (3) 預估九十二年度微電子工程學門計畫成長為 $474 \times 110\% = 521$ 件。預估九十二年度微電子工程學門概算為 $239,068 \times 110\% = 262,975$ 仟元。
- (4) 預估九十三年度微電子工程學門計畫成長為 $521 \times 110\% = 573$ 件。預估九十三年度微電子工程學門概算為 $262,975 \times 110\% = 289,273$ 仟元。
- (5) 預估九十四年度微電子工程學門計畫成長為 $573 \times 110\% = 630$ 件。預估九十四年度微電子工程學門概算為 $289,273 \times 110\% = 318,200$ 仟元。

(三)需求理由

通信、資訊、消費性電子之3C系統整合是世界之潮流，技術之趨勢，亦是微電子學門將大力推動之重點，因含跨領域之整合，估計91至94年計劃件數及經費需求將會更加成長。

總結

□ VLSI/CAD

- ❖ 前瞻性的「晶片系統」研究專案 → 國家型計畫
- ❖ 學門計畫：
 1. SOC模組及介面設計
 2. 類比/混合訊號及射頻(RF)模組設計
 3. 晶片系統之設計、驗證自動化與EDA特色研究

□ 元件製程

- ❖ 跨領域奈米材料與技術專案 → 國家型計畫
- ❖ 學門計畫：
 1. 前瞻性技術
 2. 化合物半導體
 3. 矽基元件與製程技術

→ 大家一齊努力以赴!!!

國科會微電子學門 SOC 推動方案規劃會議記錄

一、主題：國科會微電子學門 SOC 推動方案規劃會議

二、時間：九十年五月三十一日（四）18：00～20：30

三、地點：台北市亞都麗緻飯店

四、主席：陳良基教授

五、出席：沈文仁教授、周景揚教授、李鎮宜教授、吳誠文教授、汪重光教授
劉濱達教授、林永隆教授、徐爵民所長

六、會議結論：

1、以大格局計畫帶動研發氣勢

- I) 召開數次規劃會議，凝聚共識，研擬適合之大格局題目，如 Processor 設計等，並徵求合適主持人。
- II) 以較長期及專訪方式之計畫補助投入。

2、加速設立 SoC 設計環境

- I) 擴充 CIC 現有設計環境至 SoC 層次。
- II) 結合有經驗教授專家評量合適設計平台環境。
- III) 國科會學門計畫重點式扶植區域性學校，提升 SoC 設計環境。
- IV) 適度引導各校增強 SoC 設計師資。
- V) 辦理群體計畫實地查訪，以做觀摩，並瞭解各研究群之實際需要及研發能量。

3、引進國外創新研發經驗

- I) 尋找合適培訓或合作對象，暫以 CIC 之合作 CAD Vender 及 IBM、NEC 或歐洲為對象，聯繫後，選派年輕或有幹勁之教授出國受訓。
- II) 分批舉辦國科會補助出國開會之回國報告研討會。
- III) 參考以前 IC/CAD 推展方式，聯絡數間研發成果卓著大學實驗室，組團參訪並報告。

4、其他建議：

- I) 鼓勵學界精英，籌組合適研究團隊加入學界科專之研發，善用學界科專之上億元經費。（註：研究經費以千萬元為單位）
- II) 適當機會，傳達國外 SoC 之發展概況，刺激國內教授提升格局及視野。
- III) 多舉辦小型學術性研討會（30～40 人左右即可），以廣學術研究經驗之交流。

國科會工程處微電子學門特色研究 (A) 及 soc 推動方案規劃會議記錄

- 一、主題：國科會工程處微電子學門特色研究及 soc 推動方案規劃會議
- 二、時間：九十年七月十三日 (五) 12:00~14:00
- 三、地點：臺北市和平東路二段 106 號科技大樓廿二樓 2206 會議室
- 四、主席：陳良基教授
- 五、出席：沈文仁教授、周景揚教授、李鎮宜教授、黃婷婷教授、吳安宇教授
劉濱達教授、黃錫瑜教授、郭泰豪教授、吳中浩教授、王朝欽教授
江正雄教授、曹恒偉教授、陳少傑教授、王進賢教授、蘇朝琴教授
黃世旭教授、張耀文教授、任建葳教授、李昆忠教授。
- 六、主要討論方向：
 - 1、微電子學門特色發展規劃
 - 2、SOC 推動方案規劃
- 七、會議結論：
 - 1、大規模的推動 soc 研究發展
 - I) 結合電信、資訊、微機電等其他相關學門，並尋求多方的經費補助，以跨部會、跨學門的方式，甚至可規劃成為「國家型計畫」，吸引更多人才加入，以求迅速擴大研究規模及促進產業生根。
 - II) 建立北中南三大主題研究推動方案，以該區學門教授的專長為主要發展方向，增強區域性的研究能量，鼓舞鄰近技職研究能力，建立各區不同的主題定位。
 - III) 鼓勵資深教授指導新進人員，並積極培育 soc design 人才，以每年培育兩千名 soc design 工程師為具體目標。
 - 2、追求學門研究成果的提升

2、追求學門研究成果的提升

- I) 重新對 VLSI/CAD 研究規劃作整體的修正，以 soc 的定義、涵蓋項目、規劃執行三大方向為主幹延伸發展。
- II) 顧及前瞻性，積極與業界聯盟合作，了解市場所需之技術，提高研究成果技術轉移的個案數，加強產界對本學門研究成果的信心。
- III) 研擬標準化 IC 驗證標準定義，與 CIC 共同建立 SOC 整合設計環境，提昇學術界整合設計之能力。

3、前述工作分配如下：

I) 微電子學門前瞻研究計畫規劃書更新重點

- i) SOC 模組及介面設計—由王進賢教授擔任小組召集人。
- ii) 類比、混合訊號及 RF 模組設計—由劉深淵教授擔任小組召集人。
- iii) 設計、驗證自動化—由周景揚教授擔任小組召集人。

每小組預定十數位委員協助，其中希望能有 1/3 左右請業界幫忙

——暫定於十一月初完成規劃書，並於十二月初學門成果發表會中說明規劃重點。

II) SOC 推動方案

- i) 系統晶片整合技術推動方案—由劉濱達教授協助南區各教授進行整合計劃與推動。
- ii) 系統設計自動化推動方案—由任建葳教授協助中區各教授進行整合計劃與推動。
- iii) 系統晶片設計技術推動方案—由吳安宇教授協助北區各教授進行整合計劃與推動

——上述推動方案由學門內經費補助規劃，儘速進行。

國科會工程處微電子學門 soc 推動方案規劃會議記錄

一、主題：國科會工程處微電子學門 soc 推動方案規劃會議

二、時間：九十年八月十四日（二）15：00~17：00

三、地點：新竹關西馬武督鄉村俱樂部—A 會議室

四、主席：陳良基教授

五、出席：沈文仁教授、劉濱達教授、汪重光教授、陳少傑教授、蘇朝琴教授、黃俊郎教授、張耀文教授、任建蕙教授、吳誠文教授、李鎮宜教授、吳安宇教授、周景揚教授。

六、會議內容：

【一】主席致辭（略）

【二】討論事項

1. SOC 推動機制之建議。

決議：1)鑒於 SOC 對產業昇級、產品加值效果等皆極為重要，實有必要有具體推動方式，除由行政院促成由上而下之推動外，國科會工程處亦宜整合學界及現有 CIC 之人力共同推動，建議由工程處提撥每年 3-5 千萬元，以三年為期，推動 SOC 相關研究。

2)為求時效，建議本年度由學門經費先行規劃先期推動方案。

3)本學期目前執行 SOC 設計之教授約 150 位，實際上全國(含技職體系)教授 IC 設計相關課程之教授約達 400 位，其中多因資源不足，無法繼續進行研究工作；另有些領域，因產業整合關係，SOC 已為其未來研究之必要方向。建議學門宜針對此進行一些整合規劃，並以實質協助，鼓勵這些教授參與 SOC 之推動。

2. 學門之先期推動案：

北、中、南三地區性之 SOC 重點推動方案。

決議：1)依前項討論，有關學門內推動部份，擬於本年度(90/8-91/7)先行由北、中、南三地區，以三個推動方案進行先期規劃。分別由陳少傑教授、任建葳教授、劉濱達教授協助推動。

2)原則同意，現行之推動方案草案，其中北區部份之推動項目，請依中、南區之規劃做部份修正後，一併儘快持計畫書送至工程處，並擇期向處長簡報以儘早執行。

3)未來三年之推動經費及方式，待向處長簡報後，依處長指示而定。

國科會工程處微電子學門特色研究規劃 (A) 會議記錄

一、主題：國科會工程處微電子學門特色研究規劃 (A) 會議

二、時間：九十年九月十一日 (二) 13:30~15:30

三、地點：台大電機系 125 會議室

四、主席：陳良基教授

五、出席：洪茂峰教授、管傑雄教授、雷添福教授、洪志旺教授、詹益仁教授、
龔正教授、許渭州教授、林浩雄教授、胡振國教授、李清庭教授、
吳孟奇教授、曾俊元教授、李建平教授、鄭晃忠教授

六、會議內容：

【一】修訂微電子學門元件製程規劃書

(1) 初步將規劃書分成前瞻性技術、化合物半導體、矽基元件與製程技術三項。

(2) 其中前瞻性技術規劃新增後建議可採用以下 10 個子題

1. 光電微影解析加強技術
2. 單電子電晶體
3. 非晶矽與多晶矽薄膜元件及電晶體 (特別強調 High mobility)
4. 顯示器相關材料及元件
5. 多孔 Si/SiO₂
6. 有機半導體材料與元件
7. 奈米量子點結構
8. 非揮發性記憶體元件
9. 集體化光電元件
10. 其他新型材料與元件

(3) 原計劃書中的功率元件部分，為提供該領域教授發展的空間，化合物半導體與矽基元件與製程技術兩大項將加入功率元件的子題。

【二】任務分配

該三小組召集人，將由微電子學門召集人陳良基教授委任適當人選擔任。

國科會工程處微電子學門研究發展及推動規劃會議記錄

一、主題：國科會工程處微電子學門研究發展及推動規劃小組會議（會前會）

國科會工程處微電子學門研究發展及推動規劃小組會議

國科會工程處微電子學門 SOC 策略規劃會議

二、時間：九十年十二月二十二日（六）15：00～17：30

九十年十二月二十二日（六）19：00～21：00

九十年十二月二十三日（日）9：00～12：00

三、地點：台東知本富野渡假村聯合會議室

四、主席：陳良基教授

五、出席：徐爵民所長、李鎮宜教授、周景揚教授、任建葳教授、

吳誠文教授、王駿發教授、林永隆教授、吳依倩小姐。

六、會議主題：

【一】如何建構國內 SOC 產業舞台－教師 v. s. 業界 project leader

（manager）鼓勵產業之互相交流、借調、出國等。

【二】如何加強國內研究之國際化。

七、會議結論：

（1）加強產學互動，轉化成持續性推動力量。

（2）創造機制，讓經驗及知識透過此機制傳承及擴散。

（3）SOC design 較適 industry，SOC methodology 則較適學校；前者須

leverage 許多 industry confidential，後者著重在創新想法。

（4）考慮是否須成立學會，或類似組織，凝聚力量或共識，以推動未來性。

- (5) 參考案例：TTLA (Display 協會—7 家 member，友達主導) 成立研發聯盟，由競爭轉為合作之可行模式。Ex：年費原為 10 萬元，經一年之溝通，凝聚共識後，針對 patent 等 issue 提出執行計畫及成立 program office 後，目前年費提升為 150 萬元，且廠商反應熱烈。
- (6) 台灣產業界在研發 report 上幾乎無表現，如何鼓勵學生念 Ph. D 應是極重要之產學合作橋樑。
- (7) Ph. D 學生是否可在公司做 project，並撰寫 paper 等機制，可協助加強推動。
- (8) 儘量透過各公司之學術基金會提出可行之前瞻及產業人才或長程計畫。
- (9) 建立機制使產業界瞭解學界的專長，另一方向是如何使學界瞭解產業界的問題。
- (10) 最好由某一 co-ordinate 之組織來舉辦在園區拜訪或訪談廠商之問題，或舉辦主題性之座談會，。
- (11) 凝聚發展人才之輔導方案，目前前瞻之研究仍有不足，所謂前瞻應以足以讓全球同領域研究者肯定為目標。
- (12) 在學會或協會組織未定前，先以 party 或 club 方式，多舉行會議，可以特定式主題，邀集特定廠商及學界參與，凝聚共識。

會議議程

----- 90年12月1日 -----

15：00~15：30 報到

15：30~16：00 工程處長致詞

16：00~16：20 學門業務規畫報告 召集人主持

16：20~16：30 休息時間

16：30~17：30 群體計畫研究成果

VLSI, CAD：由台大電機工程學系吳安宇教授主持，邀請交通大學電子工程系李鎮宜教授、中正大學電機工程系葉經緯教授與中山大學電機工程學系王朝欽教授發表研究報告。

元件與製程：由清華大學電機工程學系黃惠良教授主持，邀請清華大學電子工程系徐清祥教授、交通大學電子工程系張國明教授、成功大學電機工程系洪茂峰教授發表研究報告。

17：30~19：00 晚餐

19：00~20：15

VLSI, CAD 研究計畫成果發表

新年度元件與製程特色研究規劃說明與討論：由??教授主持，邀請交通大學電子工程系雷添福教授、台灣大學電機工程系胡振國教授、中央大學電機工程系詹益仁教授與交通大學電子工程系鄭晃忠教授作專題討論。

20：15 創意溫泉池

----- 90年12月2日 -----

08：30~09：45

元件與製程 研究計畫成果發表

新年度VLSI, CAD特色研究規劃說明與討論、SOC前瞻規劃：由清華大學電機工程學系吳誠文教授主持，邀請交通大學電子工程系周景揚教授、台灣大學電機工程系劉深淵教授，中央大學電機工程系周世傑教授、交通大學電子工程系李鎮宜教授作專題討論。

09：45~10：00 休息時間

10：00~11：00 SOC人才培育：由交通大學電子工程系李鎮宜教授、交通大學電子工程學系任建葳教授、台灣大學電機工程學系陳少傑教授與成功大學電機工程學系劉濱達教授共同主持。

11：10~12：00 綜合座談：「國科會計畫執行與檢討」由學門召集人主持。

12：00~13：00 午餐

13：00 圓滿結束

國科會微電子學門成果研討會綜合座談會議記錄

一、主題：國科會微電子學門成果研討會綜合座談會議記錄

二、時間：九十年十二月二日（日）11：00～12：00

三、地點：台中谷關龍谷大飯店 5 樓龍谷廳

四、主席：陳良基教授

五、會議結論：

- 1、以往計畫的申請人力以資深教授為主，新進教授可參考本次成果發表研討會中所公佈之學門特色研究規劃，踴躍提出計畫申請，並請同仁們努力發展新的研究領域，務求突破，目前國科會推行技職校院先期研究計畫，鼓勵技職院校與私立大學的新進教授提出計畫申請書，請大家集思廣益、踴躍提出。
- 2、目前正在推行前瞻晶片系統研究計畫，與 SoC 人才培育計畫（分北中南三區進行），以解決 SoC 人才斷層的危機，並以經費及經驗輔助學門新進教授提出計畫申請案。
- 3、產業界及學術界目前的互動狀況欠佳，形成研究方向之差異，國科會正在擬定國科會工程處補助提昇產業技術與人才培育研究計畫實施要點草案，降低產學合作的門檻，希望能使產學合作計畫的申請案大幅成長。
- 4、目前國科會已規定將出國補助項目列在計畫核定清單上，未來將不在專案補助，請大家特別注意；至於已經預核的計畫，可以申請經費變更的方式，將該經費項目列入。而原先規定出席國際會議需要發表論文，亦因該項經費補助的方式改變而不受限制，可自由選擇參加重量級之國際會議。
- 5、目前國科會的規定，多年期的計畫不得中途停止，建議修正為：若該多年期計畫已達成階段性目標，但因故無法持續時，可提出計畫終止，以利教授提出較具可行性的新計畫申請。
- 6、審查委員發現，因計畫申請書無標準格式，導致規格混亂，且申請人無法抓住要點提供資訊，十分可惜，建議可建立計畫申請書的標準格式，以減少時間與精力的浪費。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

海報	計畫編號	計畫名稱	審查意見
1	89-2215-E-035-017	可重組式類神經網路計算架構	(1) 海報請督促學生用心製作。
2	89-2218-E-110-014	無線通信應用導向 ARM-BASED 內嵌式微處理器系統設計與實作(2/3)-總計畫	(1) 佳。
3	89-2218-E-110-015	無線通信應用導向 ARM-BASED 內嵌式微處理器系統設計與實作(2/3)-子計畫一:無線通信 ARM-BASED 手機之介面模組設計與實作	(1) 佳。
4	89-2218-E-194-026	智慧導向的設計與測試技術及其在高階 32 位元微控制器核心設計上的實際應用(2/3) 子計畫三:給利用核心元件而設計的系統使用之低功耗及高速 VLSI 電路設計	(1) 優。
5	89-2215-E-194-008	高性能 VLSI 電路技術研究(1/3)	(1) 優。
6	89-2215-E-006-043	整合語音壓縮與辨識之視障者語音行事曆單晶片系統(III)-總計畫:整合語音壓縮與辨識之視障者語音行事曆單晶片系統	
7	89-2215-E-006-046	整合語音壓縮與辨識之視障者語音行事曆單晶片系統(III)-子計畫三:單晶片系統之語音編碼模組及語音壓縮辨識之組合語言程式設計	
8	89-2215-E-168-005	電腦輔助設計-類似 ESAKI 二極體之 N 型負微分電阻元件串接電路之電流-電壓特性, 磁滯現象與應用電路之研究	(7) 所開發之軟體宜整合進 SPICE, 才能發揮更大的功用。
9	89-2218-E-009-078	多媒體系統晶片設計技術之研究-子計畫一:用於多媒體系統晶片之模組設計與功能協調(3/3)	
10	89-2218-E-009-085	多媒體系統中三維繪圖之先進架構研究與模組設計(2/2)	
11	89-2215-E-194-009	網路處理器的設計與製作	(5) 良好。
12	89-2215-E-032-005	多位元與高精準度快速除法器之演算法則與硬體架構之研究與發展	(5) 良好。
13	89-2218-E-007-064	以一個 IC 卡系統為主的單晶片系統設計以及相關 CAD 技術之研究(2/3)-子計畫五:單晶片系統快速離型型以及以 IP 為主的系統合成技術之研發	(2) 不錯。
14	89-2218-E-007-068	以一個 IC 卡為主的單晶片系統設計以及相關 CAD 技術之研究(2/3)-總計畫	
15	89-2215-E-007-052	以 IP 為核心之網路處理器晶片設計、整合、驗證、偵錯於測試技術-子計畫一:適用於網路處理器之以 IP 為軸心的系統整合技術以及晶片規劃技術的研發	(2) 不錯。

九十年度國科會微電子學門成果發表表評審意見 (VLSI/CAD)

16	89-2218-E-009-084	高性能混合訊號式發收機積體電路(2/3)-子計畫三:高速雙絞線網路發收機晶片系統	(2) 成果不錯。 (3) 正常執行, 成果仍待展示。
17	89-2218-E-002-109	數位視訊傳輸系統之超大型積體電路架構設計與製作(3/3)-子計畫三:數位視訊傳輸之前饋式錯誤修正碼之快速離形機設計技術與超大型積體電路架構設計	(2) 雖無成品, 但建立良好評估系統。 (3) 成果佳。
18	89-2218-E-009-064	高性能互補式金氧半影像感測器、矽視網脈及其學習能力之影像處理類神經網路晶片系統設計研究(2/3)	(2) CMOS image sensor 成果佳。 (3) 成果優。
19	89-2218-E-009-066	高性能混合訊號式發收機積體電路(2/3)-子計畫一:互補式金氧半射頻發收機前置電路模組設計 IP 建立及應用研究	(2) 成果不錯。 (3) 成果佳。
20	89-2215-E-011-013	以單晶片系統整合研究為導向的模擬平台與超大型積體電路之設計	(8) 缺席 (1) 未貼海報
21	89-2215-E-155-009	16 位元多級順向 (MASH) 超取樣 SIGMA-DELTA 類比數位調整器 IP 及晶片設計與實現	(8) ADC 重作 MASH1-1, 換至 Audio Coder97? Why 97 年 (1) 優。
22	89-2218-E-007-063	以一個 IC 卡系統為主的單晶片系統設計以及相關 CAD 技術之研究(2/3)-子計畫四:非對稱密碼運算核心及其可測性設計	(8) 成果良好 (1) 優。
23	89-2215-E-007-051	以 IP 為軸心之網路處理器晶片設計、整合、驗證、偵錯與測試技術-總計畫:以 IP 為軸心之網路處理器晶片設計、整合、驗證、偵錯與測試技術	(8) 成果已達成預期目標, 有多篇論文發表 (1) 優。
24	89-2215-E-007-054	以 IP 為軸心之網路處理器晶片設計、整合、驗證、偵錯與測試技術-子計畫三:網路處理器測試及可測性設計	(8) 子計畫, 提出符合 P1500 標準之 DFT 方法 (7) 總計畫宜加速處理器的設計, 以為各計畫之依歸, 加強計畫之整合度。
25	89-2218-E-009-065	高性能混合訊號式發收機積體電路(2/3)-總計畫	(3) 三個子計畫成果皆優, 唯整合度較低。 (7) 各計畫之整合度較弱。
26	89-2218-E-009-083	高性能混合訊號式發收機積體電路(2/3)-子計畫二:液晶監視器影像訊號擷取介面積體電路	(3) 成果佳。 (7) 所開發之 A/D 有 low-power 之 potential。
27	89-2215-E-027-006	具隨機及交雜叢錯更正功能之排料比解碼晶片設計	(5) 系統應用部份可再加強。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

28	89-2215-E-006-042	類比電路之測試研究	(5) 良好。
29	89-2215-E-006-047	整合語音壓縮與辨識之視障者語音行事務單晶片系統(III)-子計畫四:單晶片系統測試與可測性設計	(5) 良好。
30	89-2215-E-009-118	對以智財單元為基系統晶片設計之驗證與測試技術開發研究-總計畫:對以智財單元為基系統晶片設計之驗證與測試技術開發研究	(3) 整合度較低,部份子計劃因主持人離職而必須更動。
31	89-2215-E-009-121	對以智財單元為基系統晶片設計之驗證與測試技術開發研究-子計畫三:以智財單元為基系統晶片設計之測試技術研究	(3) 成果佳。
32	89-2215-E-218-011	應用於藍芽接收系統的帶通三角樣分頻比/數位轉換器	(3) 成果佳。 (7) 研究成果豐碩。
33	89-2215-E-224-016	低電壓完全差動式互補金氧半高速取樣保存電路之研究	(6) chip tested。
34	89-2218-E-009-072	全數位鎖相迴路設計與應用之研究(2/3)	(6) 佳。
35	89-2218-E-009-077	多媒體系統晶片設計技術之研究-總計畫(3/3)	(7) 研究成果不錯,是一個很好的IP。 (6) 佳。
36	89-2218-E-009-080	多媒體系統晶片設計技術之研究-子計畫三:單晶片多媒體系統整合技術之研究(3/3)	(6) chip tested。
37	89-2218-E-009-076	多媒體系統晶片設計技術之研究-子計畫四:系統晶片的功率估測與低功率技術之研究(3/3)	(6) 佳。
38	89-2215-E-009-115	採用 PRML 技術之高速數位影音光碟讀取通道晶片系統之設計與製作(1/3)	(6) 第一年 System design done。
39	89-2218-E-002-089	多媒體無線接收機系統晶片設計技術之研究(2/3)-子計畫二:數位式多媒體無線接收機之中頻與基頻類比前級超大型積體電路架構設計與製作	(8) 第二年的工作表現優良。 (5) 良好。
40	89-2218-E-008-026	數位視訊傳輸系統之超大型積體電路架構與製作(3/3)-子計畫二:數位視訊傳輸接收機之數位解調與同步設計及其晶片製作	(8) 成果不錯,但為何光碟片上沒放論文? (5) 良好。
41	89-2218-E-009-060	多媒體系統晶片設計技術之研究(3/3)-子計畫五:系統晶片上系統驗證之研究	(9) 計劃內容為 SOC 系統驗證之重要關鍵,執行成果與人才培育均十分傑出。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

42	89-2218-E-009-073	單晶片系統之電腦輔助設計研究(2/3)	(9) 執行成果與人才培育均傑出, 應考慮如何結合第三年成果, 更進一步嘉惠國內工業界。
43	89-2218-E-007-069	嵌入式動態記憶體設計自動化技術研究(3/3)	(1) 優。
44	89-2215-E-155-010	微處理器之低功耗及低延遲輸出匯流排編碼之研究	(1) 優。
45	89-2215-E-218-012	CMOS 電路之臨界邏輯與臨界電壓之研究	(1) 優。(2) 有趣的題目, 初次進入 Analog 領域。
46	89-2218-E-194-025	智財導向的設計與測試技術及其在高階 32 位元微控制器核心設計上的實際應用(2/3) — 子計畫二: 低擺動切割式匯流排及其在低功耗高性能以核心為基礎系統之應用	(1) 優。
47	89-2218-E-194-028	智財導向的設計與測試技術及其在高階 32 位元微控制器核心設計上的實際應用(2/3) — 子計畫五: 高階微控制器核心設計的有效率測試策略	(1) 優。
48	89-2215-E-005-009	電流樣式管線式類比/數位轉換器之設計	(1) 優。
49	89-2218-E-007-065	以一個 IC 卡系統為主的單晶片系統設計及相關 CAD 技術之研究(2/3) — 子計畫二: 單晶片系統測試設計及策略	(1) 優。
50	89-2215-E-009-117	系統晶片設計平面規劃之研究	(3) 成果優。 (5) 良好。
51	89-2215-E-224-014	在雜訊環境下的適應性強波信號頻率檢測演算法與 IP 模組設計之研究	(3) 成果佳。 (5) 可考量加入特定系統規格。
52	89-2215-E-006-040	5GHZ 無線區域網路(WLAN)接收機之前端 CMOS 電路設計(1/3)	(3) 成果佳。 (5) 良好。
53	89-2215-E-006-044	整合語音壓縮與辨識之視聽音行單層單晶片系統(III) — 子計畫一: 單晶片語音系統之混和類比/數位介面低功耗率電路設計	(3) 成果佳。 (5) 良好。
54	89-2215-E-002-045	矽體-軟體同步合成方法論	(5) 良好。 (9) 執行良好。
55	89-2215-E-216-006	對以智財單元為基系統晶片設計之驗證與測試技術開發研究 — 子計畫四: 系統晶片矽晶債鏈之良率提升	(5) 良好。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

56	89-2218-E-002-088	多媒體無線接收機系統晶片設計技術之研究(2/3)-總計畫	(2) 成果不錯。 (5) 良好。
57	89-2218-E-002-091	多媒體無線接收機系統晶片設計技術之研究(2/3)-子計畫四:適用於無線傳輸環境之通用視訊解碼處理器設計	(2) 成果不錯。 (5) 良好。
58	89-2215-E-009-114	低功耗低電壓數位及類比積體電路之晶片實現及設計法則 (六)	(6) 由 device 探討到線路之驗證, 為第六年之計劃, 國內極少有學者作此研究。
59	89-2215-E-194-010	透視投影影像之高速度特微萃取並行處理機設計研究	(6) 佳。
60	89-2215-E-009-120	對以智財單元為基系統晶片設計之驗證與測試技術開發研究-子計畫二:以智財為基系統晶片設計之功能驗證技術研究	(6) 缺。 (9) 未與會報告。
61	89-2215-E-033-015	低功耗/低電壓系統晶片以繞線趨動之佈局規劃設計方法	(8) 提出兩個 router, 發表 conf. 論文。 (6) only for DC。
62	89-2215-E-035-016	利用一種新的陣列乘法器設計浮點數乘除混合運算之單術單元	(8) Multiplier divider, 用 VHDL 設計, 普通。 (6) Chip rejected by CIC。
63	89-2218-E-194-024	智財專向的設計與測試技術及其在高階 32 位元微控制器核心設計上的實際應用(2/3) 子計畫一:32 位元高階微控制器設計之高層架構設計與最佳化	(8) 成果中等, 整合性稍不足; 光碟片上沒有論文? (6) 佳。
64	89-2218-E-009-079	多媒體系統晶片設計技術之研究-子計畫二:多媒體聲訊及虛擬實現之超大型積體電路設計(3/3)	(6) DSP。 (9) 多媒體演算法的發展相當完整具有創新, 如能再進一步至晶片實作則更完整。
65	89-2215-E-214-019	超大型積體電路之功率效能最佳化	(1) 缺。 (6) 缺。
66	89-2215-E-197-001	一個低成本的二維離散小波逆向轉換之 VLSI 架構設計與實現	(1) 優。 (5) 比較吉評估部份可再加強。
67	89-2218-E-033-023	考慮接線效應之深次微米晶片設計流程及設計方法	(1) 優。 (5) 可再考量電阻效應。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

68	89-2215-E-030-005	高速單晶片系統之低功耗設計技術研究	(1) 優。 (5) 良好。
69	89-2215-E-214-020	多晶片模組可靠性及可燒性擺置法之研究	(1) 優。 (5) 可考量以實際案例驗證其方法。
70	89-2218-E-110-016	無線通信應用專向 ARM-BASED 內嵌式微處理器系統設計與實作(2/3)-子計畫三:ARM7TDMI 嵌入式微處理器核心 IP 之設計與實作	(1) 優。 (5) 良好。
71	89-2218-E-007-062	以一個 IC 卡為主的單晶片系統設計以及相關 CAD 技術之研究(2/3)-子計畫三:單晶片系統之邏輯合成技術研究	(5) 良好。 (9) BDD 的應用於 PTL 邏輯合成是邏輯合成主流研究之一，亦應是一種值得肯定的應用。PTL 與 CMOS Logic 的結合是否仍可應用於動態電路亦是可考慮的方向。
72	89-2626-E-237-002	通訊法印刷電路板最佳佈線之研究	(5) 建議考量 IC 晶片的演進。 (9) 在報告展示上宜再多花心思。
73	89-2218-E-224-023	以硬體軟體共設計來實現一可快速變形製作之訊號壓縮附著系統(3/3)	(8) 表現優良，極有特色。 (2) 能以 FPGA 完成，不錯。
74	89-2215-E-224-013	在快速變形製作平台上設計與實現一支樣多重標準之音訊解碼機	(2) 能以 FPGA 完成，不錯。 (6) 3/3project, well done。
75	89-2215-E-007-056	網路處理器晶片設計、整合、驗證、偵錯與測試技術一子計畫二:網路處理器之驗證技術研發	(6) 佳。
76	89-2218-E-211-004	應用於 BLUETOOTH 系統之單晶片頻率合成器	(6) RF synthesized chip test
77	89-2218-E-194-023	智財導向的設計與測試技術及其在高階 32 位元微控制器核心設計上的實際應用(2/3)-總計畫	(8) 第二年總計劃 (含五個子計劃) 人力流失。 (6) 佳。
78	89-2218-E-194-027	智財導向的設計與測試技術及其在高階 32 位元微控制器核心設計上的實際應用(2/3)-子計畫四:應用於高階微控制器 IP 設計中之低功耗邏輯合成與佈局技術	(8) Synthesis, layout; 成果中等。 (6) 佳。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

79	89-2215-E-194-011	邏輯與實體共同設計以優化組合電路之效能(1/2)	(6) 佳。
80	89-2215-E-009-119	對以智財單元為基系統晶片設計之驗證與測試技術開發研究一子計畫一:與組織探索階段互動之系統階層驗證技術	
81	89-2218-E-007-061	以一個 IC 系統為主的單晶片系統設計以及相關 CAD 技術之研究(2/3)-子計畫一:低功耗電路之邏輯及實體設計	
82	89-2218-E-002-087	多媒體無線接收機系統晶片設計技術之研究(2/3)-子計畫一:數位式多媒體無線接收機之射頻類比前級電路設計與製作	(8) 電信國家計劃? 表現優良。
83	89-2215-E-006-045	整合語音壓縮與辨識之視障者語音行事曆單晶片系統(III)-子計畫二:語音特徵參數擷取模組之硬體架構設計	(3) 成果佳。
84	89-2215-E-008-050	適用於數位相機系統中內含浮水印技術之影像處理器核心	(3) 成果佳。
85	89-2215-E-009-116	一新型之電荷幫浦鎖相迴路	(3) 只做 simulation 與實際差異大。本計劃應有實作成果。
86	89-2215-E-032-004	低電壓全氧半電晶體鎖相迴路晶片設計	(8) PLL, 研究成果優良。 (3) 成果佳。
87	89-2215-E-218-013	可靠性及純線性最佳化的元件擺置法之研究(II)	(8) MCM Placement, 老的問題, 成果普通。 (9) 對 Power 的考慮及散熱及問題有用心討論。
88	89-2218-E-110-017	無線通信應用專向 ARM-BASED 內嵌式微處理器系統設計與實作(2/3)-子計畫四:低功耗 ARM 資料路徑處理器之設計與實作	(8) ARM data path, 成果不錯, 認真。 (9) 成果優秀, 預期第三年應與其他子計劃進行整合測試。
89	89-2218-E-259-006	多媒體無線接收機系統晶片設計技術之研究(2/3)-子計畫五:適用於無線傳輸環境之資料壓縮與資料安全智慧元件設計	(8) 表現不錯, 光碟上沒有論文。 (9) 計劃執行良好, 預期第三年與其他子計劃進行整合測試。
90	89-2215-E-006-041	設計新式卡門-巴希(KALMAN-BUCY)濾波器及其對 GPS 的應用	(8) 成果尚可, 光碟上沒有論文。
91	89-2215-E-224-015	迴旋與渦輪編碼器之技術研究與積體電路實現(1/2)	(8) 成果良好, 實用性題目, 有 conference papers。 (9) 演算法的研究內容完整確實, 預期第二年的計劃應可落實至積體電路實作。

九十年度國科會微電子學門成果發表評審意見 (VLSI/CAD)

92	89-2215-E-033-014	延遲限制下真實型查表式現場可程式化邏輯陣列功率最小化之技術映射	(8) FPGA mapping, 普通。 (9) 以不影響 Critical Delay Path 的概念進行 FPGA 之功率最小化設計是不錯的想法, 可考慮進一步推展更廣的應用範圍。
93	89-2215-E-033-016	適用於離子感測場放電晶體感測器特質之特殊應用積體電路設計技術與系統研究	(8) For-sensor, 國際合作。 (9) 感測器電路設計用心且其亦深具實用的價值。
94	89-2218-E-009-075	無線通信應用導向 ARM-BASED 內嵌式微處理器系統設計與實作(2/3)-子計畫 二:ARM 處理器指令/程式壓縮/解壓縮之設計與實作	(3) 成果佳。
95	89-2215-E-216-005	在深次微半製程上設計有效率之非曼哈坦通道繞線器	(3) 應做 benchmark 比較, 成果難斷。 (9) 在繞線的分析上考慮面積是重要因素, 同時 Cross talk 將是更重要的議題, 並且可考慮進一步討論兩層金屬以上的應用。
96	89-2218-E-002-090	多媒體無線接收機系統單晶片設計技術之研究(2/3)-子計畫三:數位基頻帶處理器之研製	(3) 成果佳。
97	89-2218-E-008-027	數位視頻傳輸系統之超大型積體電路架構設計與製作(3/3)-總計畫	(3) 雖然人員有變動, 然執行正常, 亦具實質整合。 (9) 計劃之整合執行盡心, 且各子計劃之成果值得肯定, 而且完整。
98	89-2218-E-008-029	數位視頻傳輸系統之超大型積體電路架構設計與製作(3/3)-子計畫一:殘邊帶數位視頻傳輸之超大型積體電路設計與製作	(3) 成果佳, 專利成果優。 (9) 晶片設計完整, 且具有研究創新。

九十年度國科會微電子學門成果發表評審意見 (化合物半導體)

海報	計畫編號	計畫名稱	審查意見
1	89-2215-E-182-011	氮化鎵藍光雷射二極體 ICP 乾式蝕刻技術開發	(2) 利用 Cl2-base ICP 蝕刻 GaN 製作藍光 LED, 目前已有初步結果, 值得繼續支持, 以做出更好品質之 LED。
2	89-2215-E-182-010	以砷化鎵製程製作 5.7GHz 鏡像拒斥混波器設計方法之研究	(2) 利用 pHEMT MMIC 及 hybrid IC (Al2U3 基板) 製作 5.2GHE image rejection mixer, 該研究以建立基本的微波電路設計, 製作及測試之能力。
3	89-2215-E-007-050	高速邊緣耦合型化鎵 P-I-N 檢光器陣列之研製	(2) 光源由側面入射至 photo detector, 以增加元件之操作頻寬, 是個有意思的題目, 值得繼續支持。 (3) 做得不錯。
4	89-2215-E-006-036	薄膜液體波共振濾波器之研製	(2) 在 ACN file 已建立完整的成長技術, 應繼續支持並在設計及製程加強, 以完成微波濾波器。
5	89-2215-E-009-091	聲振子散射在高雜質半島體量子細線結構內之效應	(1) 未出席。 (4) 未見 poster。
6	89-2218-E-009-074	氬效應在異質接面電晶體所引起的穩定性及可靠性問題(22)	(1) 成果豐碩, 但海報題目有錯字。 (4) 已有具體成果, H 的角色以有所說明, 或可推介業界參考。
7	89-2215-E-008-036	集極在上之砷化鎵/砷化鎵雙異質接面雙載子電晶體在功率放大器應用之研究	(1) offset voltage 稍大, 其他特性良好; 海報精美。 (4) 初步 HBT 已有成果, 宜加強 Amplifier 之研製, 並和傳統製程上之比較, 以彰顯其優點。
8	89-2215-E-244-001	以液相沉積氧化層為基礎之砷化鎵微波元件的晶片鍍合技術之研究—子計劃二: 應用低溫液相化學輔助氮化法研製加強型與空乏型微波砷化鎵半導電晶體	(1) 若能標出電晶體特性曲線, 效果更佳。海報圖示較不清楚。 (4) 初步成果已有數篇論文之發表及專利申請, 成效良好! 唯對於加強型電晶體宜加強研究, 成效更加; 此或許可為下一計畫的執行重點。French isolation 極具產業利用。
9	89-2215-E-110-023	PCS 頻段闕壁 GAAS HBT MMICS 與晶片尺寸封裝之整合設計	(1) 成果不錯, 海報精美。 (3) 有實用價值。

九十年年度國科會微電子學門成果發表評審意見（化合物半導體）

10	89-2215-E-006-031	以液相沉積氧化層為基礎之砷化鎢微波元件的晶片鍵合技術之研究—總計劃 沈積氧化層為基礎之砷化鎢微波元件的晶片鍵合技術之研究	(2) 各子計畫間的資源共享，有相當的成效。
11	89-2215-E-006-032	以液相沉積氧化層為基礎之砷化鎢微波元件的晶片鍵合技術之研究—子計劃一：利用 LPD 選擇性沉積薄層氧化層以製作砷化鎢 MOSFET 之研究	(2) LPD SiO ₂ 1 GaAs 已有完整理論模型描述 MIS diode 之特性，在元件方面可繼續探討 reliability issue。 (2) Wafer bonding 是個重要技術，該研究以建立很好的基礎，並與產業合作在 DFB laser 上有傑出的表現。 (3) 做 VCSEL 的 wafer bonding，做得非常好，所做的雷射可能有商品價值。
12	89-2215-E-005-010	以晶片熔合技術研製下發射型 850 NM 面射型雷射	(2) 量測系統已建立，今後可朝 resolution 及 dynamic range 上加強。 (4) 已有初步結果，可將之具體化，推薦業界參考使用。
13	89-2215-E-260-003	鍍化銦紅外線陣列系統應用於半導體製程發展測溫研究	(2) 個人不瞭解此計畫，但能發表在 phys Rev. 殊為難得。 (4) 已有具體成果，並將發表於期刊雜誌上。
14	89-2215-E-009-092	固體射低能透射原子之電子阻擋本領	(3) 有商業化嗎？似乎還在做材料分析。 (4) 關於太陽電池方面已有不錯結果，如何商業化，似乎並未見太多著墨，樂觀其成其商業價值。
15	89-2215-E-110-025	商業化 CUINSE2 太陽電池	(3) 做了一些 HBT 的量測，多半是一些很普通的量測，而且沒有模擬來比較，所以較不完整。至於熱效應的研究也僅止於熱阻的量測，似乎可再加強。 (4) 已有初步成果，進一步若有更具體衰減模型會更好。
16	89-2215-E-224-012	砷化鎢/砷化鎢及磷化銦/砷化鎢異質接面雙極電晶體之高频特性及熱致效應研究	(1) PIN 開關元件於實際微波領域之特性未標明；海報圖說明字大小。
17	89-2215-E-014-010	微波用 PIN 二極體鍍鍍 SiC 保護層之研究	

九十年度國科會微電子學門成果發表評審意見（化合物半導體）

18	89-2215-E-009-111	砷化鎵功率電晶體鉀金屬化製程可行性之研究	<p>(1) 缺乏電晶體兩端及溫度變化特性，海報題目以剪貼方式，缺乏整體性。</p> <p>(4) 以具體成效，並有相關論文擬發表，銅原子在後續電晶體（如污染）中的角色，可再進一步探討。因其 Annealing 後，元件特性變差。</p>
19	89-2215-E-006-033	以磷化銦鋁銻為蕭基層之砷化鎵異質結構場效電晶體	<p>(2) In AlGaP Schotttlay 取代 InP Schotttlay 是個不錯的方式，該題目值得繼續努力下去。</p>
20	89-2215-E-013-001	高維三角形位能障型光電晶體之研製	<p>(1) 缺乏連續變溫 switching 特性，海報製作精美。</p> <p>(4) 光電晶體僅就結構修正，已有初步結果，唯漏電流似乎大些，可加以改善，探討其更多特性。本元件之 switching voltage, holding voltage 並無太大差異，其導通現象是否為 VBC 累增之崩潰？</p>
21	89-2218-E-007-067	低電阻與發光半導體金屬矽化物研究(2/3)	<p>(1) 元件發光特性較少；海報精美，但尺寸太大且缺乏題目。</p> <p>(2) 有完整成長及分析之成果，Si Crystal on SOI, 可考慮 Single electron transistor 之製作。</p>
22	89-2215-E-218-014	以液相沈積氧化層為基礎之砷化鎵微流元件的晶片鍵合技術之研究—子計劃三:以液相沈積法在砷化鎵基板上長超薄二氧化矽膜品質之改善與其應用之研究	<p>(1) 未標明 LPD SiO2 之應用範圍，海報字體太小。</p> <p>(2) 可加強元件 reliability issue, 目前已建立完整的實驗基礎。</p>
23	89-2215-E-006-028	高頻、高功率異質結構場效電晶體之研製	<p>(2) 利用 air-bridge 改善元件品質是個很好的方法，實驗結果完整。</p>
24	89-2215-E-006-029	高性能異質接面雙極性電晶體之研製	<p>(2) 由 S.L. 產生 NDR 是個有趣的題目，實驗成果相當完整。</p>
25	89-2215-E-017-001	具有單原子層摻雜通道之高線性轉導磷化銦銻砷化鎵極端式閉極場效電晶體	<p>(1) 缺乏變溫之電晶體特性，海報佈圖不夠清晰。</p> <p>(4) 若能加強元件進一步的應用會更好。</p>

九十年度國科會微電子學門成果發表評審意見（化合物半導體）

26	89-2215-E-161-002	具脈衝式電流電壓特性之砷化鎵鋁／砷化鎵超晶格共振穿透式電晶體	<p>(1) 電晶體特性應放大原點附近狀況，以求出 offset voltage；海報字體太小，請改進。</p> <p>(4) 此結果已發表於雜誌上，為博士論文的延伸。其負微分電阻，就特性上相當有趣，但其應用若有具體描述將更理想。</p>
27	89-2215-E-014-013	多通道調變摻雜光檢測器	<p>(1) 未找出最佳之 Si 8-dope layer 數目；海報圖示說明不清楚。</p> <p>(4) 利用矽作多通道調變摻雜，已研製光檢測器，若能進一步描述光檢測更項參數的具體數值和一般檢測器之比較，會更加有意義。</p>
28	89-2215-E-019-003	IN(GAAL)P/GAAS 微電與光電元件	<p>(1) 未標明 gm-Vgs 與電晶體兩端特性，海報圖說明不清楚。</p> <p>(4) 已有初步的成果，其具體在微電及光電元件上的應用，若有更明確的研究成果，則更佳。</p>

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

海報	計畫編號	計畫名稱	審查意見
29	89-2215-E-006-027	次微米薄膜電晶體之光機反應研究	(2) 88 (7) A, 內容豐富。
30	89-2215-E-006-026	超薄氧化層 SiO ₂ 及高介電係數絕緣層 Ta ₂ O ₅ , TiO ₂ 與 WO ₃ 之製備及其臨界厚度之研究分析	(2) 85 (7) A, 成果豐富。
31	89-2626-E-232-003	遠端監控瓦斯偵測系統	(2) 80
32	89-2215-E-214-013	高效率、高穩定性有機電激發光元件的製備及其亮度衰減機制之研究	(2) 83 (7) A, 觀念新。
33	89-2215-E-214-018	薄型電源供應器之電路設計	(2) 82
34	89-2215-E-005-008	脈波調變射頻電漿對氫化非晶氮化矽薄膜品質改善之研究	(2) 85 (7) A, 內容豐富。
35	89-2215-E-230-002	矽鍍高平面特種通道場效電晶體之研製	(2) 82
36	89-2215-E-317-010	極大型積體電路銅金屬化製程之擴散阻障層研究	(2) 85 (7) A, 思考嚴謹。
37	89-2215-E-317-008	化學氣相沈積之氮化鉍擴散阻障層在銅金屬化製程的應用研究	(2) 84
38	89-2215-E-260-002	氬氣後金屬退火對銅導線阻障層特性影響之研究	(5) 85, 有創意。
39	89-2218-E-009-070	極大型積體電路之深次微米元件及分析及模擬的研究(2/3)	(3) 海報內容詳實, 研究成果佳。
40	89-2215-E-008-049	矽/矽鍍異質結構互補型金氧半電晶體之研製(1/2)	(3) 研究成果尚可, 海報品質尚可。 (5) 88, 可行性佳。
41	89-2215-E-415-001	可有效應用於多維元件模擬的量子修正模型	(3) 研究成果對元件特性模擬極有助益; 海報內容、品質尚可。 (5) 75, 實驗結果可再改善。

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

42	89-2215-E-110-024	以 MOCVD 生長晶粒鍍鍍鍍薄膜		(3) 研究技術具新穎性，成果之質量均佳；海報品質尚可。 (5) 80，實驗方法及結果可行。
43	89-2218-E-009-069	低溫薄膜電晶體之相關薄絕緣層之製備研究(3/3)		(3) 研究成果佳、海報準備用心。 (5) 84，絕緣層特性的探討很有創意。
44	89-2215-E-007-044	超大型積體電路記憶元件中鐵電薄層應用之研究		(3) 海報品質尚可，研發成果具應用性。 (5) 可行性佳。
45	89-2218-E-002-092	非晶矽氮及多晶矽材料及元件之研究(2/3)		(3) 研發成果極具應用潛力；海報內容編印佳。 (5) 78，實驗結果的原因探討似乎可再加強深入。
46	89-2218-E-009-067	CMOS 發光顯像技術與閘極介電層材料研究(2/2)-中加合作案		(3) 研究成果極具新穎性，海報準備極精緻，但未有現場解說。 (8) 成果相當好且完整。
47	89-2215-E-009-094	RF CMOS 雜訊分析與可靠性研究		(3) 海報及研究成果表現佳，唯現場未有解說。
48	89-2215-E-007-046	金屬矽化物催化方式形成高品質低溫複晶矽薄膜之研製		(5) 90，海報製作極佳，實驗安排切實。 (8) 海報效果不錯。
49	89-2215-E-007-042	超薄聚亞醯胺介電膜及金屬銅膜應力量測		(5) 80。
50	89-2215-E-224-011	非晶形碳氫酸鹼離子感測場效電晶體元件之研究		(8) 數據部份應再補強，海報顯示的數據太少，無法看出計畫成果之完整性。
51	89-2215-E-214-011	複合高介電氧化層在高密度動態隨機存取記憶體上儲存電容器的關係與可靠性之研究		
52	89-2215-E-110-022	多透閉極元件的製作比較與特性的研究		
53	89-2215-E-151-001	薄型電源供應器之材料分析		
54	89-2215-E-149-001	高品質複晶矽氧化層的製作		(1) 海報較精簡。 (6) 海報應可再加強一點。
55	89-2215-E-211-004	200-300V 橫向雙擴散金氧半導體之設計與製成		(1) 整理充備，成果佳。

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

56	89-2215-E-129-003	次微米雙極單電子電晶體之量子傳輸研究及其元件結構設計與模擬分析	(1) 整理大致完備。 (5) 76, 元件結果的模擬分析可再改進。
57	89-2215-E-317-014	超薄氮化及氮化氧化層元件之製程可塑性研究	(1) 成果甚佳, 值得鼓勵。 (5) 77, 實驗可行。
58	89-2215-E-317-015	具有蕭特基源/汲極及副閘極結構之新式薄膜電晶體的製作與分析	(1) 成果甚佳, 值得鼓勵。 (5) 77, 實驗可行, 有創意, 但實驗成果應再深入探討。
59	89-2218-E-009-088	隨機記憶體用超薄氧化鋁介電薄膜電容之研發(2/2)	(1) 大致完備。 (5) 82, 有實用性。
60	89-2215-E-007-045	由理論模型對電晶體元件之設計及最佳化研究	(1) 成果佳, 準備完整。 (5) 82, 理論模型有待實際結果來印證。
61	89-2215-E-164-002	非晶質矽/單晶矽吸光區累層區分極雷射光二極體	(4) gain 仍低, 實驗環境條件仍不足, 宜加強 simulation 之深度。 (8) 實驗已有初步成果, 但可在結構或材料方面改進, 以增加 optical gain, 理論方面的成果不錯。
62	89-2215-E-009-097	低介電常數材料應用在超大型積體電路上之研究(1/2)	(4) Good work! 宜注意相關介電性質與 low K 材料之 porosity 之關聯性研究。
63	89-2215-E-009-098	低介電常數材料與銅製程整合之研究(1/2)	(4) 研究 Cu 之擴散效果, interesting work!
64	89-2215-E-009-103	深次微米互補式金氧半製程技術下之混合電壓輸出界面電路與靜電放電防護電路的設計	(4) OK work! 發展有用之 ESD protection ckt。 (8) 成果不錯。
65	89-2215-E-002-042	液相氧化及輻射技術在超薄閘極氧化層製程之應用	(2) 88
66	89-2215-E-317-012	新型直立式單電子元件之製作與研究(1/2)	(2) 84 (8) 圖中的字再大一點, 效果更好。
67	89-2215-E-007-049	應用於類比電路之整合式雙極性/互補金氧半元件擴散式金氧半技術之開發(III)-子計畫一:在 BCD 技術中之雙極性元件之最佳化設計與製造	(2) 86 (7) A, 成果豐。

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

68	89-2215-E-007-047	應用於類比電路之整合式雙極性/互補金氧半導體/擴散式金氧半導體技術之開發 (III) -總計畫: 應用於類比電路之整合式雙極性/互補金氧半導體/擴散式金氧半導體技術之開發	(2) 86 (7) A, 成果豐。
69	89-2215-E-007-048	應用於類比電路之整合式雙極性/互補金氧半導體/擴散式金氧半導體技術之開發(III) 一子計畫三:在BCD技術中之側向擴散式金氧半導體元件之最優化設計與製造	(2) 88 (7) A, 成果豐。
70	89-2215-E-009-099	高介電氧化鋁開極於下世代深次微米技術的應用	(4) 元件之RF特性尚佳。 (5) 80, 有學術研究價值。
71	89-2215-E-009-100	矽鍍非應力層在高速電晶體及射頻元件的應用	(4) Dit低是其特徵! Good work。 (5) 80, 創意極佳。
72	89-2215-E-033-011	以螺旋溝槽系統沉積氧化鋁薄膜之研究	(4) 應用在微波元件, 是有趣的工作。 (5) 75, 實用性有待改進。
73	89-2215-E-009-106	金屬開極之功函數工程	(4) 討論 TaN 之 work function, 為 comprehensive work。 (5) 75, 實用性不佳。
74	89-2218-E-009-068	銅導線及其障壁層之材質研究(2/2)	(4) 尚可, 宜有新的創意。 (8) 字體太小, 只貼4張A4與規定海報規格顯不相稱。
75	89-2218-E-009-071	矽鍍源/液極金氧半導體及電感在射頻應用之研究(2/3)	(1) 成果佳, 研究潛力大。 (4) Good work! 電感在RF之應用有趣, 但宜有特殊之設計, 否則會有困難。
76	89-2218-E-009-086	超高真空化學氣相沉積低溫新穎複晶矽薄膜電晶體之製作與可靠度的研究(3/3)-子計畫三:超高真空化學氣相沉積新穎複晶矽薄膜電晶體之低溫開極介電層與新結構之研究	(1) 成果佳。 (4) 新觀念 device performance 不錯。
77	89-2218-E-009-087	超高真空化學氣相沉積低溫新穎複晶矽薄膜電晶體之製作與可靠度的研究(3/3)-總計畫	(1) 成果佳。 (4) 新觀念 device performance 不錯。
78	89-2215-E-009-089	以電子迴波共振化學氣相沉積技術成長超薄開極絕緣膜及可靠性之研究(1/3)	(1) 成果佳, 具潛力。 (5) 80, 技術很先進, 有學術研究價值。

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

79	89-2215-E-009-090	金屬媒及空氣低介電常數介電質前曠性積體技術開發(1/2)	(1) 成果佳，值得鼓勵。 (5) 80，有前瞻性。 (5) 76，實驗安排宜再加強。
80	89-2215-E-011-009	矽在絕緣層上金氧半場效電晶體之閘極電流特性研究	(4) 新觀念 device performance 不錯。
81	89-2218-E-110-018	超高真空化學氣相沈積低溫新穎積體晶矽薄膜電晶體的製作與可靠度之研究—子計畫一：化學氣相沈積系統成長低溫複晶矽薄膜電晶體及其在投影式液晶顯示器的應用(3/3)	(4) 尚可，但仍缺乏深層 (包括 microdefect 影響) 之分析。 (4) 電鍍 Cu (在 small feature size) 無 void 是其大優點。 (6) 負責貼海報的同學，出了車禍未能及時趕到，將補送。 (4) 尚可，但缺乏特色。
82	89-2215-E-182-007	離子佈植之投影範圍之複雜擴散分析	(1) 成果佳，整理甚完整。
83	89-2215-E-231-005	以電化學方式沈積銅金屬在超大型積體電路製程之研究	(1) 成果佳，整理甚完整。
84	89-2218-E-011-043	溝渠式閘極功手金氧半場效電晶體之研製(2/2)	(1) 成果佳，整理甚完整。
85	89-2215-E-009-107	利用電荷幫浦分佈法研究深次微米 N 型 MOS 元件電漿製程傷害之可靠性	(1) 大致妥善。 (2) 85
86	89-2218-E-009-110	不同型積體材料洋動閉掛快閃式記憶元件可靠性問題之研究	(1) 具創意，成果佳。 (2) 86
87	89-2215-E-214-017	內埋於薄型交換式電源供應模組的電阻與電容材料及其製程開發	(2) 85
88	89-2215-E-213-003	利用掃描式穿隧道顯微術進行 X 光微影光罩之奈米結構圖形化研究	(2) 85
89	89-2215-E-002-044	用於電力電子之雙重擴散金氧半元件精簡模型	(2) 87
90	89-2215-E-002-043	用於超大型積電之深次微米小尺寸超薄絕緣體上矽金氧半元件模型	

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

91	89-2215-E-009-096	電子束石版術中策地卡羅模擬程式之發展	(1) 海報較精簡。 (8) 字體應再放大。
92	89-2218-E-007-070	金屬薄膜與矽晶以及繞線層界面反應研究(3/3)	(1) 海報具特色。 (7) A, 成果豐。
93	89-2215-E-214-016	薄型電源供應器用陶瓷變壓器之研製	(1) 整理完備。
94	89-2215-E-006-025	低漏電流氧化鋁薄膜之製程研究	(1) 整理完備。
95	89-2626-E-235-004	低介電常數與銅金屬之可靠度研究	(1) 整理完備。
96	89-2215-E-009-101	銅化學氣相沈積技術及積體電路銅製程相關的材料製程技術研究(II)	(3) 研究成果具應用性, 海報品質可。
97	89-2215-E-009-102	矽化鎳在超大型積體電路之應用研究	(3) 海報編印效果尚可, 成果佳。
98	89-2215-E-035-014	深次微米低介電層及銅內連接薄膜導線系統之研製與整合性研究(1/2)	(3) 海報編印效果尚可, 成果尚可。
99	89-2215-E-214-015	薄型電源供應器用厚膜沉積層線路及元件材料製程設計	(3) 海報尚佳, 成果佳。
100	89-2218-E-009-082	超高真空化學氣相沉積低溫新穎積體品矽薄膜電晶體之製作與可靠度分析—子計畫二: 退火製程對超高真空化學氣相沈積法成長之積體品矽薄膜結構的影響與退火積體品矽薄膜電晶體的製作(3/3)	(3) 海報印刷品質、內容均佳, 唯現場無人解說。
101	89-2215-E-182-008	功率元件之高頻特性研究	(3) 研究成果佳, 唯現場無人解說。 (7) A, 成果豐。

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

102	89-2215-E-027-005	超薄閘極氧化層電容-電壓特性及模型	(3) 成果不錯，已發表於 JJAP，海報內容編印佳。
103	89-2215-E-007-040	高分子發光二極體負電極之研究	(3) 海報內容品質佳，成果屬中上水準。 (7) A，成果豐。
104	89-2215-E-007-041	氧化矽膜微細結構演化之研究暨應用(1/2)	(3) 海報品質尚佳，部份研究成果具應用潛力。 (7) A，成果豐。
105	89-2218-E-007-071	深次微米關鍵技術(1)超薄氧化層暨(2)銅 DUAL DAMASCENE INTERCONNECT 及其可靠性之連續研究(2/3)	(3) 海報品質贊可，研究成果具潛力。
106	89-2626-E-022-001	電子構裝導電膠塗點製作與材料特性分析	(3) 海報內容準備周全，研究成果具應用性。
107	89-2215-E-009-105	自我對準銻金屬矽化製程之熱穩定性及其對超薄閘極氧化層特性影響之研究	(4) leakage current 分析有趣，亦有深度。
108	89-2215-E-009-104	具有新式副閘極結構的低溫複晶矽薄膜電晶體的製作與分析	(4) 對 CoSi2 之應用與發展有適度貢獻。
109	89-2215-E-035-013	銅金屬化製程與矽化物超淺接面之整合研究	(2) 84 (4) 尚可。
110	89-2218-E-182-006	深次微米超大型精體電路技術製程及元件統計分析	(2) 84 (4) Good work !
111	89-2218-E-390-001	次 0.13 微米 SOI 全氧半電晶體的製作分析與模擬	(2) 85 (4) 與 UMC 合作，深入分析實驗結果，Good work !
112	89-2218-E-009-081	低溫成長絕緣矽氧化膜設備之研製 (3/3)	(3) 研究成果具應用性，海報品質佳。 (5) 88，實驗結果極佳。
113	89-2215-E-009-093	塑膠基板上半導體元件的關鍵製作技術研發	(3) 研究成果具應用性，海報品質可。 (5) 86，實驗結果的特性探討可再加強。

九十年度國科會微電子學門成果發表評審意見 (矽半導體材料與元件)

114	89-2215-E-007-043	紫外後化學氣相沈積 TANX 及 TASIXNY 障磁層之研究	(3) 研究成果與計畫目標相符, 海報品質尚佳。 (7) A, 成果豐。
115	89-2626-E-167-003	電子構裝微接點接合強度與微結構之研究	(3) 海報品質佳, 研究成果佳。
116	89-2215-E-009-095	應用於深次微米 CMOS 元件與薄膜電晶體之製程技術開發	(3) 研究成果具先端技術開發之潛力, 海報品質佳。
117	89-2218-E-243-001	鍍化銅光輔助化學汽相沈積法, 金屬氧化物半導體場效電晶體	(1) 缺席。 (8) 未貼海報。
118	89-2215-E-033-012	以 CMOS 標準製程技術製作氣體感測器之研究	(1) 整理完備, 成果佳, 值得研究。
119	89-2215-E-317-009	細原子超陡峭退化通道摻雜分佈對 0.1 微米元件的影響	(1) 成果甚佳, 整理完備, 值得鼓勵。
120	89-2215-E-009-087	改善型 WO ₃ -IRO ₂ 二極體陣列葡萄糖感測元件之可靠性研究	(1) 具創意, 整理完備。
121	89-2218-E-006-153	磁控濺鍍機的建立及用於矽元件新材料的開發: 矽化結構由氧化物調節磊晶成長法的形成法的形成機制與氧化結構	(2) 85
122	89-2215-E-035-015	高 Q 值全電晶體式單晶微波主動電感之研製	(2) 83
123	89-2215-E-317-013	老微米孔洞低介電薄膜在超大積體電路製程技術的可靠性研究	(2) 87
124	89-2215-E-009-109	ANALOG APPLICATION USING INTEGRATED BIPOLAR CMOS/DMOS (ABCD) TECHNOLOGY(III) 一子計畫二: 在雙極性/互補式金氧半/雙構散金氧半 (BCD) 技術中雙構散金氧半 (DMOS) 之最佳化設計與製造	(4) 產出 60V 之元件, Good work。
125	89-2215-E-009-108	以準分子雷射退火技術製作低溫複 (單) 晶矽薄膜電晶體元件	(4) 製出 h-channel 高 mobility 之 TFT, good work。
126	89-2215-E-182-009	功率電晶體之可靠性分析	(4) 分析 highly reliable 之 trench structure, good work!
127	89-2215-E-009-088	193 奈米微影用嵌附式減光型相移圖案之研製與模擬	(4) Design for optimum fabrication, 有趣的 work。

學門特色規劃書

VLSI/CAD

- ◎晶片系統之設計、驗證自動化與 EDA 特色研究.... 01~09
- ◎類比、混合訊號及 RF 模組設計.....10~19
- ◎晶片系統模組及介面設計.....20~25

晶片系統之設計、驗證自動化與 EDA 特色研究

Research on Design/Verification/Testing Automation for SOC

分組召集人：交大電子 周景揚 教授

學術界： 成大電機 — 李昆忠教授

中原資工 — 陳美麗教授

清大資工 — 黃婷婷教授

中正電機 — 葉經緯教授

交大電控 — 董蘭榮教授

台大電機 — 張耀文教授

中央電機 — 蘇朝琴教授

工業界： 創意電子 — 林景源先生

源捷科技 — 宣敬業先生

思源科技 — 陳調鋌先生

由於製程技術的持續進步，使得大量的電路元件可以被製作在單一晶片上，再加上市場上對複雜度高以及運用功能強的需求，使得整個系統包括微處理器，記憶體等皆有可能整合到同一晶片上，以達到低功率、高效能、小體積以及高可靠度等諸多優點，也因此造就這一波晶片系統的設計趨勢。

將製程迥異的邏輯元件，諸如微處理器以及記憶體元件；諸如 embedded DRAM，以及將設計方法迥異的數位電路與類比電路整合在同一晶片上，在製程技術上、設計方法上，以及測試、包裝上均造成相當大的挑戰。

晶片系統的設計流程相當複雜，各項工作均仰賴設計自動化（EDA）的軟體方能完成，而目前國內研發 EDA 的公司非常少，學術界從事相關研發的教授也不多，也就是長久以來，所賴以設計的 EDA 工具完全掌握在美商手裡，對於整個 SOC 產業的永續經營，有相當不利的影響。為了加強國內在此領域的研發能量，因此藉這次前瞻規劃，希望能提昇學界在 SOC 相關之 EDA，測試與驗證等的相關研究，以根本解決設計工具以及設計方法所面臨的挑戰。

規劃小組經參考多項資料、詳細討論之後認為，雖然值得研究的題目很多，但是有鑑於我國相關研究資源並不充裕，故應集中於少數題目之上，以求相互交流合作產收突破性之成果。我們認為以下五項子題是值得研究的：

1. 晶片系統之系統階層整合技術
2. 晶片系統之矽智產再利用技術
3. 晶片系統之前瞻設計驗證技術
4. 晶片系統之前瞻測試技術
5. 深次微米之實體設計技術

1. 晶片系統之系統階層整合技術 (SOC System-Level Integration Technology)

隨著積體電路設計進入晶片系統晶片時代，整合矽智產元件的設計自動化益加重要。主要的研究方向如下：

組織探索(Architecture Exploration)：

晶片系統設計基本上採用由上至下之設計流程(Top-down design flow)，流程的第一步為組織探索。組織探索的主要工作為效能評估、成本考量與資源配置。其研究內容可列舉如下但不以此為限：

- 效能模擬(Performance modeling and simulation)
- 成本模型建立(Cost modeling)
- 系統階層功率分析(System-level power modeling)
- 結構合成(Architecture synthesis)
- 軟硬體物件配置(HW/SW partitioning)

軟硬體共設計(HW/SW Co-design)：

晶片系統組織通常是兼具軟硬體物件的異質系統，因此軟硬體共設計在系統階層扮演極重要的角色。如何能先期設計軟硬體異質架構進而有效的定義軟硬體細部規範(Specification)為系統階層整合的關鍵課題。其研究內容可列舉如下但不以此為限：

- 軟硬體互動介面(HW/SW interfacing)
- 軟硬體特徵萃取(HW/SW profiling)
- 軟硬體共模擬(HW/SW co-simulation)
- 功率評估與最佳化(HW/SW power estimation and optimization)
- 軟體最佳化(Compiler optimization)

2. 晶片系統之矽智產再利用技術(SOC IP Reuse Technology)：

矽智產為系統階層整合之基本單元，基本單元的可重複性與擴充性將影響整合的效率與彈性，矽智產再利用技術因此成為系統晶片合成的核心。另外 IP 在使用上可以分成 soft core、firm core 和 hard core 的型式，目前在實際應用上以 hard IP 比例最高。SOC 設計是否能成功的整合所使用的 IP，取決於 IP 的功能、時序及功率等模型的準確性及完整性。一個 IP 的模型若不符合這些要件，其實用性仍非常低。因此，我們可以研究這方面的相關技術。

佈局/低功率編譯器或產生器(Layout-Driven and/or Low-Power Compilers or Generators):

- 佈局驅動矽智產元件自動產生機制(Layout-driven automatic IP synthesis):
譬如 Layout-driven datapath/FFT compilers or generators
- 矽智產元件通訊介面(IP interfacing/on-chip bus synthesis): 譬如 On-Chip Bus Architecture Synthesis
- 低功率矽智產元件之合成(Low power IP synthesis)

功能與功率之模型分析最佳化以及管理技術(Accurate/Effective Modeling, Analysis, Optimization and Management Techniques for Power and Performance):

- 模型萃取: Accurate model extraction (flat/hierarchical) techniques for function, power and performance for SOC Integration。Emphasize on accuracy, flexibility and efficiency.
- 重分割技術: Repartitioning techniques for power/performance characterization/analysis for better trade-off between accuracy and CPU run time for SOC integration。
- 功率分析最佳化以及管理技術: Advanced power analysis, optimization and management techniques for SOC integration

3. 晶片系統前瞻設計驗證技術 (SOC Advanced Design Verification Technology)

由於晶片系統的電路愈來愈複雜，驗證電路的正確性以及偵測設計錯誤的源頭，已經慢慢變成為整個設計流程中最主要的瓶頸。而以硬體描述語言(HDL)為基礎的設計流程更是相當普遍且亦趨複雜。因此在整個設計過程中，分別在暫存器轉換層次以及邏輯閘層次均需要有效的設計驗證以及錯誤偵測相關電腦輔助設計軟體，才能縮短整個設計時程。而目前有關驗證技術大體區分為軟體模擬為主的半正規方法，以及所謂的正規驗證技術。不過這兩種方法在設計的複雜度愈來愈高時，都面臨相當大的瓶頸，也因此有相當大的改善空間。下面僅就相關方向作一簡要說明。

暫存器轉移層次 (RTL) 模擬為主的前瞻驗證技術：

暫存器轉移層次的前瞻驗證技術是以模擬為主，輔以其他諸如正規驗證或涵蓋率的技術，解決日益複雜的設計驗證需求。主要的研究內容則列舉如下但不以此為限：

- 涵蓋率的新量度以及各種量度之間的關係：涵蓋率是評估模擬完整與否的指標。除了現已發表的涵蓋率外，面對SOC的複雜設計，新的涵蓋率量度以及整合各種量度的方法是急需開發的。
- 涵蓋率量測的新方法：針對效率等各項需求，找出涵蓋率量測的新方法。
- 縮短模擬時所需的驗證向量的長度：以有效的設計驗證方法，讓模擬時間縮短且讓模擬的品質提升。
- 功能性錯誤診斷的新方法：由於模擬只能檢測出錯誤的發生點，因此具有診斷錯誤原因的技術才能大幅縮短設計驗證的時間。
- 針對不同涵蓋率量度之自動驗證向量產生器：為了讓模擬的過程更自動化，自動產生驗證向量的技術就相當重要。此外，自動驗證向量產生器還要能合乎各種不同涵蓋率量度的需求。
- 電路切割與抽象化技術以加速自動驗證向量的產生：由於電路太過複雜時，會使得自動向量產生器的效率下降，因此可利用電路切割與抽象化技術來增加其效能。

邏輯閘層次之對等性檢驗 (Equivalence Checking) 及錯誤診斷技術：

單晶片系統設計一旦進入邏輯閘層次，則設計的正確與否以及和暫存器轉移層次間的一致性就必需慎重考量。主要的研究內容則列舉如下但不以此為限：

- 對等性檢驗之新技術：對等性檢驗不僅包括暫存器轉換層次和邏輯閘層次的檢驗，同時也包括邏輯閘層次和電晶體層次的一致性檢驗。因此，應開發可包含此兩種檢驗需求的整合性技術。
- 對等性檢驗相關之錯誤診斷技術：如果對等性檢驗發現有不一致的情況發生，則相關的錯誤診斷技術就可以快速的找出設計的問題所在。
- 狀態可到達性 (Reachability) 之分析技術：其他諸如正規驗證中的模型檢驗

(Model Checking) 技術雖有其價值，但卻無法有效的應用在複雜的設計當中。因此，以簡化暫存器和抽象化的方法發展出估計式的狀態可到達性分析 (Approximate Reachability Analysis)，可以找出設計中難以用模擬來驗證的特殊情況。

晶片系統之矽智產(IP)整合驗證技術：

半導體技術的突飛猛進，使得單晶片可容納的電晶體數目大幅成長，當代包含一百萬個電晶體的設計比比皆是，然而工程師的設計能力雖然有電腦輔助工具的幫助，成長的幅度仍遠遠落後單晶片可容納電晶體的成長速度。彌補這兩者之間成長速度差距的主要方法是利用已驗證且可重複使用的 IP 進行積體電路設計。主要的研究內容則列舉如下但不以此為限：

- 矽智產整合之功能性錯誤模型：對於已經充分驗證的 IP 使用於 SOC 設計時，實不再需要對 IP 部分再以徹底的測試向量加以驗證，否則重複且複雜的驗證工作將抵銷使用 IP 所獲得的好處。所以可研究與 IP 連線相關的障礙模型(Error Model)，以縮短晶片系統之整合驗證的時程，使得整合驗證更具效率。
- 用於偵測系統整合錯誤之自動驗證向量產生器：對於偵測晶片系統整合所可能發生的連線相關的錯誤模型(Error Model)，發展出一套自動驗證向量產生器是必須的，藉由自動化的過程，可以縮短驗證向量產生的時間及正確性。
- 系統整合錯誤之診斷技術：當發現系統整合出現連線相關的錯誤時，我們要有能力針對錯誤的連線作診斷，並明確的找出發生錯誤連線的地方。

4. 晶片系統之前瞻測試技術 (SOC Advanced Test Technology)

晶片系統的組成包含有類比電路、數位電路、以及橋接兩者的類比數位轉換電路。而晶片系統的應用層面也涵蓋了資訊、通訊、以及以語音影像為主的消費性產品。除了其設計的原理技術與電路的組成元件與應用成面有相當大的差異，其測試的技術也各有不同。在測試前瞻技術的發展上，除了漸趨成熟的邏輯閘階層(Gate Level) 的技術外，如測試向量產生 Test Generation，錯誤模擬 Fault Simulation，及可測試設計 Design for Testability 等，在系統階層 System (RTL) Level 以及電路階層 Circuit Level 的測試以及可測試設計技術方面，與現階段的設計與製造技術都有相當大的落差。因此，在此一方面的前瞻研究規劃，將偏向系統階層與電路階層的測試技術研發。

系統階層前瞻測試技術：

系統階層的前瞻測試技術，主要是著重應用於系統晶片中智財模組整合之相關測試技術。主要的研究內容則列舉如下但不以此為限：

- 晶片系統整合之可測試技術：以 SOC 整體為考量，具有可調整 (Scalable) 的可測試設計技術 DFT。此一方面的技術應用於 SOC 測試整合上，可以以 IEEE Std. P1500 為範本，作為技術研究與發展的參考。

- 晶片系統矽智財模組之測試技術：針對各個 SOC 矽智財模組的不同特性，研發具相容可整合於前項所提的 SOC DFT 架構下之可測試設計與自我測試技術。主要的方向則可著重於探討不同矽智財模組的特殊電路架構，在異中求同找出可整合之可測試設計方法。其中特殊記憶體或邏輯可測試設計與自我測試之技術研發則是重點之一。
- 晶片系統測試流程之策略研發：由於晶片系統本身之架構及測試之架構均具階層架構可調整性 Hierarchically Scalable。測試資源共享 Test Resource Sharing 與測試流程控制 Test Flow Control 易成為降低測試成本，減少測試時間，以及增加測試準確度的重要環節。

電路階層前瞻測試技術：

SOC 的測試已經面臨到來自深次微米電路測試，類比電路測試，以及射頻電路測試嚴苛的考驗。姑且不論在 SOC 環境下的測試，就是獨立元件的相關測試技術也相當的欠缺。這些測試與電路階層的電器特性息息相關，因此列為電路階層的測試。主要的研究內容則列舉如下但不以此為限：

- 射頻電路測試技術：ROC (RF on Chip) 是 SOC 的趨勢，除了 RF 電路本身的實測技術急需開發外，RF 電路與中基頻模組的相互作用也是測試上需考慮的因素。
- 類比電路可測試設計：在 SOC 中，中頻、基頻、及類比數位轉換電路深藏於晶片之中，無法由晶片接腳直接測試到。因此，應開發相關的可測試設計與自我測試設計技術，以因應此類內藏模組。
- 深次微米電路測試技術：當元件大小以及導線線寬降至 100nm 以下，工作頻率超過 GHz，雜散效應 Parasitic 或二階 2nd Order 效應逐漸顯著，晶片的可靠性 Reliability 與這些特性相關連。了解這些現象與量測這它的程度成為測試的一個重要的新課題。除了測試，這些相關的可偵錯設計 Design for Debug 也是目前熱門的課題。

除了前兩大項相關的測試技術，現階段開發中但未成熟的技術，也需要在投入研發能量使之能日趨成熟。其中包含了與數位測試相關的 Delay Testing 與 Fault Diagnosis，與類比測試相關的 Analog Fault Modeling 與 Analog Test Generation，及與測試整體相關的 Test Yield Analysis and Optimization 等。

5. 深次微米之實體設計技術 (Physical Design for Deep Submicron)

在深次微米的技術下，由於有較小的元件形狀(device geometry)、較大的晶元尺寸(die size)、較快的上升時間(rise time)、較高的操作頻率(operating frequency)和較低的操作電壓(operating voltage)，這些變化使得當代 IC 設計在各階段皆面臨許多嶄新的挑戰，尤其實體設計階段乃決定電路元件及其連線的實際位置，此受製程技術的影響甚鉅，因

此產生極多嶄新的研究問題尚待解決。茲以設計層次的觀點規劃前瞻研究如下：

製程 (Process):

在深次微米的製程中，sub-wavelength lithography 容易產生晶元上電路元件及連線尺寸形狀的變異(variation)。此變異有可能造成無法預期的電路行為，而使設計者所做的最佳化徒勞無功。因此，如何在實體設計中降低因製程變異(process variation)而產生的問題(如 clock skew, delay, crosstalk 等)，及光學製程修正技術 (optical process correction, OPC) 修正製程的誤差以提高良率等研究，實為重要的研究課題。

由於 Chemical-Mechanical Polishing (CMP) 技術的進步，使得繞線層數得以顯著地增加。在 CMP 技術中，因佈局形狀 (layout pattern) 的變異會導致各層間介質(dielectric)厚度的改變，進而造成良率(yield)的降低及影響電路的效能(performance)。因此，如何解決 process 佈局形狀變異的問題(如 metal-fill patterning 及其衍生的 dummy feature 電容等)，為 design for manufacturing 重要的研究課題。

模型 (Modeling):

隨著操作頻率的提昇、超長連線的出現及訊號上升時間的減小，on-chip 電感的效應已開始顯著。此衍生以下的重要研究課題：

快速且準確 on-chip 電感的 modeling 及 extraction。目前此主題之研究瓶頸主要在於 inductance matrix 的簡化(sparsification)及 current return loop 的決定等。

同時考慮電阻、(耦合)電容和(耦合)電感效應的 delay model 及同時考慮(耦合)電容和(耦合)電感效應的 power model。

由於繞線層數的增加(5, 6 層金屬已極為常見)，電容和電感的 modeling 及 extraction 需考慮 3D 的 geometry。而 delay 及 power 的 modeling 亦需考慮同層及上下層間連線的耦合電容和電感。

設計最佳化 (Optimization):

面積(area)、訊號延遲(timing) 和功率(power)為傳統設計自動化中最重要的 design metrics。然而在深次微米技術時代，訊號完整性(signal integrity)及可靠度(reliability)的重要性日益提昇，此使得雜訊(noise)的處理(如 capacitive and inductive crosstalk、ground bounce 等)、電磁干擾(electromagnetic interference, EMI) 的防制及 electromigration 的避免等，須與上述傳統 metrics 並列考量。如何在實體設計各階段，以有效的技術(如調整電路元件尺寸、調整導線形狀及位置、加入導線遮罩及緩衝器等方法)來解決前述 metrics 的同步最佳化，為深次微米電路設計自動化重要的研究問題。

目前的 CAD 工具大多僅能處理因電阻和電容所產生的效應，隨著 on-chip 電感效應的顯現，我們須發展能同步考慮電阻、電容和電感的實體設計工具(如 RLC timing-driven, noise-aware router 等)。

除了一般訊號線外，clock 及 power/ground networks 的設計自動化也是目前重要的研究課題。Clock nets 通常具有最大的 fanout、繞經最長的距離及需最高速的操作處

理。因此如何設計省電、具有 minimal skew (或最佳的 skew scheduling), 並能考慮 process variation 及 edge rate 的 high-speed, buffered clock nets 為高速數位電路設計不可或缺的一環。而 power/ground networks 的設計旨在決定 network 的 topology 及其導線的寬度, 以使用最小的 silicon 面積, 並防制 IR drop 及 electromigration 等所造成的訊號完整性及可靠度問題。由於操作電壓的日益降低, IR drop 所造成的 noise, 更容易造成電路無法正常運作, 此對深次微米的設計產生更嚴厲的挑戰。

設計方法 (Methodology):

在深次微米技術下, 電路之連線(interconnect)為決定效能(performance)的最關鍵因素, 因此設計全程皆需考慮連線的效應, 即以連線為導向之設計流程(interconnect-driven design flow), 以達成 timing closure 及 design convergence。此相關研究主題有 layout-driven logic synthesis, interconnect-driven placement/floorplanning, buffer planning 等。

由於元件的縮小及晶元尺寸的變大, 電路的複雜度日益增高, 而具有千萬個邏輯閘的單晶片已有量產。然而目前能處理極大型電路的實體合成及分析工具(如 very large-scale circuit partitioner, placer, floorplanner, router, RLC extractor 等)卻極為匱乏, 因此發展方法(如 hierarchical/multilevel frameworks 及 design with incremental update/ECO 等)以輔助極大型電路之設計, 並提昇設計生產力(productivity), 為當今的重要研究課題。

由於深次微米技術下設計複雜度的與日俱增, 階層化設計與 IP block 已漸被使用, 此趨勢使得 block level 的 placement/floorplanning/routing 及其 timing budget 的決定, 對電路設計品質的影響變得更為重要。因此發展快速具彈性, 且能處理各種條件限制(如 timing, area, noise 等 metrics 及 blocks 間 alignment, abutment, proximity, obstacle, symmetry 等 constraints)的 IP integration 工具, 日益受到重視。

雖然規劃小組鑑於我國研究人口有限而挑選前列五項研究方向供全國相關研究人員參考, 然而 IC 設計問題與技術之演進非常快速, 隨時都有新的研究子題浮現, 國科會永遠都應支持最先進的研究計畫, 更應鼓勵教授們挑戰高難度的研究題目。最後, 我們列舉一些前瞻先進研究子題於后:

前瞻先進研究子題:

光學製程修正 (OPC: Optical Process Correction):

在小於 0.25 微米的製程裏, 晶片的良率會受到多種因素的影響, 其中以光學製程修正 (OPC: Optical Process Correction) 的問題影響最大。光學製程修正技術 (OPC) 可以提高製程誤差的容忍度, 進而大幅提高晶圓的良率。

目前解決光學製程修正的方法都採用 Resolution Enhancement Techniques (RET) 軟體技術。當佈局設計產生 GDSII 資料, 傳統的 DRC/ERC/LVS 驗證步驟完成之後, EDA 軟體依照次微米不同製程的規格與限制, 在 poly 或 metal 層中插入加強良率用的

pattern。RET 軟體技術分類包括：1) model-based OPC, 2) rule-based OPC, 3) scattering bars, and 4) PSM。

OPC 處理 GDSII 資料的方法與流程與 DRC 類似，目前遭遇到的技術瓶頸有 1) 尋找與插入 pattern 時間相當久 2) 產生新 GDSII 資料量很大，約為原來 GDSII 的 100 倍 3) 準確度不夠，尤其是以 hierarchy 方法處理。

新的 FPGA 架構及所需之設計軟體：

隨著製程技術的進步，今日之 FPGA 容量已可容納相當於百萬邏輯匣的設計。在市場上可見一般用途之 FPGA，包括各式商品。其中在基本可程式的單元上，有採用 Look-up-table 式，亦有 Sum-of-product 式；在整體連接架構上，有平面、對稱式 (symmetrical)，亦有所謂層級式 (hierarchical)。這些產品在市場上皆有相當的成熟度並被普遍的使用。然而另一方面，在 SOC 設計方法上，Embedded FPGA 是不可缺少之模組，如何避開現有商品之專利問題，開發新的 FPGA 架構，以設計 FPGA IP 為 SOC 設計上重要的一環。這方面的研究可包括：

- 單位元設計
- 整連接線架構設計
- 新架構所需之 Technology Mapping, Placement, Routing 等軟體。

低功率設計方法：

低功率為設計評量的重要指標之一。過去在實體合成、邏輯合成及高階合成皆有相當的成果。在更高層次的低功率技術，近來亦成熱門的主題，包括：

- 低功率的結構設計，例如 DSP 處理器的低功率結構
- 指令階層配合硬體結構及編譯器設計之低功率設計
- 系統階層的低功率設計

晶片系統之前瞻設計方法：

由於晶片之大型化及複雜化，在設計方法上會面臨一些問題。例如：如何在晶片的最上層電路分割出各個功能方塊，並且在合成及佈局完成後能達成時序的要求、如何在晶片階層作佈局規劃，並將一些實體佈局相關的資訊傳給邏輯合成之工具、如何增進工具間彼此的相容性及如何衡量設計的品質，都是重要的問題。這些題目分列於下：

- Application specific SOC design platform.
- Design methodology to solve timing closure, signal integrity problems.
- Low power design methodology.

類比、混合訊號及 RF 模組設計

Analog / Mixed-mode / RF Module Design

分組召集人：台灣大學— 劉深淵教授

學術界：
中央大學 — 詹益仁教授
中興大學 — 張振豪教授
成功大學 — 郭泰豪教授
交通大學 — 吳介琮教授、吳錦川教授
台灣大學 — 闕志達教授

工業界：
世紀半導體 — 趙晉傑處長
旺宏電子 — 王明宗處長
威盛電子 — 林志峰處長
盛群半導體 — 吳德傳處長
瑞昱半導體 — 陳宣文副總
聯發科技 — 劉丁仁副總

前 言

單晶片系統 (System-On-a-Chip, SOC) 現今主要應用在數位訊號與混合類比模式的處理器，其中包含了數位電路與類比電路，甚至包含 RF 電路、微機械與奈米元件。特別要提的是，對於深次微米 CMOS 電路設計與研究的重要性。單晶片系統設計對於 CMOS 電路的要求，如低電壓、低功率消耗、高速與低雜訊的要求愈來愈高，這些問題也一直是工業界與學術界研究發展的重要方向。

接下來探討在類比、混合訊號模式與 RF 電路設計模組方面的重點，基本上可以分為系統整合研究、子系統設計研究及前瞻性探討研究。第一部分針對我國產業需求與未來具發展潛力之產業，擬定五項系統整合研究，包含 Wired systems、Wireless systems、Optical Fiber systems、Mixed-signal front-end for data storage 與 Optical Image Systems。第二個部分為類比、混合模式電路/RF 模組的子系統設計技術研究，第三部分規劃為比較前瞻性之研究，最終的目的是希望達到單晶片系統的境界。

一、系統整合研究

單晶片系統(SOC, System-On-a-Chip)可應用之種類繁多，針對我國產業未來具發展潛力的領域可歸類成下列五大領域，提供為學界做前瞻研究之參考，但不一定限於此範圍內。

(1) 有線通信系統 (Wired communication systems)

對於 Wired communication system 方面，較值得投注資源的領域如下：

- (a) xDSL family [VDSL、SHDSL]：VDSL為電信公司未來提供寬頻服務時的重要選擇，利用Fiber In The Loop (FITL)架構與提供Last Mile傳輸的VDSL，則上、下傳速度的總和可達52Mbps。而SHDSL(又稱HDSL2或SDSL)，則僅利用一條雙絞線就可替代原本需要兩條雙絞線的HDSL，來快速提供現今企業用戶所需對稱性傳輸的T1或E1服務。
- (b) Cable modem：在臺灣已有許多的家庭安裝有線電視，因此如何利用銅軸線的高頻寬特性來提供數據通訊，或是VoD(Video on Demand)，或是VoIP(Voice on IP)，是許多有線電視業者所關注的問題，因為藉由Cable Modem與HFC(Hybrid Fiber Coaxial)網路，業者即可提供用戶所需要的各種服務。
- (c) Gigabit Ethernet [802.3ab]：在LAN方面的傳輸上，不僅是伺服器，連網路介面卡都需要高速的服務來提供視訊、語音與數據服務，利用Gigabit Ethernet 802.3ab的規格，則可在原本企業網路所鋪設的Ethernet銅線上提供Gigabit級的服務，最遠距離則可達100m以上。
- (d) Home PNA 2.0 / Home PNA 3.0：在家用網路上，如何在已鋪設的電話線上傳送高速服務是大家所關注的問題，而Home PNA 2.0現今則可在已鋪設的電話線上提供32Mbps的高速服務，而且不會影響到原本電話線上所提供的電話與ADSL

服務。而Home PNA 3.0則將進一步提供100Mbps的服務。

(e) Power line carrier: Power line carrier 雖然具備每個家庭都有電源線而不需要佈建導線的優點，但是電源線上電感與雜訊的問題不易解決，傳輸速率難以有效提升，且訊號會透過配電箱傳遞到鄰家，以致保密性上有很大的疑慮，這些是必須克服的難題。

(f) USB 2.0: 在Intel大力推銷下，已有許多Mother Board內建USB的傳輸埠，如將其Update到具有480Mbps傳輸能力的USB 2.0，則有可將家庭內許多設備(如數位電視、DVD等)與電腦相連，成為一高速的家用網路。

(g) IEEE 1394: IEEE 1394與USB 2.0相似，但其傳輸速度可達800Mbps，可提供家庭網路使用，來達到傳輸高速數據與高畫質影像的目的，但是，如何增加傳輸距離則是其與USB 2.0所需克服的難題。

(2) 無線通信系統 (Wireless communication systems)

由於infrastructure 佈建延後，與不同規格(WCDMA, CDMA-2000 ,以及大陸提出的 TD-SCDMA)競爭，3G wireless communication 市場預計延至 2005 年才 emerging, 2008 年才全面取處代目前的 2G 及近期的 GPRS 手機。研究方向: 在 System 方面:

(a) 研究各種系統架構之 link budget，以設計出符合系統需求之架構。

(b) 研究 transmitter path & receiver path 之系統架構，並依據 3G system 之 noise figure 與 IIP2 spec partition 每一 stage (transmitter & PA) 及(LNA & receiver)之設計規格

(c) 研究以 SiGe、BiCMOS 與 CMOS 實現 transmitter 與 receiver 其 performance 比較何者是較符合未來高速系統之 low noise 與 high bandwidth 規格。

Transmitter 部份:

修改目前 2.5G transmitter 所用之 translation loop 之 topology 以符合未來高速系統之 high bandwidth 需求，並 improve translation loop 內部 mixer 之 linearity。

Receiver 部份:

未來高速系統之 system 其 channel bandwidth 可隨 channel 之 data 傳輸量需要而改變，採用 direct-conversion 為一較可行方法。Improve direct-conversion receiver 之 DC offset, mixer 之 linearity, 以及降低其 noise 以符合未來高速系統之需求。

(3) 光纖系統 (Optical Fiber systems)

光纖系統的電子元件一般來說包含了 pre-amplifiers, limiting amplifier, laser diode driver, serializer/de-serializer, 以及其它一些流程控制和開關轉換的功能。

目前，應用於光纖系統的電子元件的發展，主要著重於高速傳輸或是高密度的積體化。以現在標準的 CMOS 製程來說，在 10 Gb/s 高速傳輸的技術是可行

的。因此，在有限的 CMOS 製程技術內，如何達到高速傳輸的極限，值得我們深入研究。在高密度的積體化方面，目前的瓶頸在於，在充滿雜訊的環境下，仍能維持 pre-amplifier 和 clock-data recovery 的效能。不同的架構，電路以及佈局的改進和創新，都會有所改善。

(4) 資料儲存用之混合式信號前端電路(Mixed-signal front-end for data storage)

資訊產品應用的非半導體之 data storage drive 依其存取頭特性(磁頭、光讀取頭)與碟片材料主要分為磁碟機(magnetic drive)與光碟機(optical drive)二大類，前者如軟碟機、硬碟機(HDD)等，後者如 CD-ROM、DVD-ROM、CD-R/RW、DVD rewritable 等碟機。另有磁、光混合型碟機，如 MO drive。

隨著網路頻寬之快速提高、資料存取量大幅增加，與 CPU 運算速度突飛猛進。Data storage drive 亦朝著高密度(high density)高容量、高資料傳輸量(high data transfer rate)、與短資料存取時間(data access time)等趨勢快速發展。目前商品化之 HDD 已達到 40GB 容量，550Mbit/s 的 data transfer rate，7800rpm 的碟片轉速，與 15ms 的 data access time。隨著碟片材質改良、磁頭特性提昇、data encoding 方法的改善、並提高轉速至 10000rpm，屆時 data transfer rate 達到 1-1.2Gbit/s 之 HDD 將在 1-2 年內問世。DVD-ROM drive 與 CD-R/RW 燒錄機近年來正逐漸取代 CD-ROM 成為 PC 標準配備，受限於主軸馬達轉速(max. 10000rpm)業界公認目前已量產的 16X DVD-ROM 與將在明年下半年推出的 48X CD-R/RW drive 將是未來市場上最高倍速的主流 (mainstream) DVD-ROM 及 CD-R/RW drive。目前 DVD rewritable (DVD-R, DVD-RW, DVD+RW, DVD-RAM)亦積極朝高倍速發展。另外因應 HDTV (high definition TV)需求，容量高達 22GB-25GB 的高密度 DVD drive (H-DVD)亦為目前先進廠商研發的目標。

無論磁碟機或光碟機，其性能如 data transfer rate, capacity, access time, readability, write ability, 及 playability 等除受磁頭或光頭特性、碟片材料、資料記錄格式影響外，主要取決於系統 chipset 性能。如 Read-Write channel IC 決定 HDD performance，Servo & Data processing chipset 決定光碟機性能。為達到最佳的資料存取品質，近年來 HDD read-write channel IC 採用 PRML (Partial response maximum likelihood)技術設計 read channel 的前端電路，以克服 high density 碟片讀取之 inter-symbol interference 與 channel distortion。目前大多數 CD-ROM 與 DVD-ROM chipset 雖以 slice level detection 設計 read channel 前端電路，唯對未來的 H-DVD chipset 設計相關研究指出 PRML 技術較能克服資料讀取時之 inter-symbol interference。也就是未來的 optical drive chipset 亦可能與 HDD chipset 採用相同的架構 PRML 設計 read channel 前端電路。HDD 的 channel clock 將高於 1GHz，而 10000rpm 轉速之 H-DVD 其 channel clock 亦高達 800MHz-1GHz。

研究重點可朝向 1Gbit/s 以上的類比信號放大器、Read-Write channel IC 的高速 PRML module 及 architecture 或 building blocks 如 boost equalizer (>250MHz)、High-speed ADC (6-bit, 1Gbps), Clock & data recovery (>1GHz, fast acquisition,

zero-phase start-up, low jitter), 或 Timing recovery with interpolated filter, Viterbi decoder...等。Optical drive 方面可朝向 high speed DVD-rewritable (如 8X 寫及 16X 讀) 及高速(>800MHz)H-DVD 相關的類比信號放大器, H-DVD PRML module 及 building block 或 H-DVD PRML 架構之 channel model。

(5) 光學影像系統 (Optical image systems)

目前, 許多多媒體的應用都需要影像/視訊的擷取系統。CMOS 影像感應器因為可以相容於標準的 CMOS 製程, 以及能夠和信號處理電路的部分整合, 而使成本降低, 使得 CMOS 影像感應器在未來的發展將是大有可為。然而, 目前主要的市場, 以 digital still camera 為例, 均為 CCD 感應器。CMOS 影像感應器的限制在於受低照明度以及固定圖案的雜訊的影響, 敏感度會受影響而下降。因此, 在 CMOS 影像感應器的架構, 電路以及元件的改進和最佳化上作改進, 可以改善效能。

二、子系統設計研究

在半導體技術日益精進的趨勢下，許多複雜的系統可以整合後做在同一顆晶片上，而不同系統所需的子系統之規格不盡相同。因應深次微米 CMOS 製程發展，當設計關鍵性的模組電路時，如何在符合速度、增益等功能與低電壓之要求下，來減少功率的消耗與提升性能便成為研究的重點。以下分別討論各種重要的模組電路。

(1) Voltage/Current references :

為因應未來 SOC Chip 中不同 Function Block 有不同應用介面電壓需求，DC-DC Converter (Step up/Step down) , Regulator 及 Constant Voltage & Current Reference 皆為 Implement SOC for One Cell Battery and Multi power I/O System 中重要的 Building Block。故如何在一般標準製程中提供 High efficiency、Low Standby current、Low voltage 及 Low dropout Voltage/Current 為 Key Design Issues。

(2) OP Amplifier :

運算放大器為類比電路中最基本且重要的電路，未來 Deep Sub-micron process 中的 OP Amplifier 電路需考量在 Low Voltage 工作環境下，如何保持 Maximum Dynamic Range 及 各種 noise rejection。Power efficient rail-to-rail output Stage 及 Voltage-efficient input Stage 是基本 Design concern。而在 Low Power 要求下如何在不同 Loading 及 Stability Compensation 下 Keep Maximum Bandwidth 為重要設計考量。其他如 Comparator、Sample and holds circuit 等 Basic Building Block 亦等同設計。

(3) Filters/Equalizers

在所有傳輸系統中無法避免的傳送過程干擾的隔離及取樣系統中 band-limited signal 的產生均需使用到 filter，filter 可以分類為 switched-capacitor、switched current filter 及 continuous time filter。其中 switched-capacitor filter 可以達到較高的 dynamic range，但是受限於 switch 電阻及 OP AMP 的頻寬等非線性因素影響使得信號頻寬受到限制。如何在低電壓環境下達到 wide bandwidth 及 high performance 是未來主要研究方向。

Continuous-time filter 相對可以達到較高的頻寬且可以同時對訊號在傳送過程中產生的失真 (phase/delay, amplitude error...etc) 加入 delay 或 amplitude equalization，但是 continuous-time filter 容易受到製程先天限制導致設計參數偏移，目前主要解決方式為利用自動調整 (automatic tuning) 技術來克服，如何在低電壓環境下達到 wideband 及 high dynamic range 是未來主要研究方向。

(4) ADC/DAC

隨著 IC 設計及製造技術的演進，向來扮演訊號處理重要角色且對電路設計考量要求甚高的 ADC/DAC 電路如今也在 SOC 的趨勢下常被整合到系統晶片內。其中 oversampling based ADC/DAC 的應用包含 3G mobile phone, 5.2GHz Wireless LAN, xDSL wired line communication, high quality DVD playback DAC。而 Nyquist-rate ADC 的應用包含 disk drive/optical storage read channel, high data-rate Ethernet transmission, high speed DVD ROM, Bluetooth... 等。

主要研究方向為利用成本低廉的數位製程以及更低的電壓達到超高解析的 ADC/DAC (Delta-sigma ADC/DAC)，或是同時兼具寬頻與高解析的 ADC/DAC (resolution ≥ 14 -bit, bandwidth ≥ 2.5 MHz)，或是中等速度與中等解析度的 ADC/DAC (resolution ≥ 8 -bit, sampling rate ≥ 150 MHz)，或者是極高速與低解析度的 ADC/DAC (resolution ≥ 6 -bit, sampling rate ≥ 500 MHz)，或者是 low power ADC/DAC 的架構。不論是哪一種類型的 ADC/DAC 都會面臨到電壓下降與 IC 製程先天的不準確性的設計瓶頸，解決方式為持續改進電路架構及演算法以改善電路 performance。

(5) Constant Magnitude Control

固定振幅控制或自動增益控制 (Automatic Gain Control, AGC) 通常是應用於通訊系統中之接收機。目的在調節接收訊號強弱之變化而加強整體系統之動態範圍 (Dynamic Range)。雖然飽和型式的限制放大器 (Limiting Amplifier) 可產生固定振幅之輸出訊號，但其非線性之特性卻也限制了本身之應用範圍。現今的系統大都使用迴授控制之 AGC。迴授機制有類比式或數位式或混合式。其中最重要的元件就是可變增益放大器 (Variable-Gain Amplifier)。如何在不同之增益情況下維持頻寬及線性度，是電路設計之大考驗。由於 AGC 迴路本身是一非線性系統，設計時必須用模擬加以驗證。主要系統考量有穩定度及收斂速度等。

(6) Phase-Locked Loop (PLL) /Delay Locked Loop (DLL)

PLL 內部之主要元件有相位比較器 (Phase Comparator)，濾波器，及可變頻率震盪器 (Variable-Frequency Oscillator) 或電壓控制震盪器 (voltage-controlled oscillator)，DLL 也類似，除另有 voltage-controlled (或 current-controlled) delay line。另外有些系統可能會加入除頻器或頻率比較器 (Frequency Comparator)。而以上這些元件各有不同之電路形式及架構，可能是類比式，或是數位式，或是類比式加上數位控制。如何根據系統要求找出最佳元件電路組合是設計者的一大挑戰。由於 PLL/DLL 本身是一非線性系統，設計時必須用模擬加以驗證。

PLL 之應用主要可分成“訊號產生”及“時序還原”兩大類。系統參數設計考量會因應用而有所不同。訊號產生 PLL，如無線通信中之頻率合成器，重要

的設計參數可能是輸出訊號之相位雜訊 (Phase Noise)，頻率範圍，及跳頻速度等。而時序還原 PLL，如光纖通信中之時脈回復電路 (Clock/Data Recovery)，則可能著重於時脈相位準確度，及時脈跳動抑制 (Jitter Suppression) 等。因此 PLL/DLL 之設計必須針對特定應用來定訂系統參數，如此才會有實用價值。

(7) RF building blocks and transceivers

若以半導體的製程技術而言，由目前 CIC 所提供的深次微米 CMOS 製程，朝向 5.2~5.8GHz WLAN IEEE 802.11a 和光傳輸接收技術，如 OC-192 發展，包括功率放大器(power amplifier)、低雜訊放大器(LNA)、Laser driver 及 OEIC。而利用深次微米 pHEMT 製程技術應加強在 Ka 頻段(30GHz)毫米波電路設計，以應用於 LMDS 及下一代無線通訊所使用的頻段。SiGe 製程技術無疑是未來無線通訊及光通訊的主流，若有適當的製程提供，則學術界應及早從事相關電路的設計工作。

此外，有幾項電路及系統架構也值得我們加以發展，其中包括了 direct conversion 的 transceiver 架構，高線性度的功率放大器，低相位雜訊的振盪器及高效率低耗損的微波電路，都非常值得學術界從事相關的研發工作。

(8) High-Speed Interface Circuits

由於許多運用為提升性能、品質與傳輸速率，需要各種高速介面電路，高速介面電路可分為

- (a) Parallel Panel Link 及 Serial Link
- (b) Chip-to-chip interconnection
- (c) Low voltage differential signaling (LVDS) / Transition minimized differential signaling (TMDS) transceivers/ IEEE 1394b
- (d) The Serial Advanced Technology Attachment (ATA) interface
- (e) InfiniBand Technology

這些相關技術，都非常值得學術界從事相關的研發工作。

(9) Active Pixel Sensor (APS)

數位相機的普及率在未來幾年可能會快速提升，而且此產業也將在台灣快速成長。雖然目前 charge-coupled devices (CCD) 一直是 image sensor 的主流元件，但是 CMOS APS 可以容易的和 CMOS 電路整合的特性，使其有後來居上的機會。如何克服 CMOS APS 中 noise 的問題，增加 image resolution、加強其影像的品質，並整合至 SOC 晶片，以降低系統成本，是未來的重要研究方向。

(10) Liquid Crystal Display (LCD) / Organic LED (OLED)

在 LCD 方面，TFT 將可望取代 CRT 之應用市場，但 LCD 價格必須一直下降，所以未來的研究方向是如何利用 Low Temperature Poly-Silicon (LTPS) 的製程技術將 driver 與 TFT display panel 整合在同一玻璃基板上，以降低成本。LCOS (Liquid Crystal on Silicon) 則是背投式、超大尺寸投影機的主要競爭技術之一，其主要的研究方向是如何將 display 和 driver 整合在同一 silicon 基板上，以降低成本。

OLED 目前主要缺點為：使用壽命短，和使用 passive driver 無法達到省電的目標。所以其研究方向是：1. 如何提高其使用壽命。 2. 如何利用 LTPS 的製程技術將 active driver 和 OLED panel 整合在同一玻璃基板上，以降低成本。若能達到以上要求，OLED 在中小尺寸 display 中將有重要地位。

(11) Intellectual Property (IP)

隨著深次微米技術的進步，複雜的系統可以被整合在同一個晶片上，為了節省設計成本與縮短設計時間，發展智慧元件 (IP) 與再利用 (Reuse) 的設計成為最佳的解決方案。目前出現的重要 IP 都是應用於數位電路設計，然而在單晶片系統(SOC)的發展趨勢下，混合訊號電路 IP，RF 電路 IP 之設計勢必成為需要探討的研究題目。因此，建議符合 IP 研究計畫之複雜度至少與 ADC 或 PLL 相同，為實現 IP Reuse 的概念，IP 設計需符合設計規範原則、電路及製程的制訂規格、佈局說明與測試需求。此外，混合訊號電路在實際測試時所遇到的各項問題也必須深入探討。

三、前瞻性探討研究

在混合訊號模式單晶片系統研究上，需要包含許多功能方塊的生物類神經網路晶片是一個值得進一步深入研究的主題。生物類神經網路晶片主要依據生物神經系統的功能和連接架構來推演出一套運算與學習模式，其產生的效果比較接近人類神經之認知和平行信號處理原則。目前有許多研究以臨床生物實驗方式進行，對各種神經元之組成架構與反應特性作詳細的分析，並建立一套行為法則和分析模型，然後將生物神經元模型之網路架構以電子電路方式接成，以電流或電壓來表示生物傳遞信號的離子元素。但因生物腦神經有上億個神經元，因此如何有效的分類、分析和模擬仍有待克服。在另一方面，藉由研究生物對信號傳輸與認知行為的巨觀 (Macroview) 模式，或考量一部份特定功能之生物神經元，亦可達成如人工眼、耳、鼻、觸覺與殘障肌肉神經的控制等醫學工程方面之應用。此類高計算量的應用，更需要專用的硬體設計來配合。除上述人工知覺與控制應用外，未來生醫應用中非侵入性檢測亦需混合訊號模式晶片，如數位式 X 光成像。此類晶片之設計應特別注意系統介面需求與 Sensor/Actuator/MEMS 等因素

配合，以增加晶片之實用性。另外結合此類人工知覺與控制的智慧型系統亦甚值得研究，如結合觸覺與 MEMS 所製成的智慧型材料可降低風阻適用於飛機或船隻，結合聽覺辨識與陣列處理可完成智慧型指向性麥克風，整合人工視網膜中運動偵測及視訊處理可開發智慧型監視系統等等。

晶片系統模組及介面設計

System-on-a-Chip Module and Interface Design

- 分組召集人： 中央電機 — 周世傑 教授
- 學術界：
- 台大電機 — 吳安宇 教授
 - 交大電子 — 任建葳 教授
 - 交大電子 — 李鎮宜 教授
 - 清大電機 — 王晉良 教授
 - 雲科大電子 — 謝明得 教授
 - 中正電機 — 王進賢 教授
- 工業界：
- 台積電 — 張彌彰 處長
 - 力原通訊 — 黃振昇 總經理
 - 華邦電子 — 林京元 協理
 - 智原電子 — 劉立國 副總經理

一、概述

進入公元 2000 年之後，由技術層面而言已有 1 Gb 之 DRAM、1 GHz 之 CPU、1 GB/S Link 及 5 GOPS DSP，0.05mW/MIPS @ 0.9V DSP 之積體電路問世。在產品應用方面，全球資訊市場在網際網路之興起下帶動高速寬頻之產品風起雲湧。而多媒體應用家庭化造成資訊家電及後 PC 時代之來臨，對 System-on-a-chip (SoC) 之需求更加殷切。而因應個人通訊之渴望，整合之接收機晶片及強調低功率之 IC 產品更有一股未之能禦之風潮。而整個數位科技之應用焦點已悄然由「純計算元件」轉移到「存取」、「傳輸」與「處理」不同面相之數據如聲音、資料與影像等。而多元化之結果亦使得系統架構多樣性與複雜度增加，使得 Silicon IP (SIP)核心、匯流排及介面設計之優與劣亦成為系統效能之決定因素之一。

因應未來技術發展趨勢，SoC 在設計上的重要目標主要有三方面：

(1) 效能之最佳化 (Performance Optimality)

包括功率消耗 (Power Dissipation)、計算延遲 (Computation Delay) 和矽面積 (Silicon Area)、信號整合性(Signal Integrity) 四者之個別或之間的最佳化。

(2) 整合之複雜度 (Integration Complexity)

包括多功能 (Multiple-functionality)、可調整性和具可擴展性之設計。

(3) 設計之生產力 (Design Productivity)

設計之自動產生 (Automatic Generation)、再使用 (Reuse) 和可測試性 (Testable)。

值此 SoC 成為世界主要高科技國家之研發焦點之際，我們不僅需要創意 (New idea)亦更重要的從研究角度而言，需要強調創新 (innovation) 與先探性 (exploration)之研究。相信國內之學者、專家有許多之創意與創新的構想已在進行或正在萌芽。此次之規劃，我們從整個微電子系統設計的垂直面之電路設計、SIP 模組、系統應用三層面規劃一些研究主題供各界參考。

二、規劃研究主題

(一) 電路設計

雖然一些基本之電路功能與設計技術長久以來一直是研究主題之一，但目前面臨之挑戰是如何運用更先進之製程來突破現有之功能／效能，來達到更嚴、更好之規格。台灣已在先進製程之提供與服務上扮演重要之角色，在電路設計之創新與先探性(exploration)研究上亦應扮演同等角色。

1. 低電壓/低功率設計(Low-voltage/low-power design)
 - 庫存元(Cell library)
 - 創新之邏輯閘(New Logic gate)
 - 多電壓源設計方法與電路(Multi- V_{DD} Design methodology and circuits)
2. 高速設計(High-Speed design) (GHz)
 - 時序脈波設計方法與電路(Clocking, de-skew methodology and circuits)
 - 庫存元(Cell library)
 - 創新之邏輯閘(New Logic gate)
 - 資料處理電路(Data path circuit)
3. 可靠性設計(Design for reliability)
 - 熱分佈(Thermal distribution)
 - 信號整合性(Signal integrity)
 - 時序完整性(Timing closure)
4. 鎖相式/鎖時式迴路及脈波產生電路(PLL/DLL and clock generator)
5. 高速低雜訊輸出/輸入電路(High-speed low-noise I/O circuit)
6. Embeded Memory(內嵌式記憶體)

(二) SIP 模組

各 SIP 模組除了強調創意與創新外，希望能加入 SIP 化之考量。鼓勵將 90 年 7 月結束之計畫的研究案有 IP 化之潛力者，在未來之計畫中列入將其 SIP 化所需之工作及研究項目，在審核計畫時，請評審考量其研究量。以下僅就 SIP 化之研究及各晶片系統中之模組規劃如下：

1. IP design for SoC methodology

- IP integration (may need a standard)
- More comprehensive IP modeling
- IP electrical property modeling
- Soft IP standardization
- IP hardening methodology
- IP interface and protocol
- IP design centering methodology

2. Processor 單元

在 3C 系統應用中，各式具訊號處理能力的 Processors 是不可或缺的關鍵性零組件。它的設計目標有二：(1)具創新性的 Processor 設計，或(2)具相容性(Compatibility)之 Processor 設計，但追求功率消耗、計算延遲和矽面積之最佳化。

- 控制器(Controller)
- 數位訊號處理機(DSP Processor)
- 整合數位訊號處理之控制器(Controller with DSP Capability)
- 媒體處理器(Media Processor)
- 資料處理
- 可再組 (Reconfigurable) 計算路徑
- 字元可分割 (Splittable) 計算路徑
- 位址計算模組
- 匯流排 (Bus) 連接與管理單元

3. 資料處理單元

- 各式壓縮、解壓縮 (Compression/Decompression) 模組
- 通道 (Channel) 編碼、解碼 (Encoding/Decoding) 模組
- 各式濾波器 (Filtering) 模組
- 各式轉換 (Transform) 模組
- 繪圖加速 (Graphics Acceleration) 模組
- 視訊顯示比例 (Video Scaling) 模組
- 加密、解密 (Encryption/Decryption) 模組

4. 資料傳輸單元

- 時序(Timing)、載波(Carrier)回復等時序同步模組
- Modulator/Demodulator(調變/解調)模組
- 等化器 (Equalizer), Adaptive Equalizer (適應性等化器)

- 路由交換 (Router/Switch) 模組
- 網路界面 (Network Interface) 模組

5 · Memory 單元

- 嵌入式記憶模組
- 動態記憶管理單元
- 快速記憶 (Cache) 模組
- 快速記憶管理單元
- 資料緩衝器 (Buffer) 模組
- 緩衝器管理單元
- 暫存器組群 (Register File) 模組

6 · Input/Output 單元

- 高速傳輸界面設計
- 各式週邊元件控制模組
- Ethernet 界面設計
- PCI 界面設計
- Serial link 介面模組

(三) 系統應用(SoC)

此部分主要考量系統平台及其應用，例如正處於啟始階段產品的寬頻網路和手機系統、數位視訊廣播系統 (DVB)、生化檢測系統、智慧型運輸系統 (ITS) 與控制系統等等，以及正處於成長期的新一代手機晶片、線纜收解調系統、數位電視、11Mbps 無線區域網路系統等等，此部分設計的考量，主要在於符合系統規範下，提出新的演算法和低成本的硬體架構實現方案，並以不同的智產方式實現 (如 SOFT-IP、FIRM-IP、HARD-IP)，並進一步探討可能的低功率設計方式和深次微米製程技術下雜訊消除等等。由於牽涉到系統層級行為，如何提出一具創新又有實用性的解決方案，是此晶片系統研發的重點。大致分類為：

- 1 · 寬頻網路系統
- 2 · 有線傳輸系統
- 3 · 無線傳輸系統
- 4 · 多媒體系統
- 5 · 資訊家電

6. 智慧型控制系統

在 SIP 模組及 SoC 系統方面之研究，亦請參考國科會「前瞻晶片系統研究計畫」推動專案。晶片系統模組及介面設計的研究子題相當多，技術演進亦非常快速，整合、創新與先探性之研究應是其中最重要之研究主題。

學門特色規劃書

元件與製程

◎矽基元件與製程技術.....	01~10
◎化合物半導體.....	11~24
◎前瞻性技術.....	25~38

矽基元件與製程技術

規劃小組：胡振國（台大電機）
雷添福（交大電子）
莊紹勳（交大電子）
趙天生（毫微米實驗室）
陳力俊（清大材料）
葉鳳生（清大電機）
洪志旺（中央電機）
王水進（成大電機）
陳錦山（逢甲材料）
盧火鐵（聯華電子）

矽基元件與相關製程技術無疑的是現今半導體工業之一主要核心發展領域，為因應未來半導體工業的快速成長，及面臨可能的跨領域結合，新的技術整合無可必免的將會是未來的趨勢。此外，鄰近大陸的快速發展，國內半導體產業的部份外移，如何跟緊時代最新技術潮流，建立國內雄厚的研發能力及技術，及適時培養研發人才，實身為學術研究單位的我們所應注意的，國科會微電子組本領域教授同仁，除了配合國家的主要研究方向外，在此亦對往年的規劃予以更新，以便同仁之參考。

在矽基元件與相關製程技術之規劃重點仍以學術基礎研究與前瞻應用並重為原則，分為元件、前段製程模組、後段製程模組、及製程與元件模擬等四大項。

1、元件

1.1 前言

在積體電路製作日益進步，元件尺寸持續縮小的情形下，現今只有大公司才有能力作出更小尺寸之元件。因此在元件部分，將朝向比生產更前瞻之基礎研究規劃，包括矽基元件、絕緣層上矽元件 (SOI Devices)、高頻元件(RF CMOS Devices)、及系統單晶片元件(SOC Devices)等。此外，大尺寸之高功率元件(High Power Devices)亦為現今業界不可或缺之重要元件，值得學術界持續的研發。

1.2 國內外研究狀況

在國內部份，幾家大廠如 TSMC、UMC 等，已完成 0.18 微米之量產技術，也已進入 0.15 微米之製程開發。由於學界所擁有之資源實在無法負擔昂貴之半導體製程設備，因此當台灣半導體業界拼命往前衝之同時，學界能貢獻的便顯得越來越少。但是在模組方面，則有許多可以和業界互補的，如先期銅製程技術、單電子元件、下一代光阻、次微米元件可靠性分析等。另一方面由於市場競爭激烈，每一代產品之生命期越來越短，各大廠商面臨著每一代技術研發時間越來越短之空前壓力。根據 2001 Proceedings of The IEEE (Vol.89, No.3, March, P.242) 資料，可知在 1999 年之後每一代技術將維持 3 年一代 (如圖一)，因此，唯有繼續更具前瞻性的研究才能趕上世界潮流。

圖一、 The Technology Generation from 1997 to 2014.

Year of 1 st DRAM Shipment	1997	1999	2002	2005	2008	2011	2014
Minimum Feature Size (nm)	250	180	130	100	70	50	35
Isolated Gate Length (nm)	-	100	70	50	35	25	18
DRAM Bits/Chip	256M	1G	3G	8G	24G	64G	192G
DRAM Chip Size (mm ²)	280	400	460	530	630	710	860
Equivalent Physical Gate Oxide Thickness (nm)	3-5	1.9-2.5	1.5-1.9	1.0-1.5	0.8-1.2	0.6-0.8	0.5-0.6
Dielectric Constant of DRAM Capacitor		22	50	250	700	1500	1500
Max Gate Electrode Resistivity ($\mu\Omega$ cm)		60	43	33	23	16	11
Max Silicide/Si Contact Resistivity ρ_c (Ω cm ²)		30×10^{-8}	17×10^{-8}	10×10^{-8}	5×10^{-8}	2.5×10^{-8}	1.5×10^{-8}
S/D Extension Sheet Resistance (Ω /sq)		350-800	250-700	200-625	150-525	120-450	100-400
S/D Extension x_j (nm)	50-100	42-70	25-43	20-33	16-26	11-19	8-13
S/D Extension Lateral Abruptness (nm/decade)		14	8.5	6.5	4.5	3.2	2.2
Minimum Supply Voltage (volts)	1.8-2.5	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.5-0.6	0.5

1.3 規劃重點

1. 矽基元件:

單電子元件 (SET)、記憶體(memory)、邏輯(logic)元件、與 SiGe 異質界面元件。

- 單電子元件可分成矽基上不同材料量子點合成技術，有閘極控制之記憶元件，及單電子元件之理論特性分析等。
- 記憶體可分成 DRAM，SRAM，非揮發性記憶體等。重點包含新結構與材料(BST、 SBT、 PZT)，低漏流，穿隧氧化層，記憶體操作穩定度，元件縮小，FeRAM，Flash 等。
- 邏輯元件以 CMOS 為主，包含低 I_{off} 高 I_d 元件，深次微米元件製作，穩定度，靜電放電保護(ESD protection)，多臨陷電壓(multiple threshold voltages)，新結構，金屬閘元件。

- SiGe 等異質接面元件，包含長晶技術，結構，及特性。

2.絕緣層上矽元件 (SOI Devices):

包含高品質低缺陷 SOI 成長技術，全空乏元件(Fully Depleted SOI CMOS)，穩定度，深次微米元件(SOI MOSFETs) ，本體接觸元件 (Body-contacted SOI MOSFETs) ，界面陷阱特性，輻射效應(Radiation effect) 等。

3.高頻元件(RF CMOS):

包含傳輸/接收元件(Transmitter/Receiver) ，電感元件，隔絕技術，低電壓元件，低閘極漏流元件，強化信號雜訊比技術，低接觸電阻元件，元件匹配技術。

4.系統單晶片元件(System-on-A-Chip SOC Devices):

包含嵌入技術(embedded DRAM technology) - 將 logic 及 DRAM 元件同時於製程中含入，溝渠電容元件，多電壓技術，多閘極氧化層厚度技術等。

5.高功率元件(High Power Devices):

包含耐高壓及大電流電晶體，開流體，及驅動元件電路等。

2、前段模組製程

2.1 前言

積體電路之特性主要決定在元件之好壞，例如氧化層之品質可以影響到元件之可靠性與生命期之長短。前段製程包含了元件製作最重要的部份，其中包含超薄絕緣層，閘極材料，超淺接面，金屬矽化物，和淺溝隔絕。

2.2 國內外研究狀況

超薄絕緣層，在國外有很好的研究成果，例如利用 Vapor Jet 沉積 Si_3N_4 (dielectric constant = 7.0 > SiO_2 =3.9) 或是利用堆疊如 $\text{Ta}_2\text{O}_5/\text{SiO}_2$, $\text{TiO}_2/\text{SiO}_2$ 等皆能使 $T_{ox}(\text{eff}) < 20\text{\AA}$ ，而傳統 DRAM 記憶胞 (Memory Cell) 電容之介電材料為單層二氧化矽或複層氮化矽/二氧化矽 (即 ONO)，但是這些材料因受到低 k(約

4)與臨界厚度(約 4nm)的限制,已經無法勝任下一代微小尺寸與超高集積度(Gigabit)的需求,因而產學研各界已經積極開發高 k 電容介電材料,其中以 Ta₂O₅ (k 值約 25)及鈣鈦礦(Perovskite)結構之強介電多元氧化物材料最受矚目。因為 Ta₂O₅與矽晶微電子製程有極佳的整合性與匹配性,半導體業界乃採用 Ta₂O₅製作高容量的 DRAM。日本 Hitachi 公司近來已經推出使用 Ta₂O₅之 256-Mb DRAM 產品,並且預估它可以勝任至 Gigabit 時代; Applied Materials 公司亦推出 CVD-Ta₂O₅機台。資料顯示自 1960 年至今,有關 Ta₂O₅之研究呈現指數增加,充份顯示研發 Ta₂O₅記憶胞高密度電容材料的重要性。目前這種薄膜的沈積製程包括 CVD、濺鍍、溶膠凝膠(Sol-gel)、脈衝雷射剝鍍(Pulsed Laser Ablation)等方法,其研究重點有 1) 製作 Ta₂O₅複合薄膜以近步提升 k 值; 2) N₂、O₂、N₂O 中性氣氛或電漿退火處理,以降低漏失電流; 3)抑制 CVD 氧化氣氛誘發矽晶表面形成 SiO₂介電層; 4) 尋求匹配電極,以消除應力與剝離效應,並改善電接觸性等等。

除此之外,產學研界亦利用鋇鈦鈦(Barium Strontium Titanate, BST)、鉛鈦鈦(Lead Zirconate Titanate, PZT)與鋇鉍鉭(Strontium Bismuth Tantalate, SBT)等多元氧化物材料的鐵電(Ferroelectric)與超高 k 特性,積極發展 1)低集積度(<4Mb)的非揮發性 Nonvolatile 鐵電記憶體(NVFRAM)與 2)高集積度(>1Gb)的 DRAM 記憶胞電容。目前,許多廠家均已使用 PZT 與 SBT 製作前者產品(即 NVFRAM); 日本 Fujitsu 公司已有 64-kb 商用 FRAM 與 1-Mb 原型(Prototype)產品; NEC 公司亦打算推出使用 FRAM 的智慧卡(Smart Card); 韓國現代(Hyundai)公司亦與美國 Symetrix 公司合作進行 256-kb 晶片研發。由於具有超低耗電量、超快讀取速率、勿需復歸(Refresh)與高重寫週期等優點,FRAM 短期內可取代 EEPROM、ROM 等產品,長期甚至可取代 DRAM 記憶體。鑑於這些超高 k 材料之沈積製程、蝕刻、電極選擇與 DRAM 電晶體相關製程整合性之諸多技術障礙,一般認為使用 BST(甚至 PZT 或 SBT)之 DRAM 元件仍需要數個世代(約至線寬 0.13μm,容量 4Gb 之後)才有大規模商業化之可能。在閘級材料方面,近一二年則有新的金屬閘(Metal Gate),矽鍍閘(SiGe-gate)等,其中金屬閘則有低阻值,無硼穿透等好處。在超淺接面及金屬矽化物方面則會朝向<500Å 深及鈷金屬矽化物製程。

2.3 規劃重點

1. 超薄絕緣層(Ultra-thin Gate Dielectrics):

包含超薄氧化層(<20Å)生長技術,高介電常數絕緣層技術,穿隧電流與元件製程關係研究,穩定度(SILC),崩潰特性及模型(TDDB),電漿傷害,靜電放電特性,熱載子效應(Hot carrier effect),輻射效應(Radiation effect),製程均勻度(Process uniformity),抗硼穿透特性。

2. **閘極材料 (Gate Materials):**

金屬閘，複晶矽化物(polycide)，矽鍺閘(SiGe-gate)，及雙閘(Dual gate)。

3. **井工程 (Well Engineering):**

超淺接面 (ultra shallow junction) ，固相擴散(Solid-phase diffusion) ，氣相摻雜 (Gas-phase doping) ，電漿摻雜(Plasma doping) ，低能量離子佈植，倒退型井(retrograde well) ，三重井(triple-well)。

4. **金屬矽化物 (Silicide/Salicide):**

鈦矽化物(Ti-silicide) ，鈷矽化物(Co-silicide) ，鎳矽化物(Ni-silicide) ，犧牲層矽化技術(Sacrificial silicidation)。

5. **淺溝隔絕 (Shallow Trench Isolation STI):**

新穎製程及結構, CMP 平坦化技術, 角落效應, 元件與井間之漏流。

3、後段模組製程

3.1 前言

隨著高性能 IC 元件特徵尺寸的趨向微小，及縱橫比 (Aspect Ratio) 與堆積階梯之提高，發展新型的孔槽 (Hole & Trench) 填充技術、內連接導線系統與平坦化 (Planarization) 處理已日漸迫切。

3.2 國內外研究狀況

濺鍍「鋁(矽銅)/氮化鈦擴散阻抗層」與 SiO₂ 階梯間介電 (Interlevel Dielectric) 薄膜是積體電路元件 (IC) 應用最廣泛的內連接 (Interconnection) 導線系統，由於銅與矽晶基材具有低附著性、高擴散性及高化學反應性的缺點，國內外產學研業界乃積極開發以耐火金屬 (W、Mo、Ta) 為主的底層與擴散阻礙層材料。目前，銅輔以鈮基阻礙層 (Ta、Ta₂N₅、TaSiN 等) 已被 IC 產業界公認為下一代新導線材料的唯一選擇。由於元件之高縱橫比與高步階覆蓋性 (Step Coverage) 需求，學研業界均已積極發展銅與相關底層及擴散阻礙層之沈積方法與填充技術。目前較具潛力的方法計有化學氣相沈積 (CVD)、化學電鍍 (Electrochemical Plating: Novellus、Semi Tool 等) 與無電鍍銅、與離子化金屬電漿 (Ionized Metal

Plasma IMP：Applied Materials Inc.）、應力填充（Force-fill：Trikon Technol., Inc., U.K.）等改良型濺鍍技術。例如 Applied Materials 即以 IMP 高密度電漿製作 Ti、TiN、Ta、Ta₂N 與 Cu 內連接導線，預計此種方法仍可勝任 0.18 μ m 元件製程，Applied Materials 亦將推出化學電鍍銅製程。此外，為了克服銅低蝕性的缺點，業界亦積極採用化學機械研磨（Chemical-Mechanical Polishing CMP）的單一或雙重鑲嵌製程（Single & Double Damascene Processes），以完成銅與相關階梯間介電薄膜之平坦化處理。IBM 與 Motorola 已陸續推出以化學電鍍銅內連接導線製程，可以製作 ASCII、高速 SRAM 及微處理器（Microprocessors）產品。由於銅的低電阻延遲效應，這些產品之運算速度可提高 30% 以上。

相同的，為了降低 IC 之電容延遲效應，國外內廠家亦積極開發介電常數（k）低於傳統之矽甲烷基（Silane-based）CVD-SiO₂（k \geq 4）的介電層。目前，生產低 k 介電材料的主要廠家計有：(1) Applied Materials (CVD-Black Diamond、CVD-FSG)、(2) Novellus (CVD-FSG、Coral)、(3) Dow Corning (HSQ、MSQ、FOX)、(4) Dow Chemical (BCB、SiLK)、(5) Allied Signal (FLARE、Nanoglass、HOSP)。這些低 k 介電材料可概分為矽基無機物與碳基有機物兩類型。依 k 值大小，則可分為三個等級：(1) 3 至 4 低 k 材料：以 SiOF 為主；(2) 2 至 3 中低 k 材料：包括矽基無機物（旋塗 HSQ、MSQ 與 FOX，及 CVD-Black Diamond）與碳基有機物（旋塗 SiLK、FLARE、BCB 與 CVD-含氟非晶質碳（a-F:C）、AF₄）兩大類型；(3) 1 至 2 超低 k 材料：旋塗毫微米孔泡氧化矽（Nanoporous Silica）為主。這些低介電常數材料的發展近況計有：德州儀器一度對 HSQ 多階梯元件充滿希望，但卻因整合等問題，其地位已逐漸被 k 值與之相當的碳基有機物（SiLK、BCB、FLARE）所取代。而且，製程衍生問題亦是決定何種低 k 材料可適用於 IC 製程，例如，雖然 Parylene-F(AF₄)之 k 值可低達 2.0 至 2.5，但是卻因需使用固體先驅物（Precursor），而造成設備與後續維修之額外負擔，故最近 Novellus 已放棄此種材料製程之開發。Applied Materials 推出號稱“黑鑽石”（Black Diamond）之矽基 CVD 介電層（BD27，k 值約 2.7）與製程設備，並將 Dow Chemical 的 SiLK 視為主要的競爭對手。Allied Signal 已在發展可經由孔隙率多寡調節 k 值大小（1.5 至 2）的毫微米孔泡氧化矽。

雖然，Semiconductor Roadmap 呼籲 0.15 與 0.18- μ m 元件需使用 k 值分別介於 2.0—3.0 與 2.5—3.0 之介電層，但是，鑑於低 k 介電材料與銅／鉍基阻礙層之高難度整合性（例如蝕刻、k 值穩定性等），IC 工業界態度已趨向保守，擬分別採用 k 值介於 2.5—3.0 與 3.0—4.0 之材料作為 0.15 與 0.18- μ m 階梯間介電層。

3.3 規劃重點

1. **多層導體連線：**

銅金屬沈積（Cu deposition）技術- 含濺鍍銅（Sputtering Cu）、化學氣相

沉積銅(CVD Cu)、無電鍍銅(Electroless Cu)、電鍍銅(Electro-plating Cu)，電遷移特性，阻礙層金屬，應力衰退機制，縱橫比效應，平坦化，鋁填充(Al-plug)，選擇性鎢填充(Selective W-plug)，薄阻礙層/底層沉積，含聚合物導體，晶片間光連線。

2. **低介電常數介電質 (Low-k Materials):**

含氟氧化層(F-doped SiO₂ SIOF)，低溫氧化層，多孔氧化層(Porous oxide)，有機材料，無機材料，空氣隙，應力銅膜，漏流特性，抗水氣性，塗佈技術，CVD 沉積技術，氣相沉積技術。

3. **平坦化 (Planarization):**

蝕刻過鋁膜上低介電層 CMP 技術，鑲嵌金屬(Damascene metal)，鋁 CMP，銅 CMP，CMP 及表面清潔技術，CMP 用之漿液開發，CMP 另類平坦化技術。

4、製程與元件模擬

4.1 前言

在矽基半導體製程及元件的微縮(miniaturization)發展過程中，製程與元件模擬扮演相當重要角色，為了達成製程對元件與電路設計的預先評估 - 包含製程準確度、元件結構設計、電性分析、以及製程造成傷害等，此製程與元件模擬之進行將越趨重要而無法避免。善用製程與元件模擬技術，將可加速元件微縮化的進度，而若使用不當，將會嚴重影響半導體元件與電路的電性上之穩定性及可靠性，所以不得不慎重。

4.2 國內外研究情況

TCAD 的模擬與模型建立，目前已被廣泛應用於製程之最佳化、改善製程之敏感度、以及檢測製程之穩定性。而在製程快速發展的今日，製程與元件的模擬必須不斷的經過更新與修正，才可得到更精準更合理的計算結果。在 SIA roadmap 裏，已提供一些使用模擬工具會遭遇障礙與必須解決的問題。以下我們將解釋 SIA 中所特別提出的問題。

元件內部雜質濃度分佈(dopant profile)將是元件設計的重要關鍵：在雜質濃度分佈的控制上，熱處理(Thermal budget)造成將會因為離子佈植造成的傷害與 TED(Transient Enhanced Diffusion)效應使之難以控制。這部分所要應用的理論將牽涉到許多互相耦合的物理效應，而且這些效應大部分仍是處於未知的狀況。雜

質與缺陷(defect)的衡量方式現在仍然還在開發的階段，這部分必須透過物理的分析與校正才能獲得完整解析，而洞悉元件內部濃度分佈情形。另外，在小於100nm 製程技術上，目前尚無準確的 1-D、2-D、3-D 模擬工具，所以必須要加以發展。

佈線(interconnect)在製程及電路設計上之重要性逐漸增加：高頻電路必須嚴格的考慮 RLC、傳輸線、長距上與基板(substrate)的耦合效應(coupling effects)等限制。這必須要朝向於研發具高效率的佈線上全晶片模型(full-chip model)與模擬技術，其中更包含了不同圖案(pattern)佈線與三度空間互相耦合的分析技巧。而且在新材料紛紛被開發出來（諸如銅導線與低介電常數材質被導入半導體製程），以及佈線系統的可靠性的考量下(諸如電遷移(electromigration)和應力傷害(stress)等)，模擬的方法將必須重新設計。未來應用於佈線上的模擬工具，將必須有更好的模型才能更有效率的解決元件高頻操作下的問題。

製程造成的表面形貌(topography)變化，仍缺乏足夠的知識去分析：因為製程上，物理與化學的表面反應(諸如 CVD、CMP、plasma etch、化學蝕刻等)，都會因為使用的物理或化學藥劑反應速率，而嚴重影響到微區域(小於10nm 的區域)沉積或是蝕刻上形貌上的變化。反應劑造成的元件表面形貌上的變化，將會嚴重的影響後續製程(諸如佈線、微影蝕刻等)的進行。至於如何去控制表面形貌，將會是影響下一代製程良率的關鍵。

封裝技術的模型必須重新考慮：由於晶片尺寸、晶片散熱、切換速度、封裝的技術與材料的演進，模擬工具必須針對熱、機械應力、以及電性上重新考量。如何把晶片從切割到封裝，而再從封裝到出貨，始知電性保持一定，封裝模型及模擬必須進一步的研發。

傳統模型無法應用於100nm 新世代元件技術：到了100nm 元件的世代，必須考慮物理與化學製程中之原子級反應。由於原子的數量級很大，這將會大量需要電腦運算的速度；而原子與原子的反應，則必須要有更先進的基礎科學的解析才可獲得解決。

4.3 規劃重點

目前製程與元件模擬技術上所需要發展的重點，可分成以下六個部分：

1. 製程設備模型建立(Equipment Modeling):

包含反應室氣體作用，表面室壁反應，傳輸機制，熱分佈，氣流分佈，感應器，晶圓表面反應等。

2. 表面形貌模型建立(Topography Modeling):

包含晶圓表面反應機制，特徵模擬，及圖案影響機制。

3. **前段製程模擬(Front End Process Modeling):**

包含離子布植，雜質分布，及材料生長。

4. **元件模擬(Device Modeling):**

包含

- (1) 非熱平衡傳輸: 現象了解及物理機制，非熱平衡模擬器
- (2) 閘極模型: 超薄絕緣層，替代閘極材料特性，穿隧模型，崩潰模型
- (3) 量子效應: 一維反轉層修正，二維及三維量子效應模型，量子元件
- (4) 新材料模型(比如 SiGe)
- (5) 穩定度模型: 連線衰退機制，RLC 及傳輸線，電磁波響應，氧化層 TDDB 模型，熱載子模型，電遷移模型

5. **電路模擬(Circuit Modeling):**

包含

- (1) 電晶體模型: 密實模型(Compact model)，高頻效應
- (2) 連線模型
- (3) 基底模型(Substrate models): 記憶體模型，快閃記憶體胞模型，DRAM 記憶體胞模型，嵌入式(Embedded)結構模型

6. **數值方法(Numerical Methods):**

包含現有方法速度提升，並聯模擬方法，Monte Carlo 方法及應用

化 合 物 半 導 體

小組召集人：詹益仁（國立中央大學 電機系）
委 員：林浩雄（國立台灣大學 電機系）
吳孟奇（國立清華大學 電機系）
許渭州（國立成功大學 電機系）
王永和（國立成功大學 電機系）
李清庭（國立中央大學 光電所）
張道源（國立中山大學 光電所）
王瑞祿（崑山科技大學 電子系）

中華民國九十年十二月

前 言

化合物半導體相關材料、元件與電路製作，主要用途在於高頻微波通訊系統及光通訊系統。以應用的角度而言，無線通訊技術的潮流包括了：(一)個人行動通訊系統技術相關之 RF 次模組及關鍵性零組件技術產品，無線通訊陶瓷元組件技術產品，無線晶片組設計技術，以及 RFIC 產品技術；(二)寬頻無線通信系統技術，如 W-CDMA (wideband code division multiple access) 與 LMDS (local multipoint distribution system)。

光通訊技術應用發展趨勢，包括了光收發訊模組已由 2.5 Gbps 提升至 10 Gbps，未來 TDM 系統更將會朝 20-40 Gbps 發展，另一方面則朝 DWDM(dense wavelength division multiplexing)技術發展，而光波長間隔將由 1.6 nm/0.8 nm/0.4 nm (頻率差距 200/100/50 GHz)演進。在光收發模組中需要極高速之驅動電路與接收電路，而 DWDM 技術則需要精密之多工、濾波、分波以及波導元件。表一詳列了無線通訊及光通訊之各類系統、元件技術需求及市場狀況。

在化合物半導體之研究領域中可參考上述系統應用方向，瞭解各種系統之工作需求、原理與模組組成，審慎思考研究究竟應採用何種材料系統，發展何種製程與磊晶技術，設計何種元件及電路與模組，如何發展元件／製程／電路模組等之設計與模擬技術，才能配合未來市場需求趨勢。當然，也需要有人能夠跳脫上述之短期需求，著眼於更具前瞻性之技術研究，例如低工作電壓之電子或光電元件，積體化之光電子元件(integrated photonic devices)，低維度量子元件，以及突破性之材料系統與製程技術等。在此，我們希望能強調奈米技術(Nano-technologies)在化合物半導體的開發，諸如奈米製程、nano electronic and photonic 元件，作為前瞻技術開發的主軸。

化合物半導體發展重點規劃小組經討論研商，由系統應用觀點出發，並涵蓋了基礎與前瞻性研究，並依材料、元件、製程與電路四個大方向著手規劃，雖然彼此習習相關，很難作明確界定。就現今國內外發展現況、重點規劃領域等作一概述，雖然部份可能和光電學門重覆，但相信會相輔相成，有助於提升國內的研究水準。

(表一)

應用系統	產品	頻率需求	電路需求	電路型態	元件需求	材料	目前狀況
無線通訊	PCS 及 行動電話	0.9 / 1.8-2.0 GHz	LNA, mixer, switch, power amp,	MMIC Hybrid MIC	FET/HBT	Si, GaAs	Very large market
	無線用戶 迴路 WLL	2 / 5 GHz	LNA, VCO, AGC, Mixer, PA	MMIC	FET/HBT	Si, GaAs	Large volume
	無線區域 網路 WLAN	2.5 / 5 GHz 5.2 GHz	LNA, VCO, AGC, Mixer, PA	T/R MMIC	FET/HBT	Si, GaAs	Large Volume, used for data communication
	MMDS	2.5-2.7 GHz	LNA, VCO, AGC, Mixer, PA	T/R MMIC	FET/HBT	Si, GaAs	
	LMDS	28 GHz 42 GHz	LNA, VCO, AGC, Mixer, PA	MMIC transceiver	FET/HBT	GaAs, InP	Consumer driven require low cost
衛星通訊	DBS/ Direct PC	C band (3.7-4.2 GHz) Ku band (10-12 GHz)	LN converter	MMIC	FET/HBT	GaAs	Existing, requir es large volumes & lowest cost
		L band (0.95-2.05 GHz)	LNA, Mixer, VCO, receiver		FET/HBT	Si, GaAs	
	Point-to- point communic -ations	13-60 GHz	LNA, VCO, AGC, Mixer, PA	T/R MMIC	FET/HBT	InP, GaAs	Emerging fast growth first volume application for MMICS>12 GHz
	Optical up to links	60 GHz	Digital drivers, MUX/DMUX			InP, GaAs	
光纖通訊	光發訊機	2.5/10 Gbps (20-40Gbps)	Light Source Driver ckt	IC, Hybrid	MQW-LD HBT, FET	InP Si, GaAs	

光收訊機	2.5/10 Gbps (20-40Gbps)	Optical Receiver PreAmp/Decision/ clock recovery ckt	IC, Hybrid	PIN/APD/ MSM FET, HBT	InP Si, GaAs, InP	
光調變器	10-40 Gbps	Modulator, Driver ckt	IC, Hybrid	MQW HBT, FET	InP GaAs, InP	
光波導元件			Monolithic, Hybrid	Waveguide device	Si, GaAs, InP	
積體化光電子元件			Monolithic	LD+Modulator PIN-FET/ HBT, MSM-HEMT	GaAs, InP	
WDM 元件			Monolithic, Hybrid	Star coupler	Si, GaAs, InP	
Gigabit Ethernet 光收發訊模組	1 Gbps	DataCom Tx/Rx Driver/PreAmp / Decision/ clock recovery ckt	IC, Hybrid	LD, PIN FET, HBT	InP Si, GaAs	

I. 材料

1. 前言

目前開發的化合物半導體材料，已充分發展到元件/甚至積體電路的階段，無論在元件製程或元件的設計，都已受到製程設備或元件尺寸的限制而遇到瓶頸，因此開發新材料或將目前已開發的材料進一步延伸其發展，仍是當今刻不容緩的重要課題之一。此外，若能配合紅綠藍光元件，則大型的全彩色平面發光二極體看板便可顯示出漂亮的全彩顏色；近年來，由於個人電腦的進步神速，相對於資料儲存體（如唯讀光碟片）容量的需求也日益龐大，若現在的光碟機可以用藍光雷射二極體為讀寫頭，則光碟的儲存容量最少會多四倍以上，在光碟機如此普遍的今天，其市場潛力是不容忽視的。

化合物半導體主要包括 III-V 族，II-VI 族及 IV-IV 族等等，雖然目前仍有一些 IV-IV 族（如 PbS 及 PbSnSe）及 I-III-VI 族（如 CuInS）的研究，但論發展狀況及未來遠景，仍無法與 III-V 族，II-VI 族及 IV-IV 族相提並論。今就 III-V 族，II-VI 族及 IV-IV 族的重點研究方向作一分析。

2. III-V 族

1) GaAs 系列的材料：包括 AlGaAs、應力型的 InGaAs 材料。目前的磊晶技術已高度發展到量子井，量子線甚至量子點的階段。在化合物半導體中，這是最成熟的技術。在光電方面，經由 AlGaAs 系列 DBR (distributed Bragg reflector) 結構的設計成長而應用到高亮度發光二極體或表面發光型半導體雷射。InGaAs 量子井的 0.98 μm 雷射也由 InAs 或 InGaAs 量子點成長技術推進到 1.3 μm 的量子點雷射。此外尚有低度含氮的 InGaAsN 材料以及含銻的 GaAsSb 材料，都是近年來發展於 GaAs 基板上，用以展延元件操作波長的重要磊晶技術。在電子元件方面，多數 HEMT 及 HBT 的高速元件及 MMIC 的材料仍以 GaAs 系列為主。近年來發展的 InGaAs metamorphic 磊晶技術在 HEMT 元件上的應用也逐漸受到重視，這個技術可以突破應變的限制提高 In 的成分。基本上，在無線通訊的產業應用上，GaAs 系列材料仍有很大的發展空間。

2) 磷化合物系列的材料：包括可見光範圍的 AlGaInP/GaAs 及光纖通訊應用的 InGaAsP/InP 以及 InAlGaAs/InP 系列材料。如同 GaAs 系列的材料，含磷系列的材料，在 MOCVD 磊晶技術也高度成熟，但在分子束磊晶 (MBE) 技術方面，國外的重要研究單位，漸漸朝使用固態磷源的方向，以增加磊晶的均勻性及安全性。AlGaInP 材料用於 LED 以及 DVD

雷射。而 InGaP/GaAs 則是重要的 HBT 材料。InP 系列除了光纖通訊的應用之外，也是高速元件及 MMIC 的重要材料。目前這方面的發展重點是高功率及高速的元件。

- 3) 氮化物系列的材料：這是當今最熱門的研究重點，相關材料的波長涵蓋範圍包括紫外光、紫光、藍光、綠光、白光甚至琥珀光，而元件則包括高亮度發光二極體、半導體雷射以及光偵測器。此外，氮化物因具有高能隙，也是重要的高溫高功率電子材料，氮化物 HEMT 等高速電子元件也是重要的研究主題。由於它的應用廣泛且重要，各種不同的磊晶技術都值得發展。目前氮化物系列材料最大的課題是沒有適當的基板可與之晶格匹配。因此，應用在這方面的基板（如 $MgAl_2O_4$ ，SiC，GaAs 與 GaN）之拉單晶技術或以 HVPE 快速磊晶技術於其他基板成長厚層 GaN 作為基板的相關技術將扮演著很重要的角色。除了氮化物系列材料之外，低度含氮的立方化合物半導體材料也是一個重要的研究主題。在傳統材料加入少量氮之後可使晶格常數與能隙都變小，因此可在相同基板上延伸應用波長的範圍。例如以 InGaAsN 於 GaAs 基板上成長 $1.3 \mu m$ 面射型雷射。這類型材料的磊晶成長、物理研究與元件應用都是值得進行的研究課題。
- 4) 銻化物系列的材料：銻化物系列的材料過去主要是在中紅外線波長範圍（ $2-5 \mu m$ ）的應用，包括下一代的光纖通訊、中紅外線光源、偵測器及熱光伏特 (TPV) 能源轉換器等。然而近年來含銻化合物的 MOCVD 與 MBE 技術都有所進步，在電子與光纖通信領域也逐漸受到重視。例如完全沒有位障突起的 InP/GaAsSb/InP DHBT、GaAsSb/GaAs 長波長面射型雷射 (VCSEL)，以及未來超高頻、低電壓、低功率消耗的銻基材料的電子元件與積體電路技術等。因此，在銻化物材料，製程與元件有很大的研究空間。此外，銻化物中 InAs 與 GaSb 系列的碎能隙超晶格結構亦有許多有趣的物理課題值得探討。
- 5) 氧化物材料：III-V 一直受到無法成長高品質氧化層的瓶頸而限制 III-V 族的 MOSFET 發展。最近幾年，III-V 族的 MOSFET 逐漸變成一重要的研究課題，氧化物的材料從 SiO_2 ， Al_2O_3 ，發展到 Ga_2O_3 ， $Gd_2(Ga_2O_3)$ ， ZnO ，氧化物的成長技術包括液相沉積法 (LPD)，熱氧化，PECVD 等等，目前在空乏型元件已經有重要的突破，因此值得鼓勵國內研究單位投入這一具很大衝擊性的研究課題。
- 6) 晶片熔合 (wafer bonding) 技術：這部份還包括磊晶移植 (epitaxial lift-off, ELO) 技術。經過多年的發展，大家都發現在異質磊晶 (如 GaAs on Si，InP on GaAs 等) 仍有相當高的困難。最近幾年，大家已將注意

力轉移至晶片熔合及磊晶移植技術上。HP 公司以晶片熔合技術研製了高亮度 AlGaInP 橘光發光二極體，許多單位也以 AlGaAs 材料的 DBR 結構和 InGaAsP 雷射二極體，用晶片熔合技術，做出表面發光型雷射二極體，也有的以 DBR 結構和 InGaAs 檢光器做出加強型共振檢光器。而磊晶移植技術在高速元件及 MMIC 上，都有不錯的成績。國內方面，應當鼓勵學術界從事這一方面的研究，最重要的是要能與產業界的產品，如發光二極體或高速元件互相配合，才具實用性。

3. II-VI 族

目前在藍光領域中發展極為成功的為 GaN 系列材料，但由於其使用之基板為絕緣性之藍寶石材料，在製作 LED 及 LD 之程序相當複雜，另一方面 ZnSe 生長所用之基板發展較成熟，導電性高之 GaAs，其生長溫度只有攝氏 300 度左右，缺陷較少，在製作 LED 及 LD 之程序相對簡單。自 1991 年 ZnSe 藍綠光脈衝型雷射二極體發展成功，至今，20°C，400 小時壽命之連續型雷射二極體已經成功，故仍有相當大之發展潛力。

目前在 II-VI 化合物半導體中積極發展中之元件有藍光發光二極體、藍光雷射二極體、面射型雷射、短波長光感測器、短波長光波導及濾波器，所使用之材料仍以 ZnSe 系列之材料為主，包含 ZnSe，ZnS_{0.5}Se_{0.5}，ZnCdSe，ZnMgS_{0.5}Se_{0.5} 等。所發展之方向包含量子井及量子點結構。ZnSe 光電元件最大之問題在缺陷之控制，微型(microscopic)缺陷已有良好之控制，目前之問題在於點狀缺陷(point defect)之控制。故生長方法之改進，如二維成長之方法-atomic layer epitaxy(ALE)，flow-rate modulation epitaxy(FME)，migration enhancement epitaxy(MEE)，self-assembled quantum dot 等等，這是在國內目前需要特別發展的。

4. IV-IV 族

- 1) SiGe/SiGeC：這材料是目前極為熱門的材料，將來具有可取代 Si 的趨勢，目前仍以高真空 CVD 成長技術為主，它的物理特性（如量子現象等）及元件特性有許多值得研究之處。
- 2) SiC：由於它屬於間接能隙，在發光元件方面，無法和已高度發展的氮化物系列材料競爭，但它可具有導電性及較佳的晶格匹配，可作為氮化物材料成長的基板選擇。另外，它的大能隙及較佳的熱導係數，使得 SiC 可往高功率高溫的電子元件或 MOSFET 發展。

II. 元件

1. 前言

以化合物半導體異質結構為主體的電子元件部份，大都應用在高速、高頻電路，或者利用其量子效應所發展出來的新穎元件。上述兩個主軸分別涵蓋了偏重於應用科技的高速元件及較偏重於學術探討的量子元件。因此這部份的規劃即以這兩個主軸為主。此外，由於無線區域網路傳輸，個人通訊基地台及衛星通訊收發訊號，高頻元件也必須同時擁有高功率的特性，以滿足產品的需求。此外，超低雜訊高頻元件的研發也對應於遠距離傳輸接收系統對雜訊更嚴謹的規格。在個人通訊方面，低供應電壓相關的元件及 MMIC 隨著手機市場的熱絡而逐漸引起開發的動機。尤其是最近 Motorola 公司宣稱利用旋轉 45 度成長鈦化鋁緩衝層於 Si 晶圓上，可成功長出 12 吋 GaAs 晶圓，並已成功開發出應用於手機的功率放大器，此項重大研究成果令人震撼，也為 GaAs 將來的發展指出極為光明的坦途。

此外，化合物半導體多為直接能隙材料，所具有高效率的放光直接復合是矽材料所沒有的特性。因此化合物半導體在光電元件的應用中具有不可取代性。化合物半導體材料的光電元件應用波長範圍由紫外光到紅外線，相當地廣泛。包括多媒體、通信、網路、醫療與軍事等用途。

近年來相關的重大發展有下列幾項：首先是 GaN 系列材料的出現，包括藍綠光發光二極體及雷射二極體，其中藍光發光二極體已進入量產，而雷射二極體的生命期也已達商用的標準。除了藍綠波段外，也已經有白色、及琥珀色發光二極體出現。前者具有照明方面的應用，而後者與傳統的 InGaP 發光二極體比較，具有較佳的溫度特性。此外這個系列的材料也可用於 Solar-blind 光偵測器。

其次是在低維度量子元件的發展，主要是藉由磊晶技術成長的自形成量子點 (quantum dots) 結構應用於雷射二極體之上。這些量子點結構除了預期能使雷射二極體有較佳特性之外，可以延伸雷射的波長，目前除了雷射門檻 (threshold) 電流密度到 $50\text{A}/\text{cm}^2$ 以下之外，在 GaAs 基板上的 InGaAs 量子點雷射也可以到達 $1.3\ \mu\text{m}$ 。這可使光纖通信元件與現有的 GaAs MMIC 技術結合，或者應用於 $1.3\ \mu\text{m}$ 面射型雷射可以結合 AlGaAs 材料系統的 DBR 結構。但目前的溫度特性 T_0 尚未能達到預期。

在光纖通信方面，可以預期因為網路與個人通信的大量普及，作為通信骨幹 (infrastructure) 的光纖系統也有相對的發展。光電元件在這個部份有相當多的課題值得研究，包括高品質 DBR/DFB 雷射二極體光源、調變器、就光纖耦合的元件結構考量、不需冷卻具良好溫度特性的光纖波段雷射二極體、大量生產所需考慮的積體化技術等等。就雷射二極體的溫度特性方面，目前有使用 InAlGaAs 與

InAsP 等具有較大導電帶能隙不連續之雷射二極體，另外也有含少量氮化物的 InGaAs 材料的研究。後者直接成長於 GaAs 基板之上，利用能隙的 bowing 效應，能夠同時縮小晶格與能隙並提昇導電帶能隙不連續，目前已經有長波長的邊射型及面射型雷射的報告。此外，也有利用疊晶格結構造成載子的量子位障以提昇雷射溫度特性的作法。在積體化技術的部份，因為需要結合具不同主動層波長的元件於同一基板之上，所以有幾種不同的磊晶技術包括選擇成長技術或再成長技術等。此外，也包括結合光偵測元件與前端放大器的光接收器高頻積體電路。

而在更長波長(>2 μm)的範圍，光電元件除了傳統的 InAs、InAlGaSb、HgCdTe 等材料系統之偵測器及長波長雷射二極體與發光二極體之外，目前也有能夠使用較大能隙、較成熟材料的元件：在雷射二極體方面是量子串接雷射(quantum cascade lasers)，與量子井紅外線偵測器(QWIP)。

2. 高頻元件

由於無線通訊及光纖通訊的急速發展，頻寬的不足一直都是存在的問題，因此元件朝更高頻率響應的方向走是一致的趨勢。例如 LMDS 需要操作在 30GHz 的 MMIC，而光纖網路也走向 10Gbps 的速度。同時在不同材料系統所做成的高速元件或改善元件結構以符合某些特定電路之要求，如可靠度、線性度、崩潰電壓等，也都有持續性的研究工作在進行。在量子元件方面，除了低維量子結構外，單電子電晶體也是在過去幾年中很重要的課題。

國內在上述兩方面的發展，事實上與國外水準並沒有太大的差距，在高速元件方面雖然學術界沒有昂貴的設備製作出深次微米的元件。但長期我們在磊晶技術及元件設計上的經驗，已發展出相當不錯各式結構的高速元件。量子元件受限於製程技術，反而在理學院或自然處中有個人型的計畫在進行。在磊晶技術方面，國外已具備從磊晶技術、高頻電路設計、晶圓測試及封裝等完整的垂直產業結構，國內由於化合物半導體磊晶產業包括中下游的蓬勃發展，使得研究單位在異質結構的實現方面有更大的空間。隨之而起的晶圓代工業所提供的步進式和電子束曝光機服務，將使研究單位以往對深次微米元件及 MMIC 受限於製程能力的瓶頸得以突破。

另外，為避免重蹈類似 GaN 系列材料專利被日亞公司獨霸的覆轍，造成日後被綁手綁腳的窘境，在發展大面積 GaAs/Si 時必須盡量朝以發展自我技術為主。

規劃研究重點包括如下：

- 1) 新材料或新異質結構，如 GaN-based 或 SiC, SiGe-based, GaAs on Si 基板及其他化合物長在大面積 Si 晶圓上所製作的電子元件。
- 2) 利用製程技術改進或元件結構設計上的最佳化，改善元件的高頻響應、

輸出功率、雜訊指數、線性度、崩潰電壓等特性，並建立各種相對小訊號，功率模型以為電路設計應用。

- 3) 在現有已商品化元件如 MESFET, PHEMT, HBT，可從事元件設計及製程上的改善，如平坦化製程，以增加其可靠度。
- 4) 毫微米電路將是未來無線通訊很重要的技術，因此應積極開發能應用於毫米波之高頻元件，其 f_1 為高於 60GHz，而 f_{\max} 須到達 100GHz。
- 5) 進行下一代電子元件如低維量子元件，單電子電晶體的研究工作。

3. 光電元件

目前國內有相當大的發光二極體產業，也有雷射二極體的公司。主要的材料在於 InGaP 系統與 GaN 系列。研究方面，工研院光電所在可見光材料的部份都有研究的部門，包括 InGaP, GaAs 系列的面射型雷射以及 GaN 的材料。中華電信研究所則在光纖通信範圍的光電元件包括 InGaAsP, InAlGaAs 材料的雷射二極體、DFB 雷射二極體與光偵測器等元件均擁有準生產的技術能力。在學界的部份，台灣大學研究的範圍包括光纖通信範圍的光電材料與元件、遠紅外線範圍的偵測器、發光元件、量子點結構、面射型雷射與 GaN 材料等。中央大學研究的範圍包括 InAlGaAs 雷射二極體、疊晶格量子位障技術、量子點雷射二極體、光接收器高頻積體電路與 GaN 材料等。交通大學反射式光調變器、面射型雷射、量子點雷射二極體、與 GaN 材料等。成功大學則有 InGaP 紅外雷射二極體、發光二極體、遠紅外線材料元件、面射型雷射等之研究。

規畫之重點研究項目包括如下：

- 1) GaN 及相關材料的光電元件技術，包括雷射二極體，各種發光二極體及偵測器等。
- 2) 量子點或量子線材料與元件技術。
- 3) 光纖通信波長光電元件，包括單頻雷射二極體(DFB, DBR LD)，可調(tunable)及穩頻雷射，光調變器，光偵測器等。
- 4) 光電積體電路技術，包括選擇成長技術、再磊晶技術與光接收器高頻積體電路，光晶體(photonic crystal)。
- 5) 面射型雷射二極體。
- 6) 量子串接雷射二極體。
- 7) 紅外線量子井光偵測器。
- 8) 半導體光放大器(SOA)之研製。

III. 製程

1. 前言

目前化合物半導體在國際上的發展，除了傳統的 III-V 和 Si-based SiGe 等，亦有新發展的 GaAlN, GaAs, InP, SiC 及 SiGeC。這些材料之製程可用於高功率元件及高頻通訊元件上。此外，使用新的製程技術，目前 III-V 半導體已初步的做出氧化層及 MOS 電晶體。另一重要的製程技術，即在於化合物半導體自動形成的低維量子結構，而這些結構可大幅提昇目前光電元件的性能。另一重要製程技術的突破，則在於使用 nano lithography 而製作出新元件如單一電子電晶體(single electron transistor-SET)。目前的研究則有製造此 SET 於化合物材料(如 Al_2O_3)上，且 128M SET 之記憶體已成功的做出，證明其有取代目前之 DRAM 及 Flash memory 的可能。

因此目前發展之化合物半導體的製程技術，不但可和目前 IC 產業形成互補的作用，在未來更可在高功率、高頻無線通訊、記憶體、及光電元件上和 IC 產業相輔相成，或甚至可延長 IC 產業未來的發展空間。化合物半導體製程技術的發展重點主要在應用於以上所提及之高功率元件、無線通訊元件、記憶體、及光電元件上。

2. 高頻無線通訊元件之製程

除了傳統之 III-V MESFET, HEMT, HBT 及 SiGeHBT 外,許多研發亦投入 III-V MOSFET 及 SiGe/Si MOSFET 及 MESFET 上。III-V MOSFET 之主要研發乃在於形成氧化層的製程。雖然目前 Bell Lab 所使用 Ga_2O_3 (Gd_2O_3)很成功，然國內學者使用之 LPD oxide 或 Al_2O_3 亦在國際上受到相當的重視。在 SiGe 方面的研究狀況，雖然其 HBT 已可達到 100GHz 之性能，然目前許多研究方向集中於 SiGe/Si, SiGeC FET 製程上。此化合物半導體不但可提昇其高頻特性，亦可和目前矽基板的 IC 工業結合在一起。此外，III-V FET 及 HBT 製程方面，則在於如何可提昇其可靠度。而在於目前 III-V 元件之製程已日趨成熟之際，可靠度之研究乃為其未來發展之重點。而依據 Si VLSI 之經驗，可靠度常和製程之改良及元件之設計有重大的關聯。

3. 高功率元件之製程

目前高功率元件之研發，除了傳統 Si-based LDMOS、BJT、IGBT 等，目前新的研究方向乃在於 SiC 及 GaN 的元件製程。然而此高功率元件製程之開發，則需要高品質之磊晶。目前國內在 GaN 方面的研究已相當的多，然在 SiC 高功率元件之製程則有待加強。且 SiC 在熱傳導性則更較 GaN 為佳。

4. 新元件、材料、及單電子電晶體元件之製程

目前在新元件如單電子電晶體方面的研究，有重大的突破。128Mb 之單電子電晶體所形成之記憶體已成功的做出，而且有取代目前 DRAM 及 Flash Memory 的可能性。雖然此單一電晶體記憶體乃是製作在超薄之 Si 薄膜上，然其他研究亦有製作在化合物材料如 Al_2O_3 或 GaAs 上者。目前國內亦有這方面的研究，然 nano 微影製程仍然是製程技術的瓶頸之一。此外，新材料之研究，則於化合物半導體自動形成的低維量子結構，並應用於提昇目前元件的性能。

規劃之研究重點包括：

1) 高頻無線通訊元件之製程

- III-V, HEMT, HBT 之製程
- SiGe or SiGeC HBT, MOSFET, HEMT 之製程
- III-V oxide & MOSFET 之製程
- AlGaIn/GaN 功率元件之製程
- 元件可靠度開發之相關製程

2) 光電元件之製程

- GaN 系列之 LED 及 LD 之製程
- VCSEL 之製程
- 光導波管之製程

3) 新元件，材料，及單電子電晶體之製程

- 新元件之構想及製程
- 材料自動形成的低維量子結構於元件應用之構想及製程
- 室溫可操作之單電子電晶體之製程
- 利用新的微影技術開發奈米結構

IV. 電路

1. 前言

國外對微波的研發早就不遺餘力。歐美為最具有代表性國家，舉例而言，美國在 1988 至 1992 年當中花費超過 10 億美金對單晶微波積體電路(MMIC)的研發。也因此，一口氣把 MMIC 大大降價到商用可接受範圍。目前，對此方面的研發，仍不吝灑下大筆經費。國內這幾年由於砷化鎵專業代工廠陸續成立，其技術水準已是世界一流，若能配合微波電路設計能力的建立，將有助於我國成立自主性的研發及產業環境。

在光電方面，發展適用於光電通信、光信號傳輸及光儲存的光電積體電路(OEIC)，並結合微機電(MEMS)技術於光電積體電路中，發展微光機電系統(MOEMS)。

2. 晶單微波積體電路

因微波(毫微米波)頻率範圍很大，應用極廣，僅以國內或世界共同所需，規劃下列幾大領域。

- 1) 900MHz/1800MHz/1900MHz 的個人通訊服務(PCS)無線通訊紀元已來到，這一方面正大大的需求中，而且急速膨脹。舉凡所需的高頻開關、功率放大器、低雜訊放大器及 transceiver 均為重點。
- 2) LMDS (local multi-point distribution service)此一系統為高頻微波，頻率為 28-32GHz 左右，頻寬為 1.3GHz。此一頻段未來有可能為後 3G (Beyond 3G) 個人無線通訊所採用。用作快速數據通訊，速度比一般電話線要快上數千倍，為未來電腦網路無線通訊的規劃系統。美國即將對此頻段作一拍賣，市場潛力極大。學術單位此時投入，正當及時，迎向未來。
- 3) 高功率元件電路設計
超過 10 瓦之功率元件阻抗匹配是一大技術挑戰。可選定 1.9GHz 頻率作為基礎頻率，研發出 10 瓦，20 瓦及 50 瓦的阻抗匹配電路，作為無線通訊基座站用。
- 4) 5.8GHz WLAN (wireless local area network)
早期 WLAN 是用 2.4GHz 的 頻段。但因指定頻寬過小，數據傳輸速度慢，成果不彰，現階段的 WLAN ，指標應在 5.8GHz。

3. 光電積體電路 (Optoelectronic Integrated Circuit, OEIC)

- 1) 光積體電路(photonic integrated circuits, PIC)
將多個發光元件(photonic components)或導波光元件(guided wave optical components)積體化在同一晶片上，此光積體電路中，包括主動及被動光元件與電子元件，包括(a)雷射調制器及波長可調雷射光積體電路與(b)光可交換光積體電路。在光積體電路中不需利用光纖互連光信號，而是利用波導互連光信號，可以簡化光元件的封裝。
- 2) 光電積體電路(optoelectronic integrated circuits, OEIC)
在光電積體電路的單石晶片中，其光電元件包括雷射二極體及光檢測器，電子電路包括驅動電路、調制電路、檢測電路及放大電路。光電積體電路應用在光電接收系統及光電發射系統。

3) 微光機電系統(microoptoelectromechanical systems, MOEMS)

微光機電系統將利用微機電技術所製作的微機電系統及光電元件積體化在同一晶片中。將可動的光機元件及自由轉動光交換鏡陣列與微致動器(microactuator)積體化。

前 瞻 性 技 術

小組召集人：雷添福（國立交通大學 電子系）
委 員：王 倫（國立台灣大學 光電所）
吳忠幟（國立台灣大學 光電所）
劉致為（國立台灣大學 電機系）
洪志旺（國立中央大學 電機系）
李建平（國立交通大學 電子系）
黃調元（國立交通大學 電子系暨國家毫微米實驗室）
趙天生（國立交通大學 電物系暨國家毫微米實驗室）
葉鳳生（國立清華大學 電子所）
胡正大（台灣積體電路公司）
徐爵民（工研院電子所）
許渭州（國立成功大學 電機系）

前 言

隨著 21 世紀的來臨，微電子領域仍將保持高度成長，各種新的製程技術及元件不斷出現，進而帶動電子產業大幅向前邁進。為因應未來五至十年微電子技術可能之發展，特別提出前瞻性技術之規劃，以建立基礎研究。本學門規劃為二大部分及十小子題。分別為；第一部份：奈米結構與元件，包括：奈米製程，奈米結構及元件分析，奈米元件，電子自旋元件。第二部分：新型材料與元件，包括：非晶矽、多晶矽薄膜元件與應用，Strained Si MOSFET，有機半導體材料及元件，非揮發性記憶體元件，Si and III-V Compound Integration，分子電子，光學干涉微影與解析加強技術。

I. 奈米結構與元件

1. 前言

奈米結構與元件將是電子元件的明日之星。由於尺寸縮小所帶來的量子現象及新的物理性質，使得人類有可能發展出更新更好的電子元件，並帶來新的應用。奈米結構的應用除電子外尚遍及化學，材料，機械，生物等等。我國的電子及半導體工業有堅實的基礎，因此發展奈米結構及元件在電子上的應用將有事半功倍之效。

2. 國內外發展

奈米結構是目前全世界最矚目的研究焦點。美國推動的NNI(National Nanotechnology Initiative)計劃，耗資無數，所投入的研究人力資源不計其數。日本也是如此。此外加拿大，歐洲各國以及中國大陸均投入大量的資金及人力從事這方面研究。而這些研究當中，又以電子領域最為矚目而且進展最快。以奈米結構所製作的新一代電子元件將指日可待。

國內在奈米科技方面的起步較晚，但近年來在政府及國科會的推動下已急起直追。各主要大學及研究機構莫不爭相成立奈米中心進行奈米相關的研究。工研院在明年(2002)初即將成立奈米中心。交大也在近期內成立奈米中心推動大型奈米計劃。

3. 規劃重點

在奈米結構及元件方面我們將推動下列幾個重點：

1) 奈米製程

其中包括：

- a) Self-assembled 量子點成長及選擇性長
- b) AFM 的 microfabrication 技術
- c) E-beam 的 nanolithography 技術

2) 奈米結構及元件分析

包括：

- a) AFM 及 STM 的結構分析
- b) 同步輻射 X-ray 的分析
- c) 低溫高磁的 transport 量測
- d) 光學特性分析
- e) micro-PL 量測
- f) micro-電性分析等等

3) 奈米元件

包括：

- a) 奈米碳管的製作及元件應用
- b) 半導體量子點光電元件
- c) 半導體量子結構的穿隧元件
- d) Si/Ge 的量子結構及發光元件
- e) 單電子電晶體的發展
- f) photonic crystal 的開發與應用
- g) 中，遠紅外線量子元件(如 Tera Hertz 雷射等)
- h) 量子元件的物性

4) 電子自旋元件 (Spintronics)

傳統的電子元件無法區分電子自旋的極性。在奈米結構中，電子自旋的極性有可能被區分而形成有用的 Spintronic 元件。近年來 Spintronics 的研究方興未艾，研究的領域包括：

- a) 磁性材料的 Spintronics，如 MRAM
- b) 非磁性半導體材料的 Spintronics
- c) Spin-dependent 穿隧效應
- d) Spin-dependent confinement 效應
- e) Spin-dependent scattering 效應
- f) 在磁場下的 Spintronics
- g) Spintronics 的理論分析
- h) Spintronics 的實際應用

II. 新型材料與元件

1. 非晶矽、多晶矽薄膜元件與應用

1.1 前言

非晶矽、多晶矽及相關的薄膜製備技術，可應用在包括超大型積體電路、微機電感測元件、顯示器、及光電元件等領域。除了傳統習知的 LCD 面板、太陽電池、感光元件與發光二極體外，近來業界與研發單位也積極地將相關的薄膜電晶體(TFT)技術應用於有機發光或場發射顯示器，並嘗試將面板系統化。同時，在微機電與生化感測器的應用方面，也可發現有愈來愈多的相關研究出現，顯見此類技術發展之多樣化，與其潛力和重要性。

1.2 國內外研究現況

薄膜電晶體(TFT)仍是相關領域內最主要的研究主題，特別是在 LCD 平面顯示器的應用。雖然以 excimer laser 再結晶的技術已漸應用於生產線上，但仍有許多單位繼續嘗試開發更先進的多晶矽薄膜製備技術。例如，近來 Fujitsu 發表利用 diode pump solid state CW laser 來使非晶矽結晶[1]，其晶粒呈長條狀，且大小遠較傳統以 excimer laser 的方式為大，所得到的元件其 mobility 可大於 $500 \text{ cm}^2/\text{V}\cdot\text{s}$ ！還有香港與韓國的大學研究所[2][3]，發展以金屬引發再結晶(metal-induced crystallization)的多晶矽薄膜技術，亦已證明可得到好的 mobility。同時相關技術，也有可能應用於三維多層的電路技術。

為了提昇顯示器的品質，面板系統(System-on-Panel, SOP)是未來的必然趨勢。所謂的 SOP 是指將 memory、DA converter、amplifier、driver 等電路直接製作於面板上，但不含 CPU(因為沒必要)。SOP 的優點包括畫質提昇，省電等，目前已有將 SRAM 製作於 pixel 的產品。其主要的問題為相關的電路設計，製程整合，TFT 元件特性的控制，這也是目前國內外各大廠與研發單位的主要研究方向[4][5]。

多晶矽銻的薄膜技術與應用近來又受到矚目，除了用在 CMOS 的閘極外，微機電的應用可能更具潛力，包括歐洲的 IMEC 及加州大學 Berkeley 分校均已投入相關的研究[6][7]，它的優點包括：良好的機械性質、可達極低的阻值、容易加工、容易加與與 CMOS 整合、及非常低的製程溫度。

國內目前也有許多學術單位投入相關領域的研究，近來較受矚目的成果包括：交大的 excimer laser 再結晶技術與相關的新式薄膜電晶體元件結構，國家毫

微米實驗室的蕭特基雙向性(ambipolar)薄膜電晶體技術，台大的非晶矽鍺 X 光感測器，中央大學的 MSM 光感測器，及成大的非晶矽/矽碳膜感測元件及應用等。

參考資料：

- [1] F. Takeuchi et al., Tech. Dig. AMLCD'01. p.251 (2001)
- [2] Z. Jin et al., J. Appl. Phys. Vol.84, p.194 (1998)
- [3] S. W. Lee et al., J. Appl. Phys. Vol.85, p.7180 (1999)
- [4] T. Maeda et al., Tech. Dig. AMLCD'01. p.13 (2001)
- [5] S. J. Battersby, Tech. Dig. AMLCD'01. p.5 (2001)
- [6] S. Sedky et al., IEEE J. MEMS, Vol-7, p.365 (1998)
- [7] A. E. Franke et al., MRS Bulletin, Vol-26, p.291 (April, 2001)

1.3 規劃之研究重點

綜觀國內外的研究發展情況，配合微電子學門未來發展的趨勢，僅建議下列研究的重點項目：

1. 非晶矽與多晶矽薄膜之製備與材料特性研究。
2. 新式元件結構發展與分析。
3. 薄膜電晶體可靠性。
4. SOP 薄膜電晶體電路設計、模擬、與製程整合。
5. 低溫雷射再結晶多晶矽薄膜技術之開發。
6. 金屬引發再結晶多晶矽薄膜技術之開發。
7. 三維多層薄膜電晶體與電路技術之開發。
8. 矽鍺薄膜技術與元件應用。
9. 製作於塑膠基板上之低溫薄膜電晶體製程發展。
10. 光電元件及其他感測器之開發。

2. Strained Si MOSFET

2.1 國內外研究現況

Strained Si 可使原來簡併的 6 個 conduction valleys，在 tensile strain 下，與 uniaxial 同向的 2 個 valley 能量變低，另外 4 個變高。在電子沿 biaxial 方向傳導時，可減少 intervalley scattering，而且傳導的有效質量為 transverse effective mass (約為 $0.19 m_0$)，如此可增加 low field mobility，以及 saturation velocity。同樣在 valence band，tensile strain

可將 light hole 能量往上增加，heavy hole 能量向下，使得傳統電洞的 mobility 及飽和速度均增加。因此用 strained Si 做出的 PMOSFET 及 NMOSFET 在相同的顯影技術下，其速度均較傳統 Si MOSFET 快。因此引起了大家的興趣，其研究方向建議為：

2.2 規劃之研究重點

1. Substrate engineering：要使 Si 產生 tensile strain，必須將 Si 成長在晶格常數較 Si 大的基材上，如 SiGe、GaAs。
2. Strain engineering：調整 Si 受 strain 之大小，將 band structure 最佳化，得到最大的 mobility 和飽和速度。
3. Defect engineering：為了能夠使用於 VLSI，材料 defect 密度必須減少，如何使 strained Si 與其 substrate 之間 defect 密度夠小，必須能利用新的技術，如 SOI substrate，或 wafer bonding 之技術。
4. Compensated strain Si/Ge structure：為了進一步提高 hole mobility，必須有純 Ge 的 channel，使得 hole mobility 到達 $1500 \text{ cm}^2/\text{V}\cdot\text{S}$ 。
5. Buried channel vs surface channel：為了避免 Si/SiGe interface roughness scattering，或者是 Si/SiO₂ roughness scattering，必須設計最好的元件結構，增進元件速度。
6. 次微米元件製作：可與國家實驗室配合，嘗試將此技術用於次微米元件之製作。
7. 其他相關研究。

References:

- (1) Z.-Y. Cheng, M. T. Currie, C. W. Leitz, G. Taraschi, E. A. Fitzgerald, J. L. Hoyt, and D. A. Antoniadis, "Electron Mobility Enhancement in Strained-Si n-MOSFETs Fabricated on SiGe-on-Insulator (SGOI) Substrates," IEEE Electron Device Letters, Vol. 22, no. 7, pp. 321-323, 2001.
- (2) K. Rim, J. L. Hoyt, and J. F. Gibbons, "Fabrication and analysis of deep submicron strained-Si n-MOSFETs," IEEE Trans. Electron Devices, Vol. 47, no. 7, pp. 1406-1415, 2000.
- (3) Y. Ishilawa, N. Shibata, and S. Fukatsu, "SiGe-on-insulator substrate using SiGe alloy grown Si(001)," Appl. Phys. Lett., Vol. 75, pp. 983-985, 1999.
- (4) R. Powell, S. S. Iyer, and F. K. LeGoues, "New approach to the growth of low dislocation relaxed SiGe material," Appl. Phys. Lett., Vol. 64, no. 14, pp. 1856-1858, 1994.
- (5) S. Takagi, J. L. Hoyt, J. J. Wesler, and J. F. Gibbons, "Comparative study of

phononlimited mobility of two-dimensional electrons in strained and unstrained Si MOSFETs," J. Appl. Phys., Vol. 80, pp. 1567-1577, 1996.

3. 有機半導體材料及元件

3.1 前言

近年來，隨著有機導體、絕緣體、及半導體的齊備，有機半導體在主動性電子及光電(子)元件的領域裏，如發光元件、薄膜電晶體、感測元件等，獲致快速的進展。一般而言，有機半導體元件具有薄膜元件及低溫製程之特性，製程較傳統無機半導體簡化，適用於各種基板以及大面積的製作方式，因此訴求與傳統無機半導體有明顯區隔之應用。有機半導體的發展至今始進入初期的應用階段，所以無論是在元件製程、元件物理、新材料的開發以至應用的技術上，均蘊含許多發明與創新的機會，為一豐富、前瞻及適合跨領域合作之研究領域。

3.2 國內外發展現況：

在各種有機半導體元件中，有機薄膜發光二極體(Organic Light Emitting Diodes, OLEDs)由於具有自發光、低電壓、高效率、高亮度、全彩、廣視角、快速應答速度、及機械可撓性等相對於其它現存顯示器技術的特性，所以對於有機薄膜發光二極體材料、元件、及應用上的研究，無論是學術界或工業界都非常積極。近幾年來陸續已有多家國際性的電子公司，發表各種彩色高階之被動矩陣或主動矩陣式 OLED 顯示面板原型，並先後已有數家國內外公司進入 OLED 顯示器的量產。體會到 OLED 技術的潛力與重要性，目前在國內研究機構如工研院、中研院、各大學材料、化學、光電、電機相關科系亦相當積極地參與 OLED 的研究。

有機發光元件的快速進展，連帶地帶動其它有機半導體元件，如有機感光元件、有機太陽能電池、有機薄膜電晶體、有機生化感測元件、甚至高溫有機超導體元件等的大幅度進展，預期的應用包括大型的影像感測陣列以及以低成本的塗佈或印刷方式製作在各式基板上的中、小規模積體電路或光電積體電路等，不少公司是以超低價位、用量極大之小型消費電子(如電子識別、電子標籤、智慧卡、可撓性塑膠 IC 等)為目標。

3.3 規劃重點

1. 有機薄膜(半導體、絕緣體、導體)成長技術與物性分析。
2. 有機發光元件製程、結構與光電特性。
3. 其它有機半導體元件製程與基礎研究。
4. 有機光、電元件積體化系統及技術。
5. 有機元件可靠度。
6. 有機/無機半導體元件整合、應用。

4. 非揮發性記憶體元件

4.1 前言：

利用半導體技術所衍生出來的各式記憶體元件，如 DRAM，SRAM，NVSM 等，在目前的半導體產業中佔了舉足輕重的地位。隨著日益成熟的技術，這些記憶體也被廣泛地應用於個人電腦、行動電話、網路等方面，已成為生活中不可或缺的重要電子產品。但由於半導體世代的不斷向下微縮，這些現有的記憶體將面臨一些挑戰，如 DRAM 的漏電流所造成的功率消耗、SRAM 所佔的面積過大、FLASH 中的 SILC 及讀/寫時需高電壓等問題。因此，我們需要去開發新的記憶體元件，其具有高密度、非揮發性、讀/寫速度快及不限讀/寫次數、低操作電壓、低功率消耗、與現有的 CMOS 製程相容等優點。目前崛起的一些新型半導體記憶元件有 MRAM、FeRAM、OUM、SET、SESO、MFSFET、polymer memories、SONOS、TRAM、IBTD memories 等。其中，MRAM 及 FeRAM 被認為極具潛力，因為這兩種記憶體元件不但具有上述的優點外，也有抗輻射的優點。而且，MRAM 及 FeRAM 可以同時兼具 DRAM 及 NVSM 的功能。此外，OUM 的潛力也不容忽視。

MRAM 中已發展出的有(1)利用巨磁電阻(GMR)材料的自旋閥(spin valve)結構，(2)利用 GMR 的 Pseudo Spin Valve (PSV) 結構，(3)利用磁性穿隧界面 (MTJ) 的結構。由於 GMR 的阻值變化只有約 5%到 15%，變化率不夠大，加上所佔的面積較大。相較之下，MTJ 結構具有 40%的阻值變化，及面積小的優點。因此，MTJ 結構被視為最有希望與傳統 RAM 競爭市場的 MRAM。

FeRAM 目前發展的重點為 ITIC 的結構，所使用的鐵電性材料有 PZT 及 SBT 兩種。PZT 有材料疲勞問題，易造成可靠性爭議。隨著不同的製程世代，操作電壓與鐵電性薄膜的厚度都將降低。因此，未來具有較高穩定性及 endurance 的 SBT 將逐漸取代 PZT 成為主流。

4.2 國內外發展現況：

MRAM 方面：

- 國內的聯邦半導體於 2000 年成功研發出 1MB 的 PSV MRAM。
- IBM, Motorola, HP, Infineon 致力於 MTJ 結構的 MRAM。IBM 預計 2004 年量產 256MB MTJ RAM。
- Honeywell 研發 GMR 技術，並已量產相關的產品。

FeRAM：

- 國內只有少數學界教授及業界之旺宏有單打獨鬥之零散研究。
- Infineon 及大多數的日本公司都朝 1T1C 發展。Infineon 於 2000 年發表 1T1C 加上 depletion 元件，用以改善可靠性問題。
- Fujitsu 發展出新的 reference 電路及改善製程中產生的 crystallization。
- Samsung 研發出新型 sensing 架構，是利用 gate oxide reference cell 來產生一均勻、無疲勞現象的 reference cell。
- 發展 CMVP (Capacitor on Metal/Via-stacked-Plug) 技術，降低因後段製程對電容特性所產生的退化影響，以便與標準 CMOS 製程相容。

4.3 規劃重點：

MRAM：

- 研發具有高阻值變化率的 MTJ 結構及與目前 CMOS 製程相容的低溫磁性材料製程技術。
- 改善沉積 ferromagnetic 材料及 tunnel barrier 薄膜在晶圓上的均勻性。
- 設計新的 MTJ cell，縮小面積 ($\sim 8f^2$)。
- 建立 MRAM 電性方面相關的可靠性分析。
- 發展 spintronics 及磁性半導體。

FeRAM：

- 研發穩定性的鐵電性材料 SBT，及其相關的低溫製程技術。
- 將 FeRAM 與現有的 DRAM 技術進行整合。
- 開發 FLASH-like 的 FeFET。
- 將 FeRAM 用於 SOC 中的 embedded memory。

參考文獻：

1. M. Johnson, *IEEE Spectrum*, p.33, 2000 and reference therein.
2. B. Prince, *New Memory Technologies* and reference therein.
3. S. Parkin, *IEEE Nonvolatile Semiconductor Memory Workshop*, p.15, 2001
4. MRAM 及自旋電子元件研討會, 2000

5. Si and III-V Compound Integration

5.1 前言

Si 與 GaAs 為目前半導體材料中最普遍且最重要的材料，由於 GaAs 材料具有高速及優越的光電特性，可應用於微波元件與光電元件之領域，尤其最近在手機的功率放大器及低頻 RF 放大器的應用更是蓬勃發展。目前 GaAs 工業每年約有 50% 的成長，相當驚人。而 Si 材料挾其低成本及已具有高度成熟之技術，可完成複雜之電子電路並應用於 VLSI 及 ULSI 上。但 GaAs 目前無法製作出高品質之大面積晶圓（目前僅到 6 吋），而 Si 雖已可製作出 12 吋晶圓，但在光電及微波的表現上卻遠不如 GaAs。若能將此兩種之優點結合在一起，製成 GaAs/Si 異質磊晶，且達到實用程度，將可完成許多特性優越之裝置。但由於 Si 與 GaAs 材料兩者之晶格常數及熱膨脹係數之差異頗大，加上兩者之極性與非極性造成之反向區域問題，使得 GaAs/Si 磊晶及元件的研究出現瓶頸。因此，目前 GaAs 磊晶均侷限於長在 GaAs 基底上，不但價格高且晶圓尺寸小。但最近美國 Motorola 公司宣稱已成功將 GaAs 長在 12 吋 Si 晶圓上，此項重大研究成果，的確使沈寂一時之 GaAs/Si 研究受到極大之鼓舞，值得我國在 GaAs/Si 之研究上投注更大的力量，以迎頭趕上。

5.2 國內外發展現況

多年前國內外曾對 GaAs/Si 磊晶材料及元件的研究相當熱衷，也有不錯的成果，但始終無法進一步突破，目前 GaAs 仍以長在 GaAs 基底上為主，且面積亦無法與 Si 晶圓比擬。之前的 GaAs/Si 磊晶研究方向大致為：

1. 兩段式溫度成長 GaAs。
2. 以與 GaAs 有近似晶格常數及熱膨脹係數的 Ge 為緩衝層 (Buffer layer)。但 Ge 的 outdiffusion 相當嚴重，尤其對 undoped or lightly doped materials 影響更大。
3. 以 superlattice (例如 GaAs/Al_xGa_{1-x}As，每層小於 100 Å) 為緩衝層，雖能有效降低缺陷密度，但其密度仍高於 GaAs/GaAs 同質磊晶層 2-3 orders。

4. 以厚的 GaAs 或 AlGaAs undoped layer 為緩衝層，避免 Ge 緩衝層的 outdiffusion 問題，但此法仍無法與直接成長在 GaAs 基底的磊晶品質相比擬。

5. 以較低溫 MBE 成長，減少熱膨脹效應。

上述方法尚無法長出高品質且大面積的 GaAs 磊晶層。但自今年(2001 年)Motorola 公司宣稱已成功將 GaAs 長在 12 吋 Si 晶圓上，開發出應用於手機的 GaAs 功率放大器，造成全球震撼，並為 GaAs/Si 的研究及將來 GaAs 相關元件的發展指出一條潛力無窮的坦途。其方法主要是以鈦化鋇 (Strontium titanate) 為緩衝層，在將其長在 Si 前，先旋轉 45 度，如此可使鋇與氧直接與 Si 原子對齊，然後再將 GaAs 長在鈦化鋇上面，就可長出品質佳且大面積的 GaAs 磊晶片。

5.3 規劃重點

雖然至目前為止，以 GaAs 材料製程之元件的研究與其相關應用開發已相當多且廣，且 Motorola 成功開發出大尺寸 GaAs/Si 磊晶技術，使 GaAs/Si 研究大有可為，但將來國內在這方面的研究必須避免重蹈 GaN 系列材料的專利及技術被日亞公司壟斷的覆轍，以免造成日後國內相關產業被綁手綁腳的窘境，宜盡速朝向突破 Motorola 專利技術的方向前進，建議將來規劃重點如下：

1. 開發新的緩衝層材料及技術，尋找更高品質之大面積 GaAs/Si 磊晶技術。
2. 結合傳統緩衝層與鈦化鋇緩衝層技術及觀念，研究更佳的緩衝層技術。
3. 研究以不同磊晶技術（如 MOCVD、MBE...等）及突破 Motorola 技術方式，建立自主的 GaAs/Si 磊晶技術。
4. 積極在大尺寸的 GaAs/Si 上之元件研究開發及應用，並朝 MMIC、OEIC 及元件製程改良方向進行。
5. 開發大面積、高效率 GaAs 太陽能電池。
6. 研究在 Si 上成長 InP、GaSb、CdTe 及其他三元，四元等化合物半導體材料，並研發相關元件。
7. 其他以 GaAs 與 Si 結合的技術。

6. 分子電子

6.1 前言

把個別的分分子當作電子開關的研究始於 1974。當時 Aviram 與 Ratner 提出

了分子整流器的理論。至 1990 年代，由於製程技術的發展，使得更多的研究者投入分子電子的領域。分子電子可以應用在許多的地方，如邏輯電路，記憶體等等，其最大的優勢就是分子本身就是奈米等級的結構，不需要額外的加工，而且彼此大小特性一致，這有利於高密度電路的設計。而一般半導體元件則需昂貴的製程才可達到微小化。由於分子的微小架構，其元件必須利用量子效應來操作，這是與一般元件不同的地方。因此研究如何有效利用此一效應及研發新型電路架構是一重點。雖然分子的奈米尺寸有助於高密度的設計，但如何將分子緊密的排列在一起卻是極大的挑戰。關於分子電子元件的製造，目前有物理及化學的合成。其中化學合成法中的自我組裝(self-assembly)相當受到重視，對奈米製程技術有很大的影響。

6.2 國內外研究現況

分子電子元件包含了邏輯元件與記憶體。HP 與 UCLA 展示出可以利用分子來製作邏輯閘。MITRE 的研究者也展示出如何利用分子的整流器製作 adder。耶魯大學 Mark reed 的研究群發明了分子大小的記憶體。在製作方面，HP 宣稱已利用自我組裝的方法在 Si 表面製作分子線。美國的 DARPA 計劃有分子電子分項，其中最終的目的就是要製造出高計算能力的邏輯電路(10^{12} gates/cm²)與高密度的記憶體(10^{15} bits/cm²)，這些元件相當微小且消耗很小功率。最重要的是，它們不需要利用昂貴的製程設備來製造。提出研究計劃的單位包括 Notre Dame, California, Rice, Harvard, Vanderbilt, Colorado, UCLA 等大學，與 HP, MITRE 等機構。範圍則包含了模擬，一般邏輯單元，記憶體，新型量子邏輯架構等元件的設計，與自我組裝的製程方法。在國內方面則尚在萌芽階段。

6.3 規劃重點

1. 分子材料之研究
2. 電子於分子內之傳輸機制
3. 分子間之可靠連結
4. 分子導線
5. 自我組裝之機制與生產方法
6. 分子邏輯元件之研究
7. 分子於記憶體之應用
8. 無接線式的邏輯架構

7. 光學干涉微影與解析加強技術

7.1 前言

雖然美國半導體協會 (SIA) 的微影術地圖指南 (road map) 以確定波長 157 奈米光學微影術做為達成 70 奈米世代的主要技術，但光學微影術配合解析加強技術可以往下再延續多少世代，迄無定論。另一方面，目前許多奈米技術大多借助電子束微影來完成，通常限制於小面積，複雜圖案。相對地，光學干涉微影術可達到的線寬~50 奈米，若配合解析加強技術將可更小，一維或二維的圖案皆可達成。其特色在於曝光時間短，一次可完成相當大的面積。

7.2 國內外發展現況

光學干涉微影術與其延伸變化在 IBM (www.almaden.ibm.com/projects/snb100nm)，LL/MIT 國家實驗室，MIT，UNM 等機構皆有研發。其應用除了在磁光儲存，量子點元件製程，最近也用來完成製做 3-D 光子晶體。預期這方面的技術若配合解析加強技術例如相位偏移光罩，偏軸照射，光學鄰近效應修正，表面成像等，可突破光學極限。

7.3 規劃重點

1. 光學干涉微影術研究：真空紫外光光學測試平台的建立
2. 材料研究：衰減相位偏移膜材質的開發與量測
3. 模擬研究：微影解析加強技術的模擬
4. 製程研究：以突破光學極限為目標之新光學微影曝光系統的研發；選擇奈米元件例如光通訊用光子晶體作為標的。

3C 整合科技前瞻計劃

成果研討紀錄

90年度3C整合科技研究計劃概況

	申請	通過
總件數(件)	96	57
總金額(元)	100,547,018	50,242,800
通過比例	59.38%	
每案平均經費(元)	881,453	

近兩年計劃核定情形

	89年度	90年度
申請件數(件)	60	96
核定件數(件)	46	57
通過比例	76.67%	59.38%
申請經費(元)	72,641,768	100,547,018
核定經費(元)	44,072,400	50,242,800
每案平均經費(元)	958,096	881,453

九十年度國科會補助 3C 專題研究計畫成果研討審查意見表

海報編號	總計畫名稱	審查意見及建議事項
6A01 6B01	多媒體與多重服務之位用戶迴路通訊系統—總計畫	<ol style="list-style-type: none"> 1. 個別子計畫有良好結果。軟體系統模擬與硬體系統設計尚未整合，此部份在三年內均完成，似有困難，可先在硬體部分進行整合。建議將系統整合之部分考量於第三年之成果中，並提出 Application 及 Testing 之 Scenaria。 2. 須邀請一位教授作 hardware integration 工作，並加上 controller (選用 8051 或 ARM)，並及早確定各模組之 specification，尤其是各 IP 之規格。希望三年內至少看到 SoC 整合在 FPGA 之驗證。 3. 並未特別說明 IC 與系統的測試該如何進行，建議朝 integration 的方向來進行；XDSL Flexible Architecture is good concept，可朝 XDSL Server 研究，增加其應用範圍，並應儘速確定 XDSL chip set 的詳細規格，以此發展相關晶片。。 4. 本計畫實際相當龐大，除了重點發展，或許 AFE 應有 back up plan，如開發困難，有其他代用之 solution 避免系統整合有問題。 5. 系統晶片可早日請業界參與，並注意系統 IC 之整合測試。 6. 應 focus 做好 VDSL，本計畫不急著把 wireless LAN 的晶片整合進去，第三年不應另外做 wireless 工作。
6A02 6B02	EHOME：電子家庭離型之設計與實作	<ol style="list-style-type: none"> 1. 目前展示已有不錯的成果，第一年目標已達成，相當難得，且整合性很好，第一年將 Prototype 作出來，對後續的功能提升研究極有幫助，第二年規劃考量各種 platform 及各種 Service Protocol，porting 到不同系統，足具對此計畫的用心。但到目前為止，較缺乏創新技術開發，故應注意創新技術的研究，不光是實作的“苦工”。第二年、第三年應加強作國內產業界互補之工作，例如 Agent 等。 2. 8051 Java Card Virtual Machine 為正確方向，可加強 Low Power，Low Cost 可變成 EHOME 中重要 (多量) 之 Device。 3. EHOME WAP Architecture 可加深 study。目前 Architecture 可為基礎再發展。 4. EHOME 電子家庭計畫中，802.11 之整合應加強，以便提供 Video 之應用。 5. 本計畫可加強技術及應用的前瞻性，ThinOS 是本計畫的重心可多著力，intelligent agent 的成果應多突顯。 6. 可否有 multiple channel (含 wirelink)

6A03 6B03	單晶片無線 多媒體資訊 家電之設計 與製作	<ol style="list-style-type: none"> 1. 本計畫作 ARM Based PDA SoC with Wireless LAN，第一年按原進度進行，第二年計畫可行性高，且能考量未來的發展性，如 Encoder 之 DSP 之空間。未來應加強做產業界下一步需求的 wireless LAN 產品。 2. 本計畫可考慮把 802.11b 提升到 802.11a，以符合技術演進趨勢，並多重視 SoC design flow 和 verification，而可透過此計畫建立 methodology。所以希望 project 結束時，可以有 design flow 及其分析。 3. IP 與系統整合為重點，ARM Core 與電通所合作。 4. MPEG-4 Encode 尚未列入本計畫（因為 ARM9 無法達到），但此為關鍵技術，因 MPEG-4 抗干擾應用於 Wireless Application 相當重要故 MPEG-4 decoder / encoder 的 HW 設計應想辦法整合儘 SoC 裡。 5. 本計畫之整合規劃具實用性，善用 IP，增加可行性。（PDA 本身功能多，需很多 technology） 6. 比較沒看到創新性，時程應縮短。 7. IC Design 已有成果，尚待整合與驗證。
6A04 6B04	數位訊號處理 核心之指令及設計與 晶片實現	<ol style="list-style-type: none"> 1. 第一年 DSP 核心之實驗結果已有不錯的成果，包括改善 Computational power 及 provide higher code density。本計畫的系統整合應加強，Low power 之計畫與 Compiler 與 Core chip 整合，此 Core chip 才有意義及實用性，建議 compiler 等第二年需整合在計畫內。 2. 32-bit data，24-bit instruction，dual MAC 設計在 performance 上應稱中等。是否已有 instruction set simulator。 3. Dual ALU & Dual MAC 以提昇 High performance and code density 是好的嘗試。 4. Compound Instruction 可節省 code size，但建議有統計數據來顯示其效益。 5. 應及早整合 Low Power 架構與 Compiler 之研究工作，Low-Power 太重要了。 6. 本計畫應思考所發展的 DSP core 的技術超越性，並儘早確定 DSP 規格，包括 instruction set。 7. 處理器硬體架構已有相當完整設計，缺乏軟體開發工具（compiler 等）。

6A05 6B05	數位訊號處理核心之低功率設計	<ol style="list-style-type: none"> 1. 本計畫以 compiler solution 降低 power consumption 已有初步不錯的成果。第二年以後 6A04 和 6A05 需有一個整合計畫，形成較有用的 DSP 處理器，不應以子計畫型態單獨進行。 2. 目前工作重點在於 VLIW instruction Horizontal / vertical scheduling，雖然 Haming distance 減少，但會不會導致 memory access BW 增加？整合工作要加強。 3. Horizontal Scheduling 13% power saving Improvement (4way)，20% (8way)，加上 Vertical scheduling 可再省 7% ~10%，Stack-base Buffering 可 save power 達 40%，建議以一個 Existing DSP 或 RISC 來 Implement，以對照結果。 4. 應即早整合 Low Power 架構與 Compiler 之研究工作，Low-Power 太重要了。 5. 本計畫，使 low power DSP core 的目標可以順利達成。 6. Low Power 之計畫與 Compiler 與 Core chip 整合，此 Core chip 才有意義及實用性。
6A06 6B06	網際網路上隨處隨取多媒體服務系統之研製	<ol style="list-style-type: none"> 1. 第一年已有不錯的產品，並與產業界合作良好。本計畫在應用上應注意前瞻性，並導引技術研發的前瞻性，未來應注意 Focus 主軸，做好 3C 系統整合的工作。 2. 計畫內容與題目涵蓋範圍不符，當初建議希望能 focus 在一個 Application Scenario，有一個主軸能將各子計畫整合成果 show 出來，本計畫原規劃 SoC 研發，是否仍然維持原研發方向。 3. 做太多 implementation work，有多種平台。希望能集中，例如選定 MIPS core 或 ARM core 一種。整合性不足，希望能加強。IP 部分希望能 deliver。 4. DVR System 可擴充到 16 channel Video-In、fps。 5. H.324 列入第二年的 project，建議 skip H.324 project，因為 Broadband Network 發展相當迅速，可直接進入 H.323 可縮短與實際應用之距離。 6. 各子計畫不同應用 CPU：X86→MIPSARM like，應從開始要整合化一，不須換 CPU 環境費時，並強化網際網路上隨處隨取系統 value。 7. 需要 focus 將 Prototype System 先作出來，同時進行具前瞻性之 IP 研究，外界拿得到的 IP 應設法作 SoC 之 Integration。 8. Modified JPEG Performance 不錯，用於監控有產業上價值。 9. 個別項目（例如 audio / video codec）已有成果，但網路整合部分著墨較少。

6A07 6B07	以電力線傳輸之系統	<p>1. 成果依原預定進度完成，如果 Application 的 Data Rate 需求在 1M 之下，則計畫繼續進行還是值得鼓勵，不過可觀察最新的 standard，合宜的可採納。IP 部分希望能在計畫結束時 deliver。</p> <p>2. 後兩個子計畫 (Applications) 與群體計畫主軸似未有密切的配合。Bit rate 達 1Mbps 似為較保守，從應用實際需要建議 Data Bate 從 35Kbps 提高至 1Mbps (at least) (目前工業界已有 10Mbps 產品)。但建議先解決是否可提升 Power Line Communication 之 Bandwidth，否則加強家電網路系統，以避免未來應用發生危險。Power line 為目前房子必有的“wire”，尤其電器產品可藉其做網路控制，故有其開發 value。</p> <p>3. 應再評估 ARM Core 在此計畫中之意義。</p> <p>4. Power Line Architecture 影響 Error Rate，須先 Study。</p> <p>5. power line Based 傳輸做到 30 幾 K 已有初步成果。須與市面產品做比較，進一步提高 performance。</p> <p>6. 本計畫的 SoC 將包括 Power line, media processing 及 CPL，應注意研發時程，並注意國際技術的趨勢，尤其在 power line chip set 的現況，未來須注意做 3C 系統整合。</p>
6A08 6B08	架構於纜線數據機之媒體通訊	<p>1. 第一年已完成部分相關的成果，目前大致依原計畫完成，成果進展不錯，繼續進行。</p> <p>2. Cable Modem 最近是否有新版標準，可以注意一下，並與目前 Broad Com 產品進行比對，可預估欲達成之目標。</p> <p>3. Cable Modem Analog Circuits (Front End) Resign。</p> <p>4. 以 TI DSP Chip 來 Implement 並研究 New Algorithm 來 Improve performance。</p> <p>5. 建議提供和 T1 solution 比較，改進比較表，另加上 Broad com solution 的 study 是否可應用於改進的幫助。</p> <p>6. 前瞻性待加強。</p>

<p>無線數位語言教學系統總計畫</p> <p>6A09 6B09</p>	<p>1. 很好的 3C 整合計畫，進行情形良好，具有實用性的“創意”應用。須注意無線之整合，四個子計畫與總計畫之間，未來應進一步做好加強整合。Bluetooth protocol 儘早加進驗證。子計畫一成效很好。</p> <p>2. 自動文字 / 聲音同步，可發展獨立 Application。</p> <p>3. 可整合聲音之 Compression Algorithm，並考慮與 VoIP 技術整合成 Off-Time 與 Real-Time Education System。</p> <p>4. BT 應用於 Broadcasting (Education) 可避開 Device NO，Limit issue 應可再研究並澄清。</p> <p>5. 數位語言教學及學習系統已有不錯的成果，但本計畫應用 Blue-tooth 於多媒體教學，應多注意其 performance；本計畫屬於 HW 部分，應注意如何與語言教學整合。</p> <p>6. Application 很有意義，不過與 Wireless Transmission 之整合須儘早規劃進行。</p>
<p>具有信號處理能力的嵌入式微處理機的實現與應用</p> <p>6A10 6B10</p>	<p>1. 第一年已初步完成部分相關的成果，有具體成果，符合進度。未來繼續的可行性高。</p> <p>2. ARM9-like 之設計，不知有無 user-defined instructions ?</p> <p>3. RISC / DSP chip design，Better performance and umHi-users than ARM。</p> <p>4. ICE System 亦在計畫內。</p> <p>5. 應儘速解決 Cell Library 的問題。</p> <p>6. 已完成 IAM2000S 架構設計。</p>