

行政院國家科學委員會專題研究計畫成果報告

總計畫：頻率合成器及傳感介面電路

計畫編號：NSC 93-2215-E-002-031-

執行期限：93 年8 月1 日至94 年7 月31 日

主持人：林宗賢助理教授 台灣大學電子工程研究所

計畫參與人員：台灣大學電子工程研究所吳俊寬、賴宥任

I. 中文摘要

本計畫是針對用於 OFDM 傳收機中之高效能 CMOS 頻率合成器及感測器介面電路進行研究，而這個介面電路裡主要包含兩部分，其一為低電壓及低功率的三角積分類比數位轉換器，因為感測器系統可能是使用電池做為電源，所以需要低電壓及低功率以盡量減少功率消耗。為了要無線通訊傳輸，需要一個頻率合成器，本計劃中提出一 10GHz 具有快速選頻之頻率合成器。

關鍵詞：三角積分類比數位轉換器、資料轉換器、頻率合成器、選頻、鎖相迴路、相位雜訊

Abstract

Initially, this project was proposed as a sub-project of a 3-year NSC integrated project which aimed to develop a high-performance OFDM transmitter system for medical instrumentation systems. This project is responsible for designing a high-performance frequency synthesizer and key building blocks for the transducer interface module (for ultrasound applications). The integrated project was not recommended by the NSC, and the project became a one-year project. Therefore, we have focused our development effort in two key areas: an agile VCO frequency calibration for a 10-GHz PLL, and a low-power continuous-time dual-mode delta-sigma

ADC.

In the VCO calibration part, we have proposed a novel technique that can achieve agile frequency calibration. This enables a fast PLL frequency switching, which is important in many wireless communication applications (e.g. frequency hopping systems). This proposed technique is realized in TSMC 0.18um CMOS process and the chip is fully functional.

On the second part, we have developed a very low-power low-voltage continuous-time dual-mode delta-sigma ADC. Here, we have proposed an opamp circuit that is suitable for low-power low-voltage applications. We also proposed a sliding quantizer technique which can reduce the number of comparators, and therefore can reduce the power consumption. The whole ADC is also implemented in TSMC 0.18um CMOS process. At the time of writing this report, the chip is under measurement, and initial results suggest functional work. Detail characterization is still underway, and more measurement data will be available later.

Our research work has at least generated at least an IEE Electronic Letter paper, a domestic journal paper, and an IEEE international conference paper (A-SSCC).

Keywords: delta-sigma ADC、data converter、frequency synthesizer、frequency calibration、PLL、phase noise

II. 緣由與目的

目前至今，大部份的無線通訊系統都是應用於行動通訊或是與個人電腦相關的領域之上。但除此之外無線通訊仍可有其它重要的用途，例如在人體的生理監測上，我們可將感測器的訊號經由感測介面電路讀出後，再利用無線通訊傳出，如此可以對人體健康狀況做即時的監控。在非侵入式的生醫檢測用途方面，例如超音波成像，也可以用無線通訊取代纜線作為讀取頭與機器的連結媒介，這樣將可以增加超音波成像系統的便利性。由於預期超音波成像的資料傳輸量很大，因此採用 orthogonal frequency-division multiplexing (OFDM) 技術加上高階的調變(如 64-QAM)方式將是一個較為可行的方式。

本計劃原為一國科會整合型計劃之一子計劃，總計劃原先目標即為發展前述之應用於非侵入式的生醫檢測的 OFDM 無線發射器。總計劃因故未受推薦，所以本子計劃所規劃的三年研發內容必須擇要執行，因此我們決定將研究重點放在 Frequency Synthesizer 及 Continuous-time Delta-Sigma ADC 上。在頻率合成器部份，我們提出一個快速選頻的架構，可以使 PLL 大幅降低 VCO 跳頻所須時間，這在很多無線通訊系統上(如 Frequency Hopping Systems)相當重要。在 Delta-Sigma ADC 部份，我們著重於低電壓及低功率的電路設計，計劃中提出了一個 Operation Amplifier 的改良架構，並發展了一個滑動量化器的電路以減少比較器的數目。這兩大目標均已完成晶片設計及量測，並已獲得實際研究成果。

Publications related to this project (already accepted or published):

International Journal

Tsung-Hsien Lin and Yu-Jen Lai, "A Time-based Frequency Band Selection Method for Phase-Locked Loops," accepted to the *IEE Electronics Letters*.

International Conference

Yu-Jen lai and Tsung-Hsien Lin, "A 10-GHz CMOS

PLL with an Agile VCO Calibration," accepted to the *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2005.

Domestic Journal

Tsung-Hsien Lin, Yu-Jen Lai, and Ruei-Lin Syu "Fast VCO Frequency Calibration Techniques for PLL Applications," *Bulletin of the college of Engineering, NTU*, no. 93, pp. 31-38. Feb. 2005.

在本計劃之結案報告撰寫時，尚有其他論文正在撰寫及規劃中。

III. 研究報告應含的內容

本計畫之實作品片包含三角積分類比數位轉換器及頻率合成器，皆利用台積電 0.18um CMOS 製程實現。

1. 具快速選頻之頻率合成器

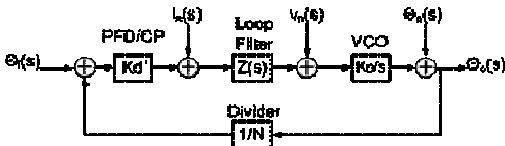
這計畫中所設計的 10 GHz 頻率合成器，有兩個創新的地方：高速選擇 VCO 頻帶的機制 (VCO Calibration、Band Selection) 以及降低 VCO 相位雜訊 (Phase Noise) 的電流偏壓架構。

鎖相迴路雜訊分佈源由如圖(一)所示，其雜訊源由 Charge Pump、Loop Filter 和 VCO 所產生，分別之閉迴路轉移函數特性為低通、帶通和高通之特性函數。將雜訊密度頻譜 (Noise Power Spectral Density) 乘上雜訊功率及轉移函數，即可得輸出 jitter。由 Charge Pump、Loop Filter 和 VCO 所得之輸出相位雜訊分別為方程式(1)、方程式(2)及方程式(3)。

$$\phi_{k_d}^2 = \frac{1}{2\pi} \int_0^\infty \frac{f_n^2}{\Delta f} |H_i(j\omega)|^2 d\omega = \frac{(f_n^2 / \Delta f) \alpha_1 \Gamma_1(\zeta)}{2\pi \alpha_1^2} \quad (1)$$

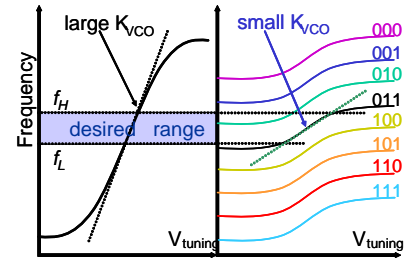
$$\phi_{\alpha_1}^2 = \frac{1}{2\pi} \int_0^\infty \frac{v_n^2}{\Delta f} |H_o(j\omega)|^2 d\omega = \frac{(v_n^2 / \Delta f) K_o^2 \Gamma_o(\zeta)}{2\pi \alpha_1} \quad (2)$$

$$\phi_{k_o}^2 = \frac{1}{2\pi} \int_0^\infty \frac{\omega_n^2}{\Delta f} |H_o(j\omega)|^2 d\omega = \frac{2\pi K_o}{\alpha_1} \Gamma_o(\zeta) \quad (3)$$



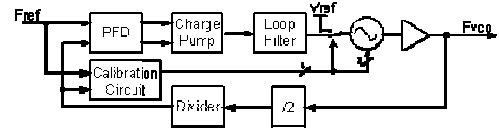
圖(一) 小信號分析圖

為了降低頻率合成器電路之輸出相位雜訊，可增加 ω_n (Loop Bandwidth) 及 k_d (PFD and Charge Pump Gain) 來降低輸出相位雜訊。但為了保持 PLL 之線性模型， ω_n 必須比輸入頻率 ω_{ref} 小十倍以上。而加大 k_d 卻有可能間接的使 V_{DD} 不穩定，因此可以降低 k_o (VCO Gain) 來降低 VCO 對於 VCO 輸入控制電壓 ($V_{CONTROL}$) 之敏感度。因此利用此概念為了降低 k_o 並且能夠相同的涵蓋原有所需的頻帶，因此利用 Switched Capacitors 來完成離散調頻之動作。其概念如圖(二)所示。



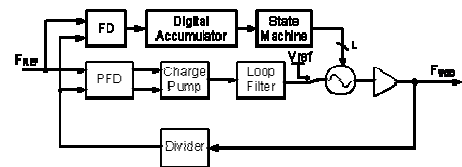
圖(二) VCO 對輸入電壓敏感度比較圖

本研究之電路架構如圖(三)所示，由基本的鎖相迴路外加一組自動快速選頻電路 (Calibration Circuit)。工作基本原理在跳頻電路被開啟後整個鎖相迴路於 VCO 輸入端 ($V_{CONTROL}$) 設定於一固定電壓值，使鎖相迴路整個迴路被打開而做開迴路跳頻動作。並在選頻電路選定完頻率範圍後即交還給鎖相迴路做閉迴路 (Close Loop) 鎖定之動作。本研究經由鎖相迴路開迴路 (Open Loop) 做跳頻之動作，比閉迴路來做跳頻動作快。



圖(三) 自動跳頻鎖相迴路架構圖

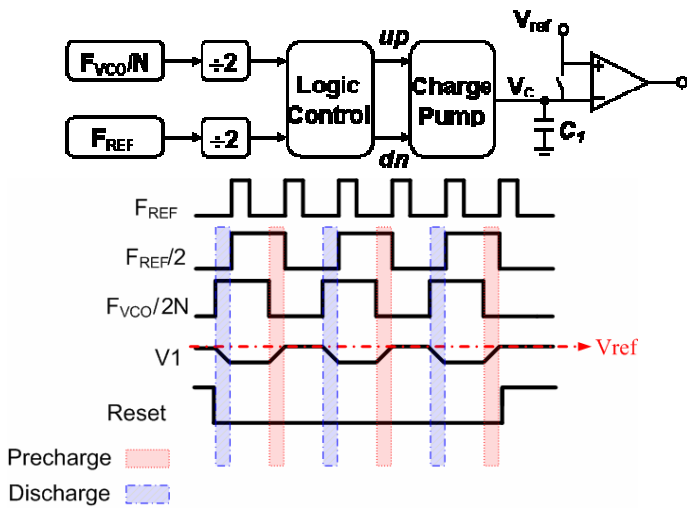
傳統開迴路選頻系統如圖(四)所示。此系統利用一高頻 clock 信號來對 F_{REF} 及 F_{VCO}/N 之週期做計數動作。此電路之缺點需要高速的計數 clock 或者降低 F_{REF} 及 F_{VCO}/N 頻率來增加比較週期之鑑別度。而高頻 clock 需要更高的功率消耗，降低比較頻率 (F_{REF} 、 F_{VCO}/N) 會使選頻速度變慢。



圖(四) 傳統開迴路選頻系統

本計畫所提出之方法能增加比較速度及降低功率消耗，其選頻系統概念如圖(五)所示。基本原理如圖(六)所示。為了得到 50% Duty Cycle 之週期信號，因此將 F_{REF} 及 F_{VCO}/N 個別經過除二電路，所得之

Pulse 寬度即 F_{REF} 、 F_{VCO}/N 之信號週期。在此，先假定 $F_{VCO}/2N$ 之相位比 $F_{REF}/2$ 的相位領先一定相位差。當開始比較兩信號週期時，比較 $F_{REF}/2$ 及 $F_{VCO}/2N$ 之正緣並對 V1 進行放電之動作，而在負緣並 V1 進行充電之動作。若 $F_{REF}/2$ 及 $F_{VCO}/2N$ 週期相同時，V1 電壓會與 V_{ref} 相同，藉由此基本原理可做快速選頻之動作。在此，仍假定 $F_{VCO}/2N$ 之相位比 $F_{REF}/2$ 的相位領先一定相位差。



圖(五) 選頻系統概念

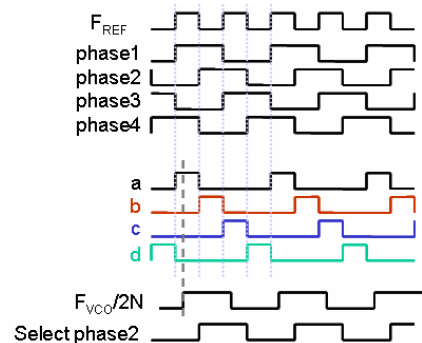
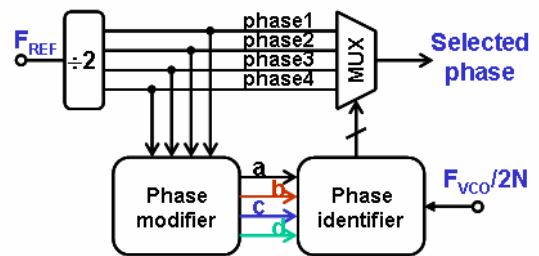
差做邏輯運算後，可得在單位時間內只有某個信號為高電位 (信號 abcd)。若 $F_{VCO}/2N$ 正緣訊號觸發到信號 a，即可於 Selector Output 取 Phase2 訊號得與 V_D 最近之相位。此及確保我們電路設計 $F_{VCO}/2N$ 之正緣訊號落在 $F_{REF}/2$ 正緣訊號前面之要求。

圖(八)所示為選頻 (Calibration Circuit) 電路架構圖。為了得到較高的準確度，因此將 F_{REF} 經由除八電路後並得八個相位差之訊號。將 VCO 經由除頻後訊號經由相位選擇器 (Phase Selector) 之 Phase Mark Circuits 與所得之八個相位做邏輯運算，經過 Trigger Circuits 得所需要的相位，並利用 Phase Mark Circuits 得與 $F_{VCO}/2N$ 訊號最近之相位。由於 Charge Pump 電路 PMOS、NMOS 特性不同與溫度製程變異而使所產生之充電與放電電流不同，因此加上 Charge Pump2 做固定的充電與放電，可得一個定量的參考電位。利用此電位與 Charge Pump1 做比較並將此訊號送至 Counter 做計數動作。若 Counter 溢位 (Overflow) 會將信號送給 Control Logic 作結束選頻之動作。為了避免 Charge Pump 產生 Dead Zone，因此在相位選擇器 (Phase Selector) 設定相位差範圍為 $45^\circ \sim 90^\circ$ 之間，使 Charge Pump 能有一定量的開啟時間。

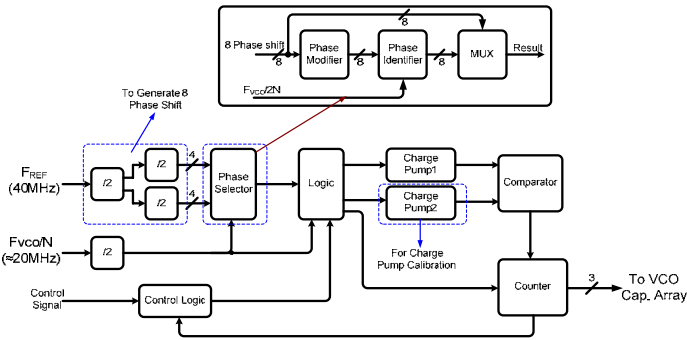


圖(六) 選頻電路基本原理 (2)

若 $F_{REF}/2$ 比 $F_{VCO}/2N$ 週期長時，如圖(六) (a) 所示，由於充電週期較長，得 V1 比 V_{ref} 電位高。反之， $F_{REF}/2$ 比 $F_{VCO}/2N$ 週期短時，如圖(六) (b) 所示可得 V_{ref} 電位比 V1 高。因此可以利用此法得到兩信號之週期差。前述所要求的條件是假定 $F_{VCO}/2N$ 之相位比 $F_{REF}/2$ 的相位領先一定相位差，此假定是為了使 $F_{REF}/2$ 及 $F_{VCO}/2N$ 做週期比較時能有更好的精確度。為了達成此條件，提出相位選擇器 (Phase Selector) 電路架構。其基本原理如圖(七)所示， F_{REF} 經由除二電路後，可得四個相位相差 90° Phase1~Phase4 (F_{REF} 為 Duty Cycle)。將此四個相位



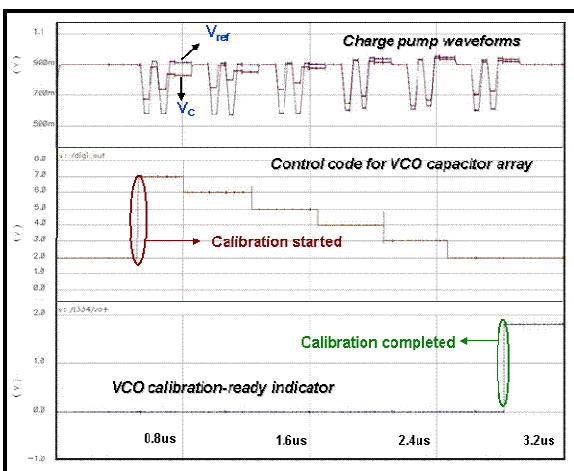
圖(七) 相位選擇器 (Phase Selector)



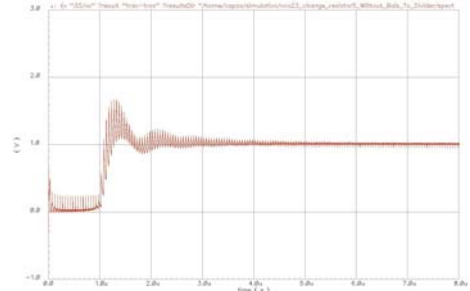
圖(八) 選頻電路 (Calibration Circuit) 架構

選頻模擬結果如圖(九)所示，為了增加每一次 calibration 的精確度，每一次 calibration 都對 charge pump 充放電兩個 clock cycle。圖中可以看出一開始 VCO 是在最低的 band (111)，做完一次 calibration 之後發現此頻帶沒有涵蓋所要輸出的頻率，進而 counter 下數到 110，再做一次 calibration。圖(九)模擬結果中顯示出一直到 VCO band 001 才涵蓋所欲輸出頻率，之後 calibration 電路會產生一訊號將鎖相迴路連接起來接著進行迴路 Lock 的動作。圖(十)為模擬時鎖相迴路進行鎖住之波形。

在深次微米的製程下，MOS 在低頻段閃爍雜訊，由供應電壓控制振盪器 VCO 之電流鏡電路，經由電路之負電阻對如同一個混頻器將此雜訊升頻至電壓控制振盪器 VCO 中心震盪頻帶的兩旁，以致在低偏移頻率之相位雜訊將會被此閃爍雜訊所主導。其傳統電路架構如圖(十一)所示。



圖(九) 選頻模擬結果

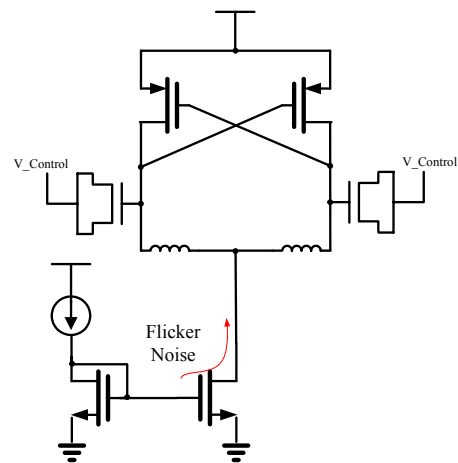


圖(十) 迴路鎖定

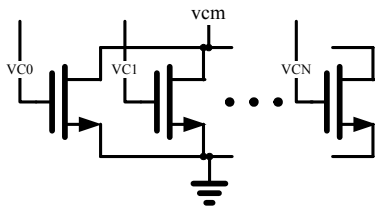
由於負電阻對可當成一個混頻器(Mixer)，將電流鏡 (Tail Current) 信號混頻至中心頻率的兩旁。由 Lesson Noise Factor 方程式所示，其中 gm 為電流鏡 (Tail Current) 之轉導，

$$F = 1 + \frac{4\gamma IR}{\pi V_o} + \gamma \frac{4}{9} gmR$$

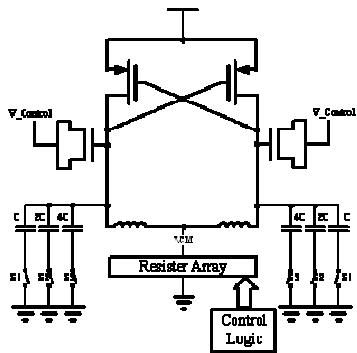
為了降低 noise 被 gm 放大而產生過大之相位雜訊，本計劃提出利用圖(十二)所示之 Resister Array 電路架構來取代傳統之電流鏡(Tail current)電路，使提供偏壓電流之電晶體操作於三極管區，有教小的 gm。圖(十三)所示，為 VCO Core 之架構圖，利用邏輯控制來選擇我們所需要之 VCO Core 電流。並且接上三對切換電容電路 (Switch Capacitor) 藉以增加 VCO 之振盪頻率範圍。由於 PMOS 在製程上有 NWELL，因此利用 PMOS 有較高的雜訊隔離能力作為負電阻源。圖(十四)、圖(十五)、圖(十六)、圖(十七)皆為所量測到之結果。圖(十八)為 chip photo。表(一)為效能摘要。



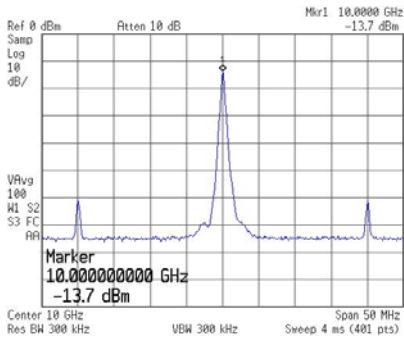
圖(十一) 傳統震盪器架構



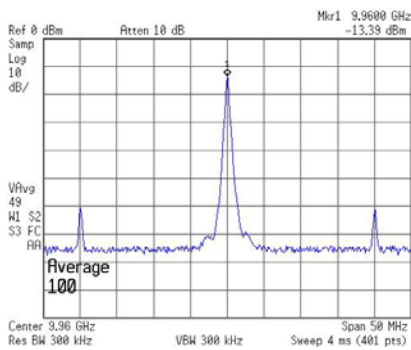
圖(十二) 三極管區電阻陣列



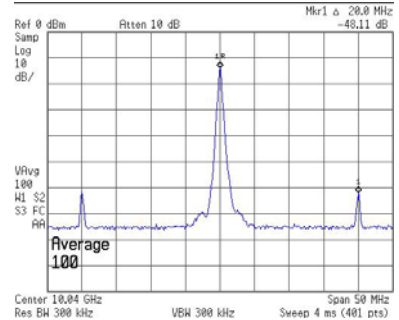
圖(十三) 本計劃震盪器架構



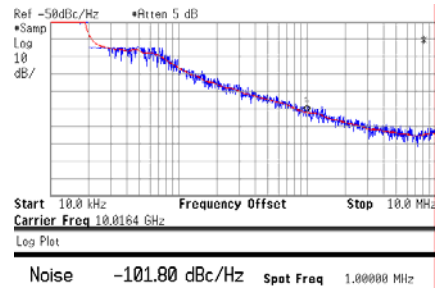
圖(十四) PLL Output Spectrum @ 10.00GHz



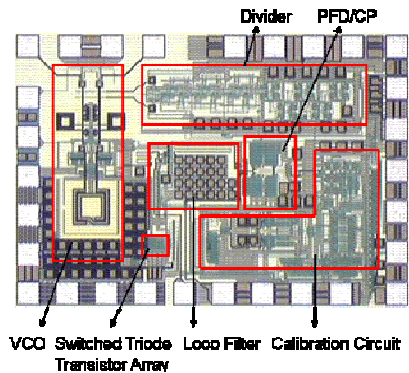
圖(十五) PLL Output Spectrum @ 19.96GHz



圖(十六) PLL Output Spectrum @ 10.04GHz



圖(十七) VCO Phase Noise



圖(十八) chip photo

Process	TSMC 0.18- μ m CMCS 1P6M
Supply Voltage	1.8 V
Frequency Range	8.67 GHz ~ 10.12 GHz (14.5%)
Phase Noise @ 1 MHz	-102 dBc/Hz (@ 0 GHz)
Reference Sour	< -48 dBc
VCO Tuning Ga n	~ 330 MHz/V (8 sub-bands)
PLL Loop BW	670 kHz
PLL Locking Time	< 3 μ s
Calibration Time	< 4 μ s
Power Consumptions'	(at 10 GHz)
VCO	10/36 mW (min/max)
Divider	31 mW
PFD/CP	3 mW
Calibration	3 mW
Total	44/70 mW (min/max) (no cal.)
Chip Size	1400 μ m x 963.5 μ m

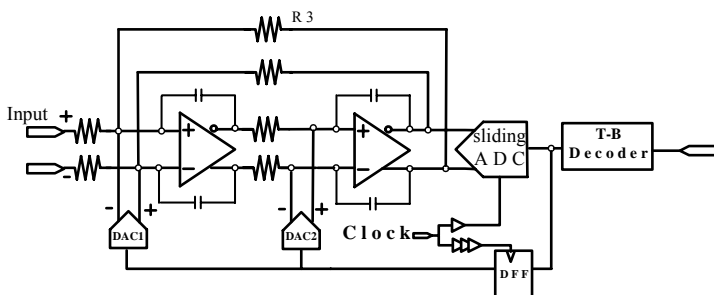
表(一) 效能摘要

2. 三角積分類比數位轉換器

一般無線通訊通常為窄頻通訊，為了更減化其架構通常希望類比到數位轉換器在頻帶內可有更高的抗雜訊能力，另一方面也希望可以在低電壓低功率下操作，因此三角積分類比到數位轉換器通常是很好的選擇，而從 2000 年起此類電路相關論文如雨後春筍被發表，而一開始相關論文以離散時間三角積分類比到數位轉換器為主，但到了 2002 年之後，連續時間三角積分類比到數位轉換器則大量的被發表，原因為連續時間三角積分類比到數位轉換器通常耗費功率比較低而且具有 anti-aliasing 的性質。因此本計畫便以完成一個適用於感測器界面的低功率連續時間三角積分類比到數位轉換器為目標。

(1) 架構簡介：

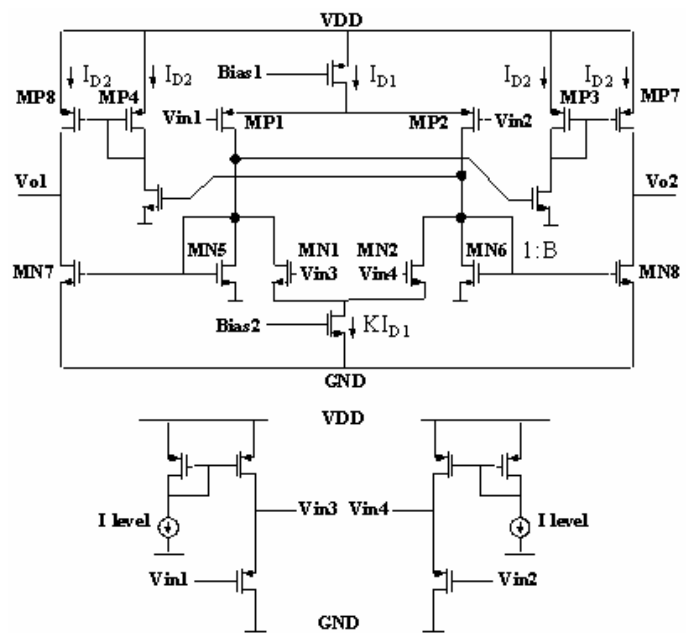
圖一為本計畫所使用的系統架構圖，在此架構中以電阻 R3 當作切換，R3 on 為 BANDPASS MODE，R3 off 為 LOWPASS MODE 可適用於不同通訊規格達到多種應用性。一般在設計連續時間三角積分類比到數位轉換器時，會最先考慮三角積分類比到數位轉換器的階數，超取樣比率 (oversampling ratio)，及內部 QUANTIZER 的 BIT 數，因為這些主要參數直接決定連續時間三角積分類比到數位轉換器的性能。此次電路為二階 4 bits，超取樣比率為 24，此架構優點為利用二階可以減少使用太多運算放大器的功率消耗，另一方面使用多位元迴授提高解析度(SNR)，如此可以順利的獲得一低功率且性能優異的連續時間三角積分類比到數位轉換器，將在模擬結果中有詳細說明，接下來將討論各個內部電路。



圖一 系統架構圖

(a) 運算放大器：

由於運算放大器是決定系統效能的一個很重要的子電路，而又選擇低電壓操作 (1.2V)，因此發展出一個新的架構如圖二，在設計時避免疊接電晶體以適合低電壓操作，而為了低功率操作，藉由第一級的低輸出組抗來避免使用頻率補償技術，但是由於缺乏高的輸出組抗所以電壓增益將會有所不足，因此一些採用電流的加成來彌補輸出組抗的不足，圖二中的 MN1 及 MN2 同時提供了一個 DC 及 AC 的電流路徑，以 DC 電流路徑而言，MN1 及 MN2 將會從 MN5 拉走一部份電流，這將可以適當的增加第二級的輸出組抗，並且由於此差動對也提供了一 AC 的電流路徑，因此也會將電壓增益在往上提升，並且不耗費多餘的功率，而我們也用了主動電流鏡再將電壓增益增加兩倍，藉由上述觀念可以獲得所需的電壓增益。

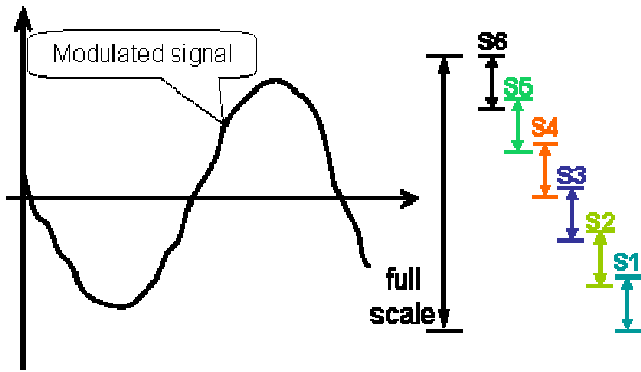


圖二 低功率運算放大器

此次架構中採用了二階主動電阻電容濾波器，因此利用此運算放大器，可以克服因為負載效應而大幅減低第二級的輸出組抗，進一步有效的驅動電阻。

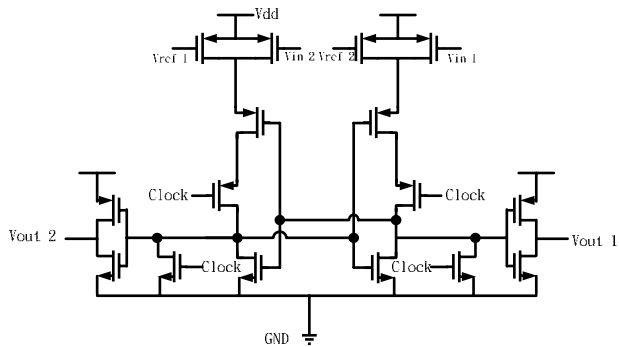
(b) 滑動式 4 位元量化器：

本計畫以可產生四位元之滑動量化器 (sliding quantizer) 來取代原本電路，由於一般之三角積分

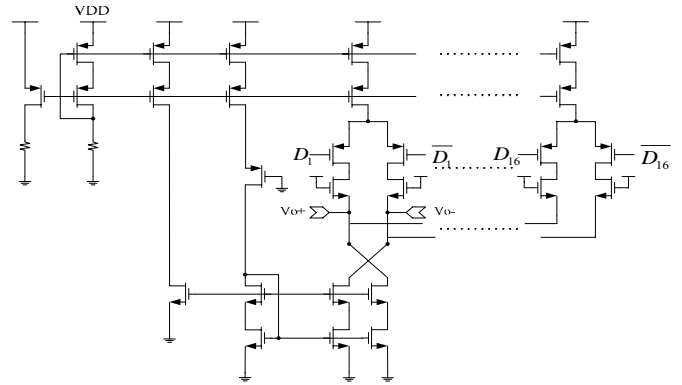


圖三 輸入訊號與所對應狀態

調變器都具超取樣的特性，並且通常是適用特定頻帶中，所以可以找出經調變過後訊號的規律性並估計其轉移函數 (TRANSFER FUNCTION)，當然由於量化的過程並非一個線性過程，因此其轉移函數很難精確定義出調變過後的訊號 (在進入量化器之前的訊號) 的振幅大小，即使雖不能精確定義每一點的輸出波形，但由於量化誤差本身的數值，在適當的設計下，應該會小於一個 LSB，因此配合上輸入訊號的頻率及波形以及取樣的頻率，可估計出在進入量化器之前的訊號變化的趨勢，通常進入量化器之前的訊號，在高的取樣頻率下 (通常對三角積分調變器而言是成立的)，進入量化器之前的訊號會循序的變化，因此可根據其振幅範圍將之區分為六個狀態如圖三，也就是說通常對多位元的三角積分調變器而言，通常處在其中某一個狀態而並不會同時使用到所有的比較器，亦即可嘗試的以更少的比較器及藉由切換參考電壓來完成比較的动作，如此一來可以在功率及線性度上，有改善的空間。所以我們希望以較少的比較器來實現原本必須由十五個比較器所實現的四位元三角積分調變器，在此我們



圖四 低功率的動態比較器



圖五 數位到類比轉換器

選擇五個比較器配合控制電路，並且由控制電路產生六個狀態，來適當的選擇比較的訊號並且重建訊號。

在此架構中採用了一個低功率的動態比較器如圖四，此架構可以有很低的功率消耗，但其解析度及製成偏移較為敏感，但由於三角積分類比到數位轉換器本身有極強的抗雜訊能力，因此動態比較器可是適用於本系統。

(c) 數位到類比轉換器：

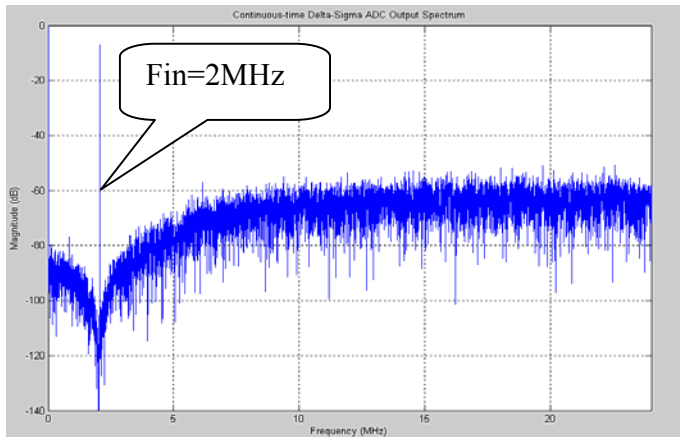
由於在連續時間三角積分類比到數位轉換器中，需要數位到類比轉換器以產生回授路徑，在此選用 current-steering 的數位到類比轉換器如圖五，又為了減少控制電流的開關在切換時的雜訊，我們選用了疊接架構，在開關下方也接了一個導通元件更減低雜訊的影響。

(2) 設計流程：

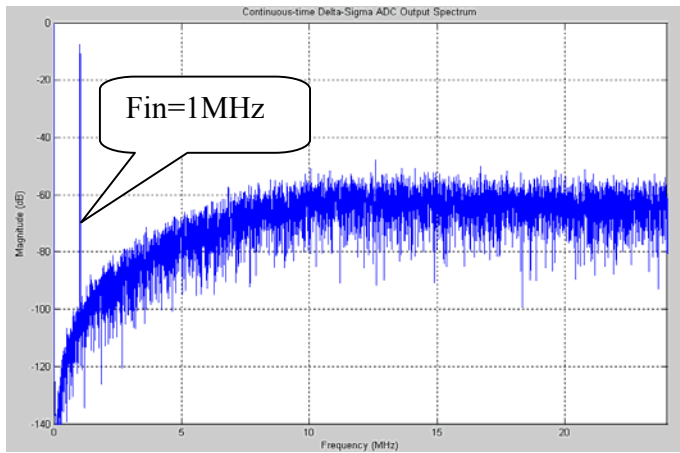
在設計三角積分 ADC 時，先從系統架構著手，此時可以利用一些像 MATLAB 等的軟體，求得一些系統參數，當我們獲得此組參數後，接下來便可以適合的電路來實現此系統，在實現電路的過程中，可以先以一些理想方塊來模擬，最後再以 Cadence 中的 SpectreRF 來完成整個電路。

(3) 模擬結果：

就連續時間三角積分 ADC 而言最重要的性能優劣依據是訊號與雜訊的比 (signal to noise ratio)，而我們利用 MATLAB 來完成如圖六，由此模擬的結果可以證明此電路架構確實可以達到系統需求。圖六為 R3 on 時為一 bandpass ADC 適用於 Low IF 系統。



圖六 The SNR =68dB for $F_{in}=2\text{MHz}$ with bandwidth=1MHz

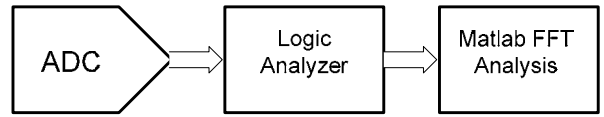


圖七 The SNR =64dB for $F_{in}=1\text{MHz}$ with bandwidth=2MHz

圖七為 R3 off 時為一 lowpass ADC 可應用在 direct conversion mode ADC 之 simulation result。

(4) 量測考量：

一般 ADC 在測試上有兩種方法如圖八及圖九，圖八的方法是將 ADC 輸出的訊號經由邏輯分析儀接收，再將接收的訊號以 Matlab 作 FFT 加以分析，而圖九的方法則是將 ADC 輸出的數位訊號經由 DAC 再轉換成類比訊號，之後再以頻譜分析儀觀察，分析 ADC 的輸入類比訊號跟 DAC 的輸出類比訊號之間是否有誤差。基本上將會採取圖八的方法做分析，而如果時間充裕，也會使用圖九的方法加以分析並與下圖八的方法做比較。

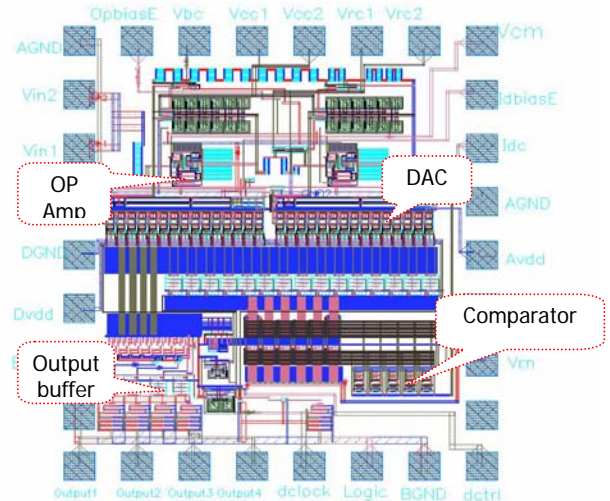


圖八 以邏輯分析儀接收訊號



圖九 以 DAC 轉換訊號

(5) Chip Layout :



IV. 計畫成果自評

1.具快速選頻之頻率合成器

本計畫鎖相迴路部份中量測與模擬之結果出入很少，因為在實際模擬時考慮很多因素。Pre-sim 以及 post-sim 皆通過每個 corner 驗證並且 layout 之後 post-sim 皆很仔細地考量到 layout RC 萃取，以及電感的設計是經由 EM 模擬驗證，所以最高震盪頻率只有下掉數百 MHz (約~3%的頻率誤差)。另外所提出之快速 frequency calibration 架構是一混合訊號電路，其控制時脈皆由數位電路產生訊號所控制，所以理論上時間的掌握應該就如電路所設計一樣，在幾個 clock cycles 內便可完成。本計畫另一重點以三極管區偏壓 VCO 電流改善相位雜訊，本實驗室亦將此偏壓架構列為之後深入研究的重點。

2.三角積分類比數位轉換器

本計畫中關於連續時間型三角積分類比到數位轉換器的部分，目前還在進行量測中，不過就模擬的結果而言，幾乎可以符合現今所許多的無線通訊規格，而且以 48 MHz 的時脈操作頻率而言所需消耗的功率又很低，所以只要量測的結果與原本設計的相去不遠，這個 Continuous-time Delta-Sigma 類比數位轉換器將可運用於相當廣泛的範圍 (for wireless communication systems and transducer applications)。

3. 本計畫所產出之相關論文 (already accepted or published):

International Journal

Tsung-Hsien Lin and Yu-Jen Lai, "A Time-based Frequency Band Selection Method for Phase-Locked Loops," accepted to the *IEE Electronics Letters*.

International Conferece

Yu-Jen lai and Tsung-Hsien Lin, "A 10-GHz CMOS PLL with an Agile VCO Calibration," accepted to the *IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Nov. 2005.

Domestic Journal

Tsung-Hsien Lin, Yu-Jen Lai, and Ruei-Lin Syu "Fast VCO Frequency Calibration Techniques for PLL Applications," *Bulletin of the college of Engineering*,

NTU, no. 93, pp. 31-38. Feb. 2005.

在本計畫之結案報告目前撰寫時，尚有其他論文正在撰寫及規劃中。

V. 參考資料

1.具快速選頻之頻率合成器

1. T.-H. Lin and W.J. Kaiser, "A 900-MHz 2.5-mA CMOS Frequency Synthesizer with an Automatic SC Tuning Loop," *IEEE J. of Solid-State Circuits*, pp.424-431, Mar. 2001.
2. B. Razavi, "A Study of Phase Noise in CMOS Oscillators," *IEEE J. of Solid-State Circuits*, pp.331-343, Mar. 1996.
3. E. Hegazi, H. Sjolund, and A.A. Abidi, "A Filtering Technique to Lower LC Oscillator Phase Noise," *IEEE J. of Solid-State Circuits*, pp.1921-1930, Dec. 2001.
4. B. Muer and Steyaert, "CMOS Fractional-N Synthesizer," Kluwer Academic Publisher, 2003.
5. J. J. Rael and A.A. Abidi, "Physical Processes of Phase Noise in Differential LC Oscillators," *IEEE Custom Integrated Circuits Conference*, pp.569-572, May 2000.
6. A. Hajimiri and T.H. Lee, "A General Theory of Phase Noise in Electrical Oscillators," *IEEE J. of Solid-State Circuits*, pp.179-194, Feb. 1998.
7. K. A. Kouznetsov and R.G. Meyer, "Phase Noise in LC Oscillators," *IEEE J. of Solid-State Circuits*, pp.1244-1248, Aug. 2000.
8. C.M. Hung, Y.-C. HO, and I.-C. Wu, and K.K.O., "High-Q Capacitors Implemented in a CMOS Process for Low-Power Wireless Application," *IEEE Trans. Microwave Theory Tech.*, pp.505-511, May 1998.
9. N.H.W. Fong, J.-O. Plouchart, N. Zamdmer, D. Liu, L.F. Wagner, C. Plett, and N.G. Tarr, "Design of Wide-Band CMOS VCO for Multib and Wireless LAN Applications," *IEEE J. of Solid-State Circuits*, pp.1333-1342, Aug. 2003.
10. D.-J. Yang and K.K. O, "A 14-GHz 256/257 Dual-Modulus Prescaler With Secondary Feedback and Its Application to a Monolithic CMOS 10.4-GHz Phase-Locked Loop," *IEEE Trans. Microwave Theory Tech.*, pp.461-468, Feb. 2004.

2.三角積分類比數位轉換器

1. Kappes M.S. , "2.2-mW CMOS bandpass continuous-time multibit Δ - Σ ADC with 68 dB of dynamic range and 1-MHz bandwidth for wireless applications," *IEEE J. Solid-State Circuit*, vol. 38, page 1098-1104, Jul. 2003.
2. Dorrer, L.; Kuttner, F.; Wiesbauer, A.; Di Giandomenico, A.; Hartig, T.; "10-bit, 3 mW continuous-time sigma-delta ADC for UMTS in a 0.12 μ m CMOS process," *European Solid-State Circuits*, 2003. ESSCIRC

- '03. Conference on, pages:245 – 248, 16-18 Sept. 2003.
3. Gomez, G.; Haroun, B.; "A 1.5 V 2.4/2.9 mW 79/50 dB DR $\Sigma\Delta$ modulator for GSM/WCDMA in a 0.13 μm digital process," *Solid-State Circuits Conference*, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International, Volume:1, Pages:306 - 468 Feb. 2002.
 4. Oliaei, O.; Clement, P.; Gorisse, P.; "A 5 mW $\Sigma\Delta$ modulator with 84 dB dynamic range for GSM/EDGE," *Solid-State Circuits Conference*, 2001. Digest of Technical Papers. ISSCC. 2001 IEEE International, pages:46 – 47, Feb. 2001.
 5. Dorrer, L.; Di Giandomenico, A.; Wiesbauer, A.; "A 10-bit, 4 mW continuous-time sigma-delta ADC for UMTS in a 0.12 μm CMOS process," *Circuits and Systems*, 2003. *ISCAS '03*. Proceedings of the 2003 International Symposium on, Volume: 1, pages:I-1057 - I-1060, May 2003.
 6. Burger, T.; Qiuting Huang; "A 13.5-mW 185-Msample/s $\Delta\Sigma$ modulator for UMTS/GSM dual-standard IF reception," *IEEE J. Solid-State Circuits*, Volume: 36, pages:1868 - 1878, Dec. 2001.
 7. Esfahani, F.; Basedau, P.; Ryter, R.; Becker, R.; "A fourth order continuous-time complex sigma-delta ADC for low-IF GSM and EDGE receivers," *VLSI Circuits*, 2003. Digest of Technical Papers. 2003 Symposium on, pages:75 – 78, June 2003.
 8. Van Veldhoven, R.; "A tri-mode continuous-time /spl Sigma//spl Delta/ modulator with switched-capacitor feedback DAC for a GSM-EDGE/ CDMA2000/UMTS receiver," *Solid-State Circuits Conference*, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International, Volume:1, pages: 60 – 477, 2003.
 9. Gomez, G.; Haroun, B.; "A 1.5 V 2.4/2.9 mW 79/50 dB DR $\Sigma\Delta$ modulator for GSM/WCDMA in a 0.13 μm digital process," *Solid-State Circuits Conference*, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International, Volume: 1, Pages:306 – 468, Feb. 2002.
 10. Ueno, T.; Itakura, T.; "A 0.9 V 1.5 mW continuous-time /spl Delta//spl Sigma/ modulator for WCDMA," *Solid-State Circuits Conference*, 2004. Digest of Technical Papers. ISSCC. 2004 IEEE International, Volume: 1, Pages:78 – 514, Feb. 2004.

可供推廣之研發成果資料表

■ 可申請專利

■ 可技術移轉

日期：94年10月31日

國科會補助計畫	計畫名稱：頻率合成器及傳感介面電路 計畫主持人：林宗賢助理教授 計畫編號：NSC 93-2215-E-002-031- 學門領域：微電子
技術/創作名稱	應用於鎖相迴路中快速選擇壓控震盪器 (VCO) 頻帶之機制與電路
發明人/創作人	林宗賢、賴宥任
技術說明	<p>中文：</p> <p>設計較低的 K_{VCO} 值來改善鎖相迴路 (PLL) 之 phase noise 及 spur 效能是常用的方法。但為了涵蓋夠大的頻率輸出，VCO 都會加上 Switcher-Capacitor 設計很多條相互涵蓋的頻帶。但在 PLL 跳頻時，VCO 本身必須先跳到某一涵蓋欲輸出頻率之頻帶才可以進行鎖定。本計劃中提出一快速選頻電路。常見之閉迴 (Closed-Loop) 選頻機制是將 V_{CTRL} 與兩參考電壓做比較來進行選頻，而另一常見開迴路 (Open-Loop) 選頻是將 VCO 經過除頻器的訊號與輸入參考頻率訊號藉由計數器來比較頻率快慢，但此兩種方法都有選頻速度上的限制。本計劃中技術亦為開迴路選頻，但主要概念是將 VCO 經過除頻器與輸入參考電壓兩訊號週期轉換成電壓做比較來完成選頻。但為增加精確度，最後設計為將兩訊號相位的差異轉換成電壓在進行比較。此選頻電路為一混合訊號電路，考慮到電路精確度問題加入許多常用電路技巧 (e.g. Pseudo differential charge pump) 來改善非理想效應。此電路完成一次選頻動作所需時間僅需數個輸入時脈週期，速度遠快於現有兩大種選頻機制數十倍至數百倍。</p>

	<p>英文：</p> <p>It's a common way to design lower K_{VCO} to improve PLL phase noise and spurs performance. But in order to cover enough output frequency range, it's an approach to use multiple overlapped discrete tuning curves by switched-capacitor in VCO. This requires a VCO calibration circuit to search for one band which covers wanted output frequency before PLL lock. We propose a fast calibration circuit in this project. Instead of comparing V_{CTRL} with two predefined threshold voltage in closed-loop calibration or counting reference and divider output signal in open-loop calibration, Our approach is to transfer the two signal (reference signal and divider output signal) period into voltage for comparing in open-loop PLL. This way improves calibration speed limit. Additionally, this approach practically compares two signal phase difference and transfers the phase error into voltage to increase accuracy. The proposed calibration architecture is a mixed-signal circuit, and it includes much circuit technique (EX. Pseudo differential charge pump) to improve circuit non-ideality. The proposed calibration can be done in only a few clock cycles, and this architecture operation is tens to hundreds times the same speed as the two existing calibration ways.</p>
<p>可利用之產業 及 可開發之產品</p>	<p>可以應用於無線通訊產業如手機 RF 晶片或是無線網路晶片應用。 可以應用於開發高效能鎖相迴路頻率合成器電路。</p>
<p>技術特點</p>	<ol style="list-style-type: none"> 1. 高速選頻。 2. 精確度高。 3. 每次選頻開始結束皆由數位電路控制，易設計。
<p>推廣及運用的價值</p>	<p>無線通訊系統中，頻率合成器（synthesizer）的設計往往需要較好的相位雜訊效能以及可以快速的跳頻，所以此計畫中選頻電路可以補償使用切換電容設計較低 K_{VCO} 來改善相位雜訊而需要較久的選頻時間的缺失。</p>

- ※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。
- ※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。
- ※ 3. 本表若不敷使用，請自行影印使用。