

行政院國家科學委員會專題研究計畫 期中進度報告

10GBase-T 乙太網路系統晶片設計--子計畫一：經銅線傳輸 之百億位元乙太網路系統晶片架構設計(2/3) 期中進度報告(完整版)

計畫類別：整合型
計畫編號：NSC 95-2220-E-002-008-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：曹恆偉

處理方式：期中報告不提供公開查詢

中華民國 96年05月27日

10GBASE-T 乙太網路系統晶片設計 (子計畫一)

經銅線傳輸之百億位元乙太網路系統晶片架構設計

計畫編號 : NSC95-2220-E-002-008

執行期間 : 95 年 8 月 01 日至 96 年 7 月 31 日

計畫主持人 : 曹恆偉 教授 (國立台灣大學)

參與人員 : 錢膺仁、杜顏廷、陳重均、宋之維、吳信義(國立台灣大學)

摘要

本子計畫一本年度的工作，在降低複雜度與提高系統效能的目的下，提出適用於 10GBASE-T(IEEE 802.3an)的三種實體層收發機架構，分別為傳統收發機架構設計、以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器(THP)為基礎的收發機架構設計以及利用通道長度縮短技術的收發機架構設計。接收機後端的數位訊號處理部分，通道等化機制以及干擾消除，利用最小均方差演算法搭配多種提出的訓練方法及時的可適性調整；且在資料模式下，提出對遠端串音干擾的議題進行分析和研究，衍生在傳送端以及接收端消除遠端串擾的兩種架構。為使系統功能更加完整，對自動增益控制的設計、數位類比轉換器(Digital-to-Analog Converter)和類比數位轉換器(Analog-to-Digital Converter)解析度需求進行探討。時脈回復議題上雖然只有初步的研究，也已針對採用多相位時脈為基礎的時脈回復演算法中分析時脈相位解析度。

由於 10GBASE-T 高速傳輸下，收發機架構中的數位和類比電路是設計上的困難和挑戰，因此，複雜度與實現的難易度在設計整體架構中都是被納入考量的重點。由最後的模擬結果得知，在提出的各類型收發機架構中，效能以及符元錯誤率都有很不錯的表現。

關鍵字：百億位元乙太網路、收發機、等化、串音干擾、自動增益控制、時脈回復、預編碼

Abstract

In this report, the issues of cost down and improvement in performance are emphasized. Three transceiver architectures are presented including conventional transceiver architecture, transceiver architecture design based on multi-input multi-output decision feedback equalizer (MIMO-DFE)/multi-input multi-output Tomlinson-Harashima precoding (MIMO-THP) and transceiver architecture design based on channel shortening technique for 10GBASE-T Ethernet system. Joint adaptive

channel equalization and interference cancellation with proposed training methods are used to improve decision point SNR (dpSNR). Also, two different architectures are presented for canceling FEXT interference at the transmitter and receiver side during data mode, respectively. Furthermore, automatic gain control (AGC) design and resolutions of DAC/ADC are taken into consideration to make the whole transceiver more complete. Evaluation of phase resolution for multi-phase clock, which will be adopted for timing recovery mechanism, is also discussed.

The digital and analog circuits under high speed data transmission are very critical for 10GBASE-T, so the complexity and implementation issues are also investigated specifically.

Key Words: 10GBASE-T (IEEE 802.3an), Transceiver, Equalization, Crosstalk, Automatic Gain Control, Clock Data Recovery, Precoding

一、前言

子計畫一今年度工作目標在於以第一年度之研究成果為基礎，進行開發及模擬各種可能的系統架構以評估電路規格，並與其他四個負責各部分電路 IP 的子計畫密切配合，提出具彈性的系統架構以及各部分電路 IP 的介面及規格需求。傳輸通道仍然針對 55 公尺 CAT-6 傳輸線的環境進行系統模擬。

二、研究目的

在現今高速有線傳輸的需求下，前瞻 10GBASE-T(IEEE802.3an)的技術已被廣泛討論，並於 2006 年 6 月 8 日通過最終規格，在全雙工傳輸之模式下，會面臨嚴重通道衰減(IL, Insertion Loss)、回音干擾(Echo, Echo Interference)、近端串音干擾(NEXT, Near-end Crosstalk Interference)、遠端串音干擾(FEXT, Far-end Crosstalk Interference)與外來串擾(Alien Crosstalk Interference)等等問題，因此在通道等化和干擾消除機制上必須妥當的處理。此外，四對雙絞線同時收發資料，在時脈同步和回復調整上也是研究的重點之一。故必須針對上述所提出的議題規劃出一套有效的系統架構。

三、整體目標

在短於 100 公尺的傳輸線環境下，利用四對雙絞線進行全雙工的資料傳遞，達到 10Gbps 的傳輸速率，並要求位元錯誤率必須小於等於 $10^{(-12)}$ ，因此，根據評估結果，若採用 128-DSQ 結合 LDPC(2048,1723)形成編碼調變(Coded Modulation)，欲達成上述的位元錯誤率，則決策點訊雜比(Decision Point SNR, dpSNR)至少需達

23.4dB。

四、系統簡介

10GBASE-T 的傳輸模式是在採用 CAT-6(或更高級)纜線的 4 對線路上進行全雙工傳輸。在此種傳輸模式下，每個接收端信號都會受到 3 個近端串音干擾、3 個遠端串音的干擾，以及同一對線路上發送端信號的回音干擾。

在銅線線材方面，802.3an 標準中放棄支援 100 公尺的舊型 CAT-5 纜線運作，改由在 100 公尺的表現相當理想之 CAT-7 纜線，並在 55 公尺到 100 公尺的傳輸距離上使用 CAT-6 纜線。目前纜線工業界正試圖開發較高級的 CAT-6 纜線，以提供更高的衰減串音比(Attenuation to Cross-talk Ratio)，以適合 10GBASE-T 之網路應用。

10GBASE-T 標準所制訂的信號處理模式，是為取代 1000BASE-T 的下一代有線的網路傳輸，其中符元率(Baud-rate, 800MS/s)提高 6 倍之多，並採用湯林森-河洛緒預編碼器(Tomlinson-Harashima Precoding, THP)的技術對通道做預先等化，再搭配能提供較多的編碼增益(Coding Gain)的 LDPC(2048,1723)碼來取代原先用於 1000BASE-T 中的通道編碼器，以降低對決策點訊雜比的要求，最後通過 LDPC 的解碼器後，位元錯誤率須低於 $10^{(-12)}$ 。

系統頻寬的需求，若接收機採用符元率取樣(Baud-rate Sampling)，則對零超額頻寬(Zero Excess Bandwidth)有強烈的要求，因為對接收信號而言等效形同以奈奎士率(Nyquist Rate)的取樣，如此便可以利用後端的數位信號處理方法來還原最佳取樣相位，也不易被前端的類比數位轉換器(Analog-to-Digital Converter, ADC)因取樣相位誤差而造成效能降低。然而，在傳輸媒介中，在 400MHz 以上的頻帶通道增益幾乎為零，因此避免浪費傳輸功率，不將信號載在此頻帶上。對於後端的通道等化問題，在使用符元間隔等化器(T-spaced Equalizer)，其面臨的通道效應可以視成以一個符元時間取樣的等效通道，而等效通道在折疊頻率(Folding Frequency, $f_s/2$)以上頻率會干擾到低頻部分(折疊頻率以下)，使得頻譜受到影響而失真，故此符元間隔等化器必須同時去面對處理等化通道和補償失真干擾的雙重問題。因此，在使用符元間隔等化器的前提下，為了避免等化器去補償失真的干擾效應，系統架構中的零超額頻寬必須越低越好。

系統雜訊分析方面，接收端收到的信號中，除了經過通道衰減外，還包括了遠端、近端的串音干擾及回音干擾，這些串擾都是有辦法去作估測與消除的，另外有些來自其他使用者的遠端近端串音干擾 (Alien NEXT/FEXT)，這是無法消除的部份；熱干擾雜訊(Thermal Noise)也必須去面對，在評估整體系統演算法時，雜訊議題必須一併被考慮。

第一年度的成果中，已針對此議題進行了分析與研究，在 100 公尺和 55 公尺的傳輸距離中皆有詳細的討論，然而，在今年度工作項目中，採用其系統雜訊分析結果並加入到系統架構的設計及模擬。加入加成性白色高斯雜訊(Additive White

Gaussian Noise, AWGN)來模擬來自其他使用者的遠端近端等外來串音干擾及熱雜訊後，在接收端收到信號的訊雜比為 33dB。

五、系統架構設計

整體設計的想法上，主要依照去年度的系統架構為開端進行修改，此外，結合文獻和書籍所呈現的概念，並參照許多新方法來提高系統效能和降低符元錯誤率(Symbol Error Rate, SER)，以達到新的架構的提出；另一目標，對於後端的數位訊號處理過程，包括通道等化和干擾消除，需使用龐大的複雜度去實現，因此，希望在新提出的架構下能將數位部分複雜度之降低等等議題進行縝密的探討，使得架構更加實際可行。

新提出的系統架構，全部都基於 1600MSample/s 數位類比轉換器(Digital-to-Analog Converter, DAC)和 800M Sample/s 類比數位轉換器為主，此修改是為了降低原先 1600MSample/s 類比數位轉換器實現上的困難。大致上可分為三種；分別為"典型的收發機架構"、"以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器(THP)為基礎的收發機架構"以及"利用通道長度縮減技術為主的收發機架構"，並將在接下來的部分進行介紹。

訓練碼產生和同步問題，皆採用原本提出的方式去完成；但在時脈回復的議題上，初步規劃使用多相位的時脈，並在新架構下針對需求的相位數目進行概略的評估，然而，詳細的時脈回復演算法並未列入今年度工作項目。

5.1 回音干擾/近端串音干擾/遠端串音干擾的分析

在介紹系統架構之前，先針對回音干擾和遠端近端串音干擾進行分析，目的是為了觀察在設定的模擬環境下(CAT6-55m)，三種干擾對效能有多大程度的影響，並在結果中呈現出為什麼 IEEE P802.3an Task Group 建議遠端串音干擾的問題必須被正視而不是像在 1000BASE-T 中一樣被忽略。

表一、遠端串音干擾/近端串音干擾/回音干擾之效能影響 (dB)			
Pair	遠端串音干擾	近端串音干擾	回音干擾
1 st	1.7	3.33	14.37
2 nd	3.37	1.79	14.67
3 rd	1.17	4.01	16.26
4 th	3.09	2.31	15.39
平均	2.33	2.86	15.17

表一列出三種干擾個別對系統效能所造成的影響；其中，回音干擾仍是主宰

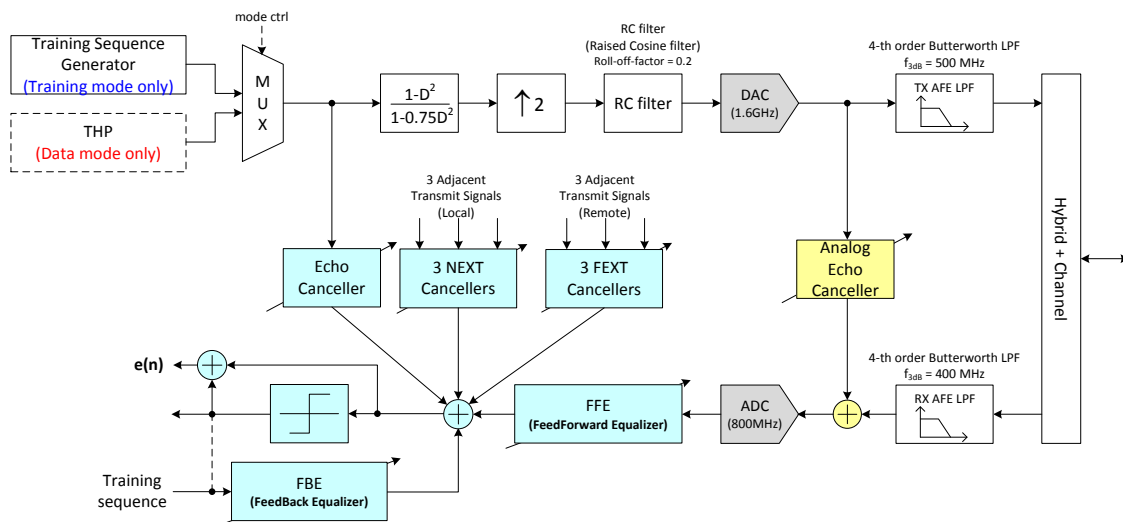
整個效能呈現的主因，決策點的訊雜比平均降低 15.17dB；其次，近端串音干擾和遠端串音干擾也都造成 2.86dB 和 2.33dB 的效能損失。為何這兩種干擾效應很接近，在於通道頻譜響應並不是最糟糕的情況所導致。關於通道資料皆來自 IEEE P802.3an Task Group 的網頁中在實際線材上量測所得到。

觀察表一所提供的數據，明確的顯示出，忽略遠端串音干擾的問題不是很明智的選擇，如果嘗試著去消除此干擾，可以獲致更多效能改善，這也是為什麼 IEEE P802.3an Task Group 強調的原因。

此外，在去年度所提出的架構中並未加入消除遠端串音干擾的設計考量，但由上述的數據結果得知，在新提出的架構下必須將此效應加入考慮，使得最終的模擬結果更有實用性。

5.2 典型的收發機架構設計(Conventional Transceiver Architecture Design)

此架構的設計想法最直接也很直覺地，針對系統所遭遇的各種通道和干擾個別的去處理，也就是在每一個收發機中，利用單一等化器去等化在纜線中傳輸所遭遇的訊符間干擾(Inter-symbol Interference, ISI)，以及使用一個回音干擾消除器(Echo Canceller)、三個近端串音干擾消除器(NEXT Canceller)和三個遠端串音干擾消除器(FEXT Canceller)分別去消除所有的干擾來源。如圖一所示。



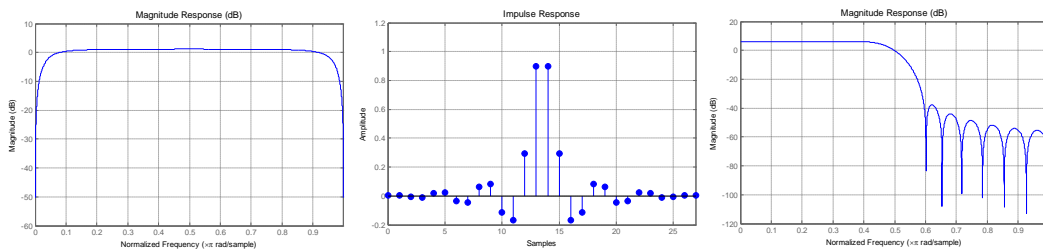
圖一 典型收發機架構

整個操作的模式，分為兩種，包括訓練模式(Training Mode)和資料模式(Data Mode)。在訓練模式期間，會利用訓練序列(Training Sequence)來完成時脈回復、通道等化以及干擾消除等等動作；然而，在資料模式中，便會啟動 DSQ-128 搭配湯林森-河洛緒預編碼器(THP)來進行資料的傳輸。

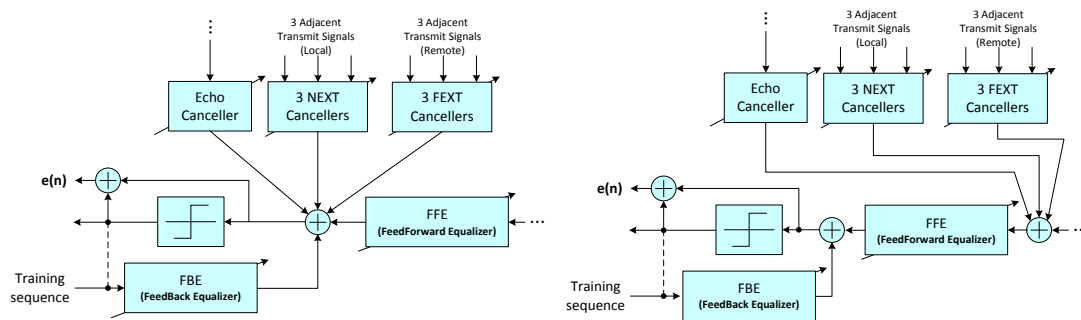
為了盡量符合零超額頻寬的需求，將傳輸訊號的頻譜限制在 0 到 400MHz 頻

帶內，因此引進一個數位濾波器，其頻譜響應如圖二所示，並搭配 2 倍升頻的方式再銜接一個升餘弦脈波濾波器(Raised Cosine Filter)，將 roll-off factor 設定為 0.2，其脈衝響應和頻譜響應為圖三及圖四所示，在此傳輸方式之下，數位類比轉換器需操作在 1600MHz 的時脈。

此外，為了降低數位回音干擾消除器的複雜度和類比數位轉換器的解析度，加入了類比回音干擾消除器(Analog Echo Canceller, AEC)，但不針對電路上做設計和模擬，而是等效對回音干擾通道壓抑 10dB 的能量，並在相同的系統效能下得到數位回音干擾消除器的複雜度可以降低大約 50 Taps。



圖二 數位濾波器頻譜響應 圖三 RC 濾波器之脈衝響應 圖四 RC 濾波器之頻譜響應



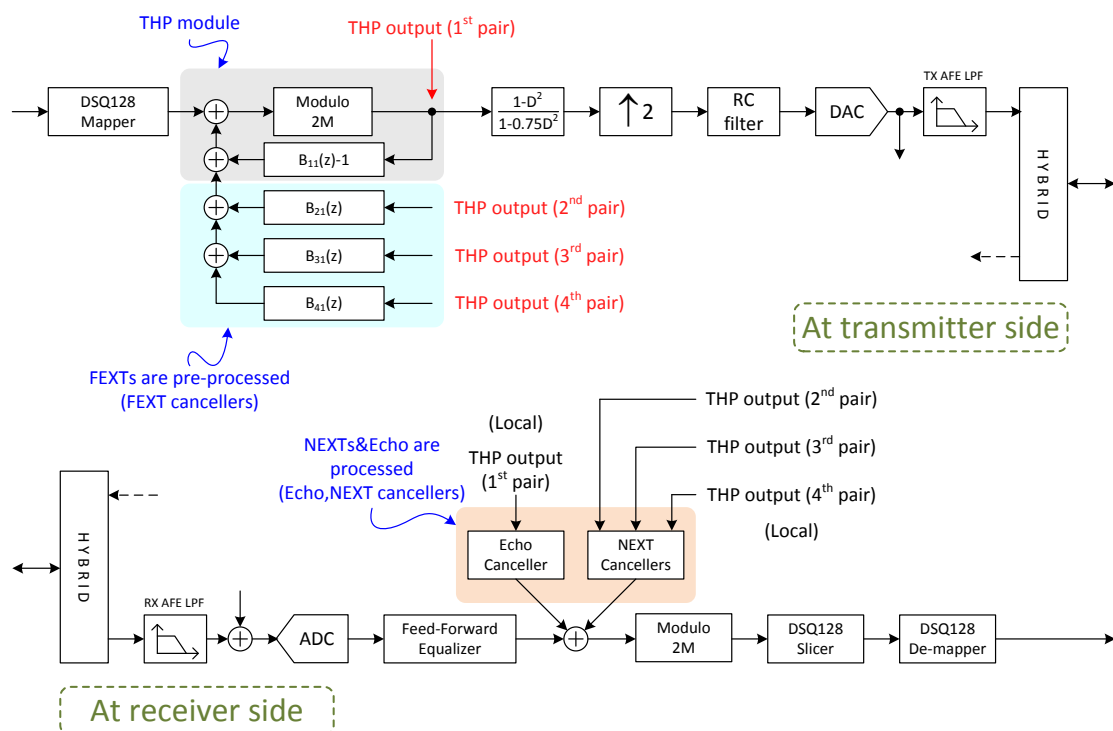
圖五 干擾消除於 FFE 後端處理

圖六 干擾消除於 FFE 前端處理

在後端的數位訊號處理過程中，採用可適性聯合等化與串擾消除，利用最小均方演算法(Least Mean Square Algorithm, LMS Algorithm)下採用同一個誤差量來同時修正決策回饋等化器(Decision Feedback Equalizer, DFE)和干擾消除器，如圖五所示。然而，也可以將干擾消除動作擺放在前饋式等化器(Feedforward Equalizer, FFE)的前面，如圖六所示，但推導 Steepest Descent Method 的方式可以得知，此架構無法利用傳統的最小均方演算法去做調整，因為殘餘的干擾會經過前饋式等化器而被放大，導致調整係數過程發生問題，解決方法有兩種：第一，利用不同的誤差量去做修正，這說明了應當需要兩套的最小均方演算法分別做通道等化和干擾消除的調整，但會因此導致複雜度的增加；第二，假設限定用同一誤差量去做即時更新，則在調整干擾消除器時，必須考慮前饋式等化器的效應，這樣一來，整個聯合調整的步驟會變得很複雜而不易實現，因此，最終決定利用

圖五的架構去設計後端的數位訊號處理。在最小均方演算法裡重要的參數，Stepsize，模擬過程中會適時的去調整其大小，利用大的 Stepsize 達到快速收斂，並以 10^5 個符元數為周期，將 Stepsize 的值變小來最小化均方差(Mean Square Error, MSE)，重複幾次相同動作後固定最後的 Stepsize，使得訓練的結果可以逼近最佳解。

對於遠端串音干擾的議題上必須仔細的探討，尤其在進入資料模式後。因為在訓練模式中，由於訓練序列的存在，導致遠端串音干擾可以很容易的在接收端被處理。然而，資料模式一旦啟動，在不知道傳送端傳送訊號為何的情況下，很難在接收端中去處理這個問題，因此提出了在傳送端處理的架構，如圖七；此架構下，加上湯林森-河洛緒預編碼器(THP)的操作，訊符間干擾和遠端串音干擾都可以預先在傳送端被消除，便可以解決資料模式下遇到的遠端串音干擾問題。不過，增加傳送端的負擔和可能改變傳輸頻譜的問題因而發生，此外，由標準中的描述得知，希望遠端串音干擾在接收端被消除，故必須針對此架構做適度的修改來符合標準的要求。

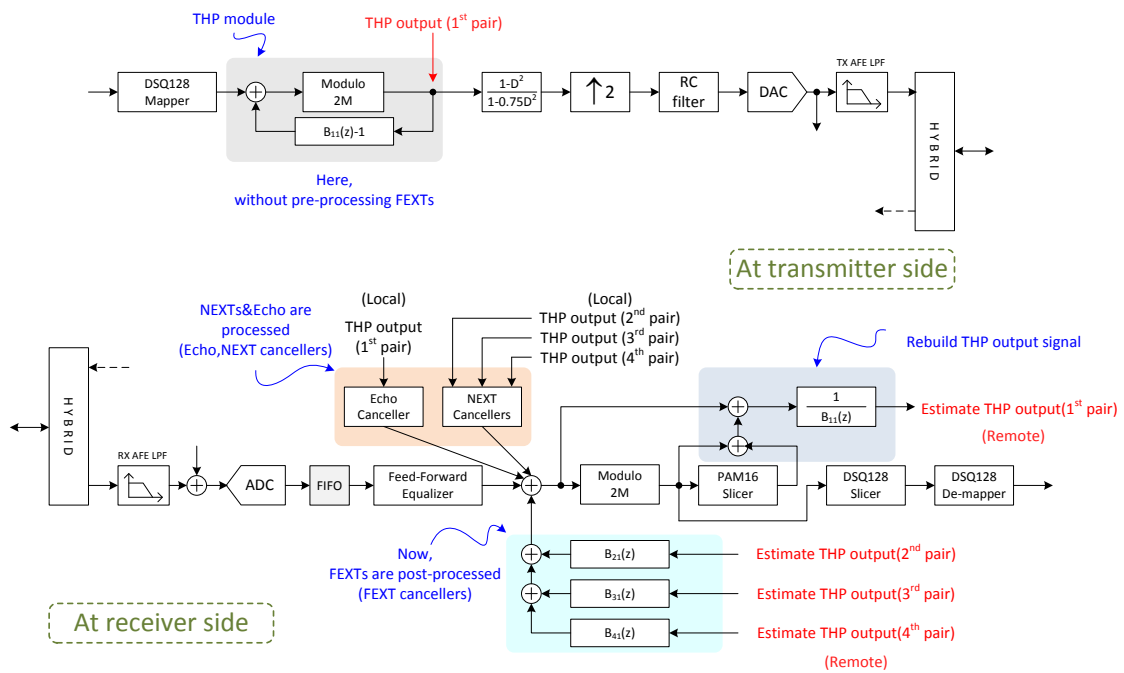


圖七 資料模式下傳送端預先消除遠端串音干擾

為了解決上述的缺點，提出了另一個可行的架構，如圖八所示，傳送端維持單純的湯林森-河洛緒預編碼器(THP)操作，而接收端做了大幅的修改。為了去估計四對線中湯林森-河洛緒預編碼器(THP)的輸出訊號，重建預編碼器是第一要務，並藉由 PAM16 Slicer 的幫助，及時產生訊號供給預編碼器來回復湯林森-河洛緒預編碼器(THP)的輸出訊號，並回饋至已訓練好的遠端串音干擾消除器對遠端串音干擾

做處理。保留 DSQ-128 Slicer 的原因，是它可提供較好的決策效果，如果利用 PAM16 Slicer 取代 DSQ-128 Slicer 作符元決策，將會導致符元錯誤率的大幅上升。

由於傳遞延遲的存在導致訊號到達時間的不一致，故採用先進先出(First Input First Output, FIFO)的裝置來將四對線收到的訊號作對齊動作，以準確地消除四對線中的遠端串音干擾。這個想法主要來自圖七，因為傳送端中輸入到遠端串音干擾消除器是已對齊沒有誤差才能達到預先消除的動作，故把相同概念導入到圖八並用先進先出的元件去實現。



圖八 資料模式下接收端消除遠端串音干擾

對於使用不同架構去處理遠端串音干擾的效能，如表二，其中 FIFO 的效果已被加入。可從數據得知，遠端串音干擾在傳輸端或接收端處理都可以獲的很完善的消除，當然，如在接收端實現，因為須重建傳送端湯林森-河洛緒預編碼器(THP)輸出訊號，會導致少量的效能損失，這是可預期和接受的。

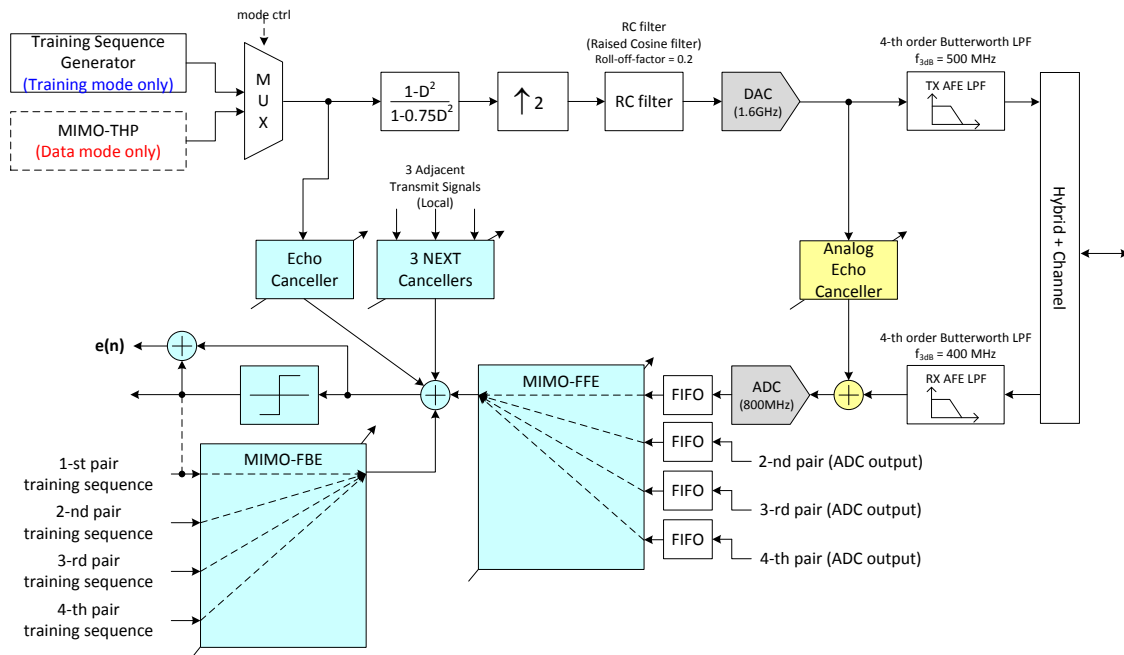
表二、比較不同架構處理遠端串音干擾 (dB)						
Pair	MMSE Criterion	訓練模式		資料模式 (利用不同架構圖七、圖八)		
		Phase 1	Phase 2	圖七	圖八 假設已知傳送端 THP 的輸出信號	圖八 重建傳送端 THP 的輸出信號
1 st	28.75	28.59	28.22	28.09	28.04	28.03
2 nd	28.65	28.55	28.15	27.98	27.96	27.95
3 rd	28.45	28.53	27.91	27.72	27.72	27.71
4 th	28.65	28.61	28.16	27.94	27.95	27.94

接下來對於圖八中 FIFO 裝置在資料模式下的影響分析，比較重點為決策點訊雜比和符元錯誤率。如表三所示，有加入 FIFO 裝置比沒有加入的情況下，平均決策訊雜比提高大約 3.43dB 且符元錯誤率也從 4.65×10^{-2} 降低到 1.1×10^{-3} 。由此可知，FIFO 裝置是不可或缺的，不僅能提升效能，也可使符元錯誤率顯著的降低。

表三、針對圖八中 FIFO 裝置在資料模式下的影響進行分析

Pair	圖七		圖八 (重建傳送端 THP 的輸出信號)			
	不加入 FIFO		加入 FIFO		不加入 FIFO	
	dpSNR(dB)	SER	dpSNR(dB)	SER	dpSNR(dB)	SER
1 st	28.09	1e-3	28.03	9e-4	25.52	1.13e-2
2 nd	27.98	1e-3	27.95	1e-3	22.90	9.45e-2
3 rd	27.72	1.4e-3	27.71	1.4e-3	26.24	6.1e-3
4 th	27.94	1e-3	27.94	1.1e-3	23.26	7.42e-2
平均	27.93	1.1e-3	27.91	1.1e-3	24.48	4.65e-2

5.3 以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構(Transceiver Architecture Design Based on MIMO-DFE /MIMO-THP)

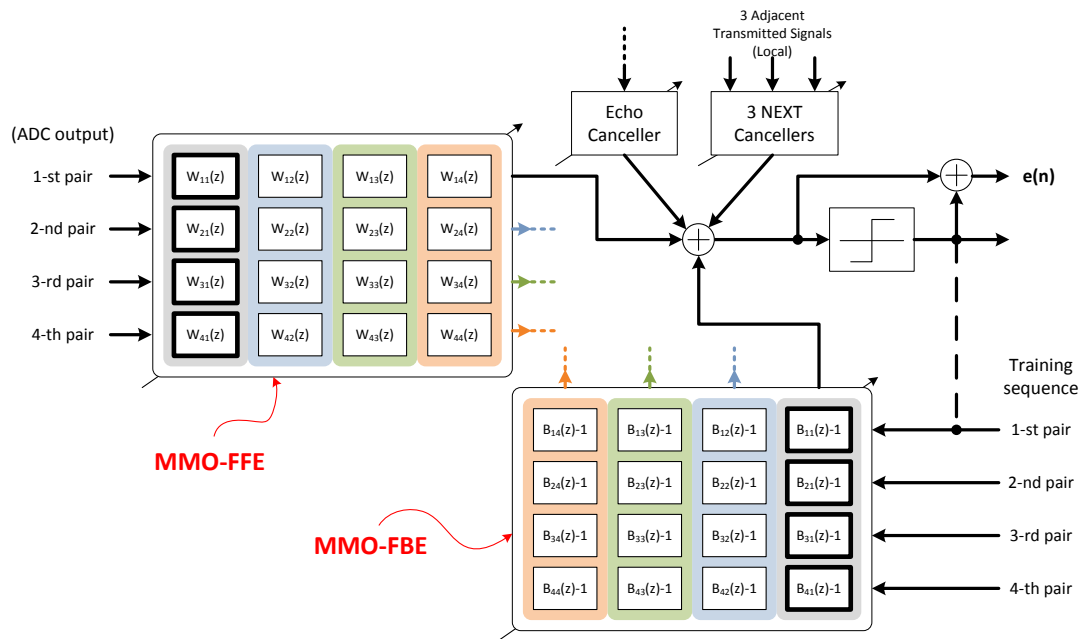


圖九 以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構

在 4 對雙絞線的傳輸環境中，可視為多輸入多輸出(Multi-input Multi-output, MIMO)的等效通道，例如，遠端通道衰減和 3 對遠端串音干擾的通道便可形成一個 4×4 的多輸入多輸出通道，利用這一觀點來進行收發機的設計。為了能有效的等化通道衰減和消除遠端串音干擾，引入多輸入多輸出決策回饋等化器(MIMO-DFE)。如此，便可利用較短的多輸入多輸出的回饋式等化器(MIMO Feedback Equalizer, MIMO-FBE)取代原先的遠端串音干擾消除器以達到複雜度的降低。

架構如圖九所示。和圖一做比較並沒有太大的差異，唯一不同點在於使用多輸入多輸出決策回饋等化器來取代原先決策回饋等化器和 3 個遠端串音干擾消除器。另外還多加入 FIFO 元件。FIFO 還是一樣用來對齊四對線所收到的訊號，才能達到有效的通道等化外並且消除遠端串音干擾。

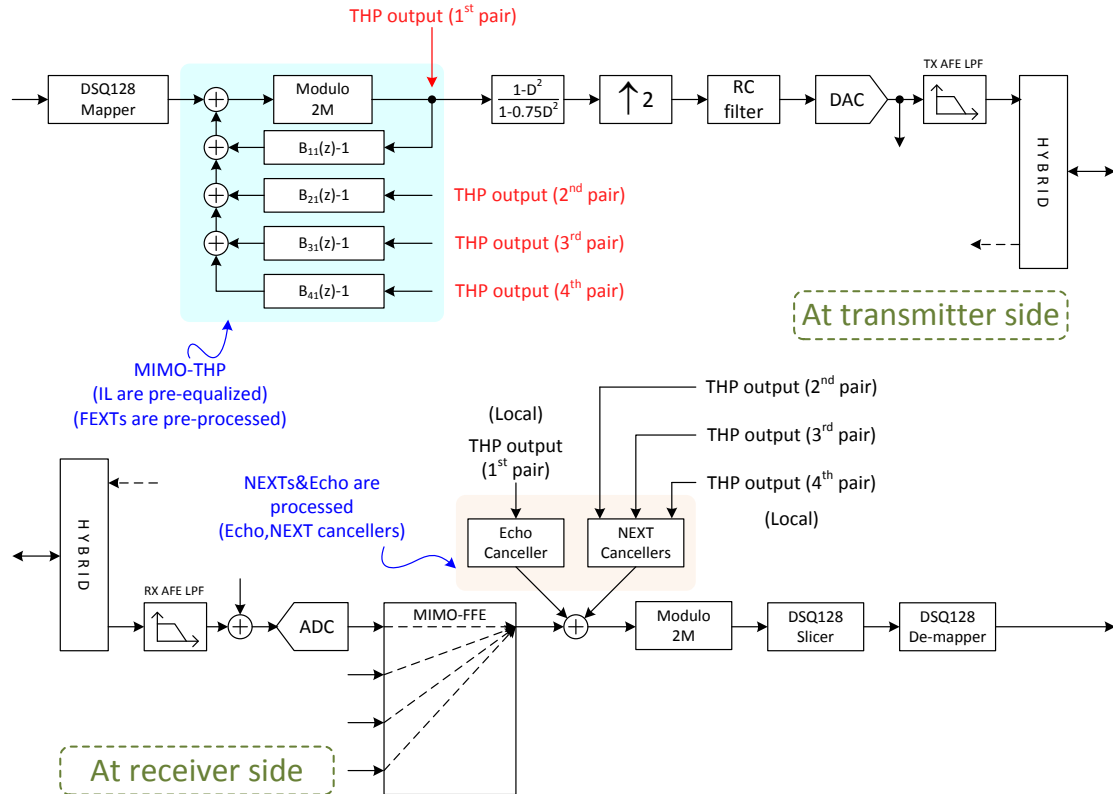
相同的元件這裡不一一介紹，把重點放在多輸入多輸出決策回饋等化器，如圖十所示。仍然利用同一個誤差信號進行可適性聯合等化與串擾消除，當然也可以把回音干擾消除器和近端串音干擾消除器放在多輸入多輸出前饋式等化器(MIMO Feedforward Equalizer, MIMO-FFE)的前面，還是會導致傳統的最小均方演算法無法直接使用的問題，處理的方法已提出，故不在此處做詳細解釋。



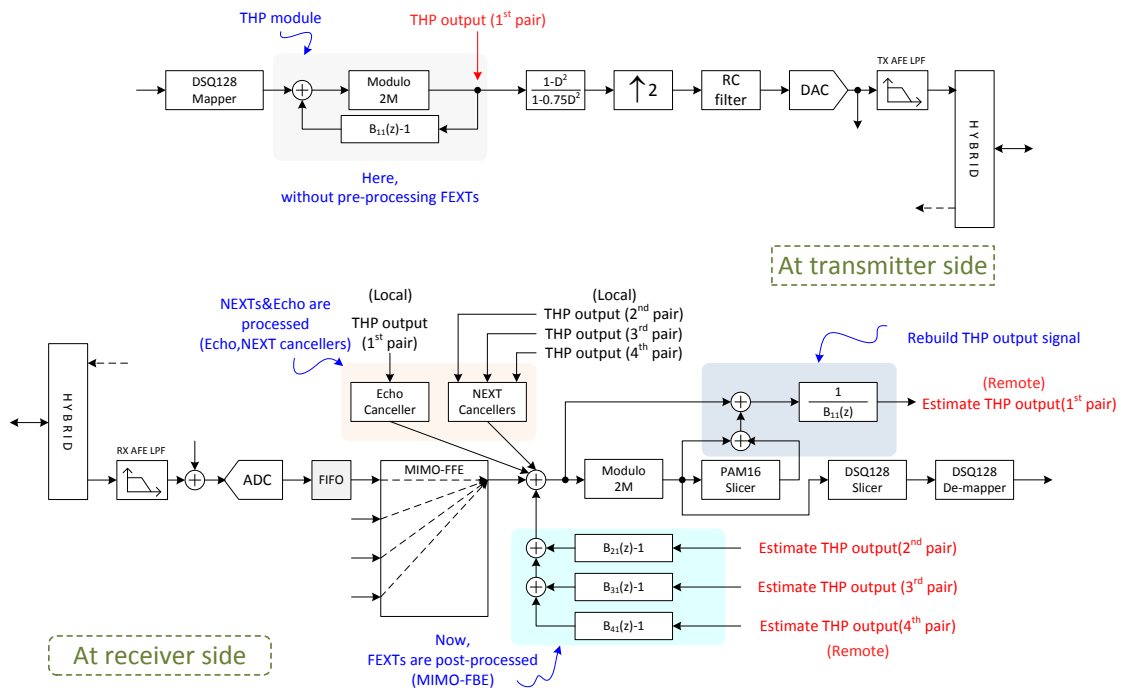
圖十 多輸入多輸出之決策回饋等化器

在調整多輸入多輸出決策回饋等化器時，採用最小均方演算法並搭配新提出的訓練方法，就是安排不同的 Step size 在同一個多輸入多輸出前饋式等化器架構內，意思是將多輸入多輸出前饋式等化器視成一個矩陣並於矩陣內對角線安排一個大的 Step size，且在非對角線上給定較小的 Step size，且固定時間內適度的改變以達到快速收斂和降低均方差。此操作的原因，在於遠端串音干擾的能量遠小於

通道衰減的能量，故不可用同樣的 Step size 去調整多輸入多輸出前饋式等化器，否則將導致非對角線元素無法收斂到較好的狀態。



圖十一 資料模式下傳送端預先消除遠端串音干擾



圖十二 資料模式下接收端消除遠端串音干擾

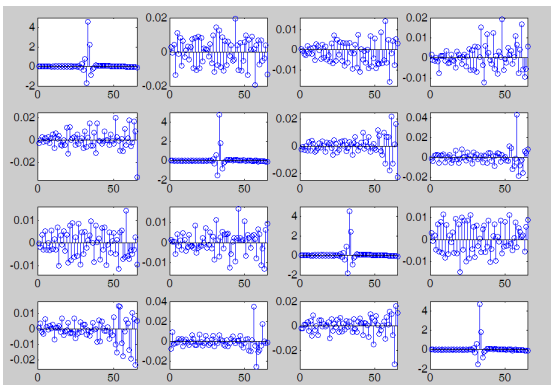
遠端串音干擾的議題在資料模式下依舊存在，在傳送端或接收端處理都被提出討論。一旦放在傳送端做處理，便可形成多輸入多輸出之湯林森-河洛緒預編碼器(MIMO-THP)，如圖十一所示，缺點會增加傳送端的負擔以及改變傳送訊號的頻譜響應，故探討在接收端實現的可能性，想法和圖八相似，需要在接收端進行重建端湯林森-河洛緒預編碼器輸出訊號，並及時饋入非對角線的 MIMO-FBE 來完成消除遠端串音干擾，如圖十二所示。

表四、針對 Stepsize 在 MIMO-DFE 造成的影響

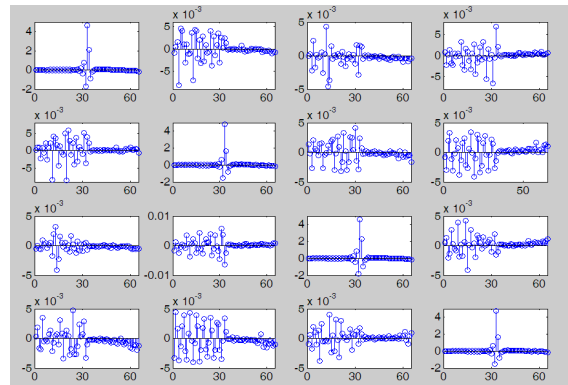
	相同 Stepsize, $\mu_{FFE,1} = \mu_{FFE,2}$				不同的 Stepsize, $\mu_{FFE,1} \neq \mu_{FFE,2}$			
	訓練模式		資料	SER	訓練模式(dB)		資料	SER
	(dB)	(dB)	(dB)		Phase 1	Phase2	(dB)	
1 st	28.41	28.10	26.27	5.7e-3	28.57	28.22	27.93	1.1e-3
2 nd	28.20	27.95	26.40	4.9e-3	28.53	28.14	27.75	1.2e-3
3 rd	28.42	27.85	26.64	4.3e-3	28.50	27.94	27.69	1.5e-3
4 th	28.38	27.95	26.68	4.1e-3	28.54	28.13	27.83	1.3e-3
平均	28.35	27.96	26.50	4.8e-3	28.54	28.11	27.8	1.3e-3

表四中對提出的各種訓練方法做一個比較，當安排不同的 Stepsize 和給定相同 Stepsize 在多輸入多輸出前饋式等化器中，雖然在訓練模式下效能沒有很大的差距，一旦進入到資料模式後，效能平均約有 1.3dB 的改善，而錯誤率可以向下修正約 3.7 倍，此數據足以證明新提出的訓練方法對提升效能有很大幫助。

針對多輸入多輸出前饋式等化器的脈衝響應做進一步解釋，圖十三和圖十四分別為使用相同 Stepsize 以及不同 Stepsize 訓練下得到的結果。使用相同的 Stepsize 導致圖十三中非對角線的係數調整無法收斂到接近最佳解。然而，圖十四中很清楚的呈現，非對角線最好的訓練結果應當是在對角線 Cursor(最大值的地方)出現之後收斂到接近零的位置。因此，一旦收斂不完全將會無法有效的消除遠端串音干擾而導致效能損失。



圖十三 相同 stepsize



圖十四 不同 stepsize

表五中是針對不同的架構去處理遠端串音干擾所模擬得到的結果，也都有不錯的效能呈現。表六，針對圖十二資料模式中 FIFO 裝置的影響，效能部份可以改善約 3.42dB，另外，符元錯誤率可以從 5.4×10^{-2} 降低到 1.3×10^{-3} 。

Pair	MMSE Criterion (dB)	訓練模式 (dB)		資料模式 (利用不同架構圖十一、圖十二) (dB)		
		Phase 1	Phase 2	圖十一	圖十二	圖十二
					假設已知傳送端 THP 的輸出信號	重建傳送端 THP 的輸出信號
1 st	28.74	28.57	28.22	27.93	27.93	27.92
2 nd	28.76	28.53	28.14	27.75	27.73	27.73
3 rd	28.42	28.50	27.94	27.69	27.69	27.68
4 th	28.72	28.54	28.13	27.83	27.83	27.82

Pair	圖十一		圖十二 重建傳送端 THP 的輸出信號			
	不加入 FIFO		加入 FIFO		不加入 FIFO	
	dpSNR(dB)	SER	dpSNR(dB)	SER	dpSNR(dB)	SER
1 st	27.93	1.1e-3	25.53	1.1e-2	27.92	1.2e-3
2 nd	27.75	1.2e-3	22.71	1.1e-1	27.73	1.1e-3
3 rd	27.69	1.5e-3	26.14	6.2e-3	27.68	1.6e-3
4 th	27.83	1.3e-3	23.09	8.8e-2	27.82	1.2e-3
平均	27.80	1.3e-3	24.37	5.4e-2	27.79	1.3e-3

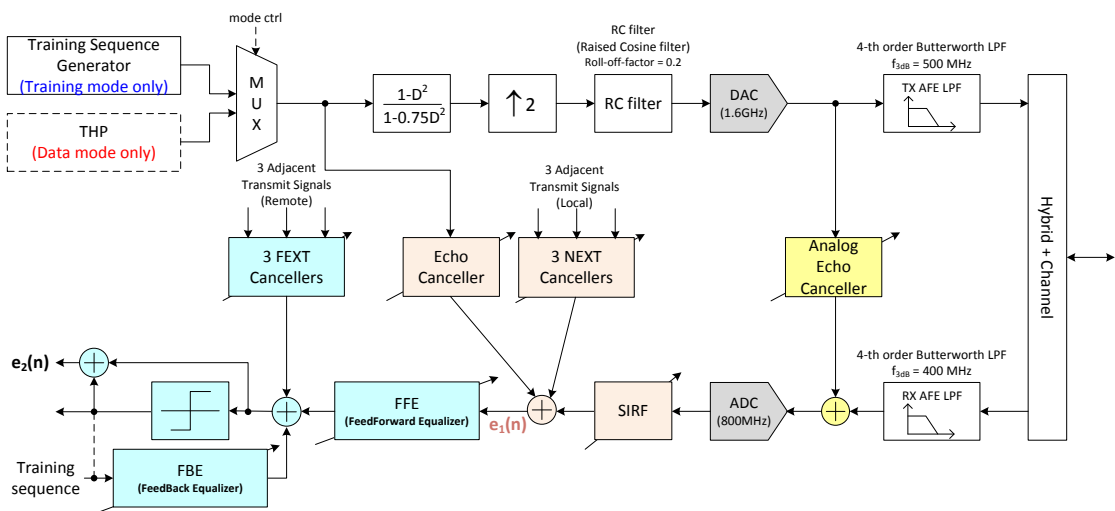
Conventional Technique (FFE:65/FBE:20 per Transceiver)			
FEXT Canceller/Transceiver	3*125	3*200	3*250
MMSE Criterion (Average dpSNR, dB)	28.755	28.762	28.767
Total Taps	460	685	835
MIMO-DFE Technique (MIMO-FFE:4*65/MIMO-FBE:4*50 per Transceiver)			
MIMO-FBE/Transceiver	4*50		
MMSE Criterion (Average dpSNR, dB)	28.797		
Total Taps	4*65+4*50 = 460		
Cost Down/Performance Improvement	- / 0.042	225 / 0.035	375 / 0.03

以上的模擬結果，均維持和典型收發機架構相同的複雜度，目的在證明相同的複雜度可以達到相似的決策訊雜比。

然而，降低複雜度方面仍可以達到，但必須假設典型收發機架構中遠端串音干擾消除器真的需要 200 或 250 個 Tap 的條件成立，如表七所示。這樣在 MMSE Criterion 下確實可以有效的降低複雜度以及提高整體效能。

5.4 利用通道長度縮減技術為主的收發機架構(Transceiver Architecture Design Based on channel shortening technique)

干擾消除器的複雜度問題，一樣存在回音干擾消除器和近端串音干擾消除器上，以降低這兩種消除器的複雜度為目標進行收發機架構的設計。引進縮短脈衝響應濾波器(Shortened Impulse Response Filter, SIRF)的概念來縮短回音干擾和近端串音干擾的等效通道，藉此降低複雜度。此觀念早被使用在使用 Discrete Multi-tone(DMT)系統裡，例如 xDSL，但是針對通道衰減的等效通道模型做通道縮短的任务，而這裡的處理對象則為回音干擾和近端串音干擾。

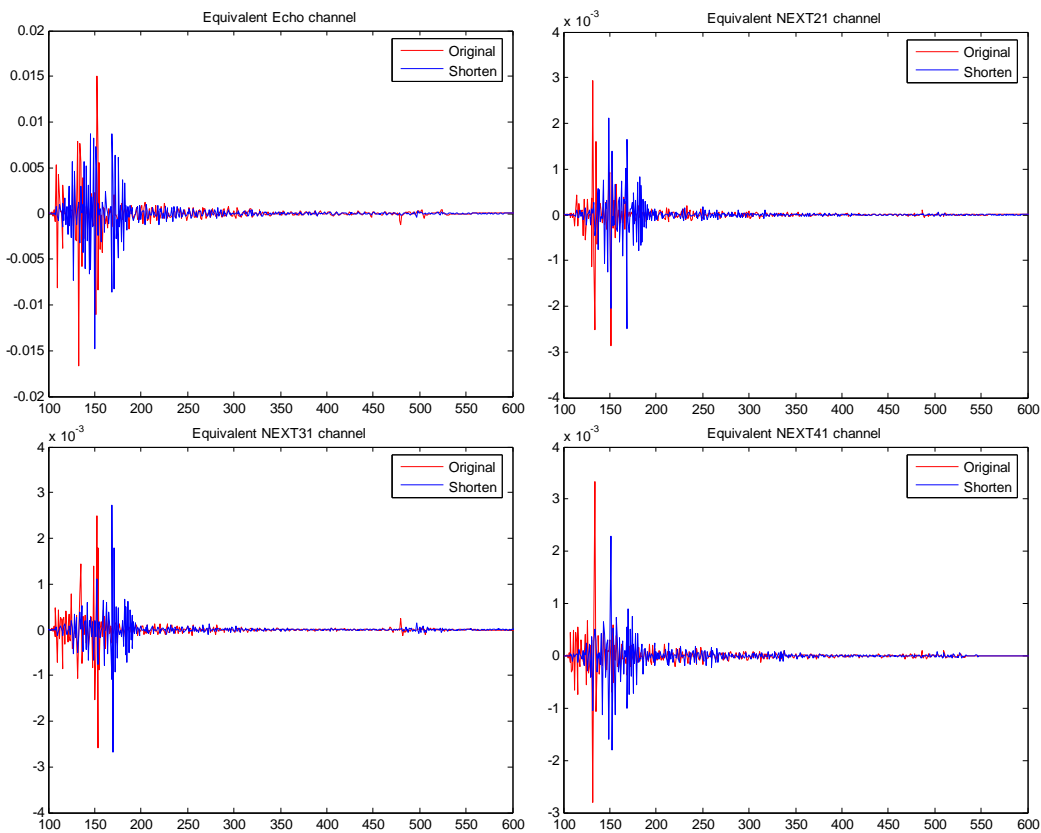


圖十五利用通道長度縮減技術為主的收發機架構

圖十五為其收發機架構，仍是利用典型收發機架構進行修改而來。並將回音干擾和近端串音干擾消除器移到前饋式等化器的前面並固定遠端串音干擾消除器的位置，此規劃下便無法利用同一個誤差量實現可適性的聯合等化和干擾消除，取而代之是兩套的最小均方演算法分別處理，可適性聯合回音干擾和近端串音干擾的通道縮短和可適性聯合通道等化和遠端串音干擾消除。並需改變整個訓練的過程，必須先做通道縮短後才可開啟通道等化和遠端串音干擾消除，此改變是為了先得到縮短脈衝響應濾波器的脈衝響應，因為其脈衝響會改變通道衰減和遠端串音干擾的等效通道，因此，在未得到該資訊之前就冒然啟動決策回饋等化器和遠端串音干擾消除器會造成無效的調整，故必須針對訓練的過程作合適的修正。

縮短訊雜比(Shorten SNR, SSNR)用來判斷通道縮短的效果。表八中記錄最佳解和適應性調整的縮短訊雜比。圖十六中描繪出原來回音干擾和 3 條近端串音干擾和縮短後的等效通道做比較，紅色代表原本的，藍色表是經過通道縮短，可以看出在通道脈衝響應的後半部能量有被明顯的壓低，使大部分的能量集中在前半部，因此，只需用複雜度較低的干擾消除器便可壓抑干擾，因此達到降低複雜度的目標。

表八、SSNR 比較					
	SIRF	Echo Canceller	NEXT21 Canceller	NEXT31 Canceller	NEXT41 Canceller
Taps/收發機	35	400	150	150	150
最佳解 SSNR(dB)	—	41.55	23.53	26.54	19.02
LMS 演算法 SSNR(dB)	—	38.16	23.13	21.83	18.13



圖十六 回音干擾/近端傳音干擾等效通道等化

關於效能和複雜度比較確切的數據紀錄在表九，整體初估每個收發機平均可以節省 395 個 Tap，但是在資料模式下有 0.64dB 的效能損失，原因在於通道縮短的結果還是會造成部分能量無法集中在限定的區間，而導致效能被些許的降低，這也是可以預期的現象。

關於資料模式中遠端串音干擾的議題，在這架構下跟典型的收發機架構很類似，結果應該也可以如預期的一樣不會有太大的差異，因此，不再重複討論。

表九、複雜度和效能比較						
每個接收機	FFE	FBE	SIRF	Echo Canceller	NEXT Canceller	FEXT Canceller
Taps(原本的)	65	20	0	450	3*300	3*125
Taps(修改後)	95	60	35	400	3*150	3*125
複雜度的比較	-30	-40	-35	50	450	0
複雜度的降低	450+50-105 = 395					
Data Mode, dpSNR(dB)						
典型收發機架構	28.09					
圖十五	27.45					
效能損失	0.64					

5.5 數位類比轉換器/類比數位轉換器解析度分析 & 自動增益控制電路

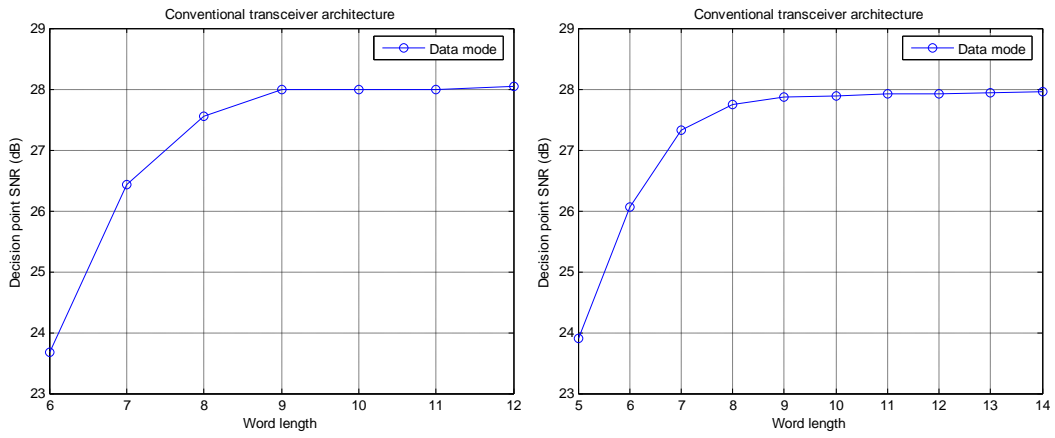
在前面提出的三種架構中，只為了驗證演算法和架構的可行性，故未提及自動增益控制(Automatic Gain Control, AGC)電路和數位類比轉換器/類比數位轉換器解析度分析，為了使系統更加完備，於此部分進行探討。

首先，先進行解析度需求的分析。量化誤差的存在會使的效能受到影響，因此採用"Midstep quantizer"的模型，此模型最大的量化誤差為 LSB/2。

圖十七和圖十八為分別針對"典型的收發機架構"和"以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構"進行模擬的結果。在資料模式下記錄不同字元長度(Word Length)產生的決策點訊雜比，從圖中可以得知，在此兩種架構下，類比數位轉換器/數位類比轉換器都需要 9 bits。

接下來介紹自動增益控制電路的設計，原則上以上年度所提出的架構為基礎，並提出適用在此架構下的偵測功能，目的在於判斷自動增益控制迴路的收斂是否正確。偵測機制的建立主要是由收到訊號的特性來完成，如圖十九所示，右手邊的圖是將左手邊紅色區域內峰值取出，峰值出現的間距都是以 16384 為週期。因此嘗試著在一定周期內去記錄讓類比數位轉換器輸出為 full-scale 的峰值個數來

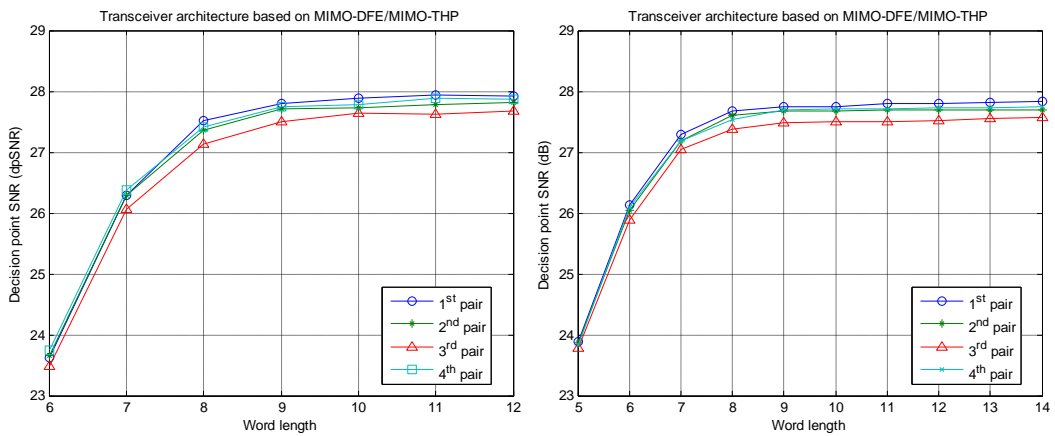
作為判斷此時自動增益控制迴路收斂的情形。



(a) 類比數位轉換器

(b) 數位類比轉換器

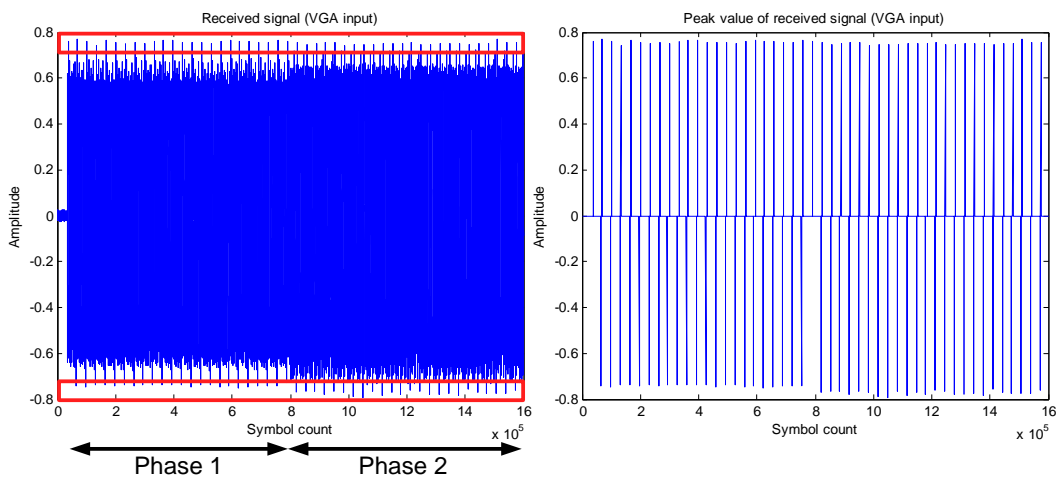
圖十七



(a) 類比數位轉換器

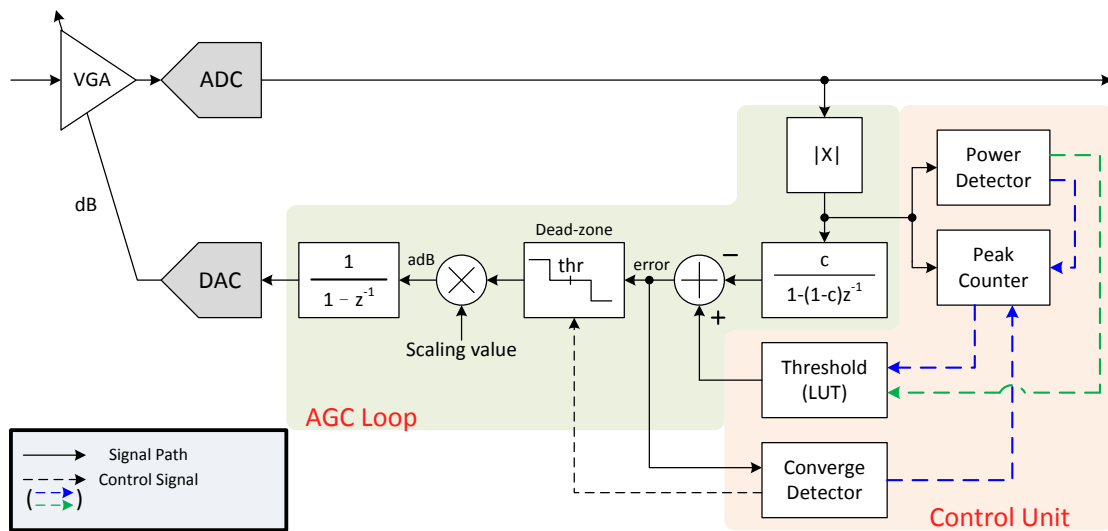
(b) 數位類比轉換器

圖十八

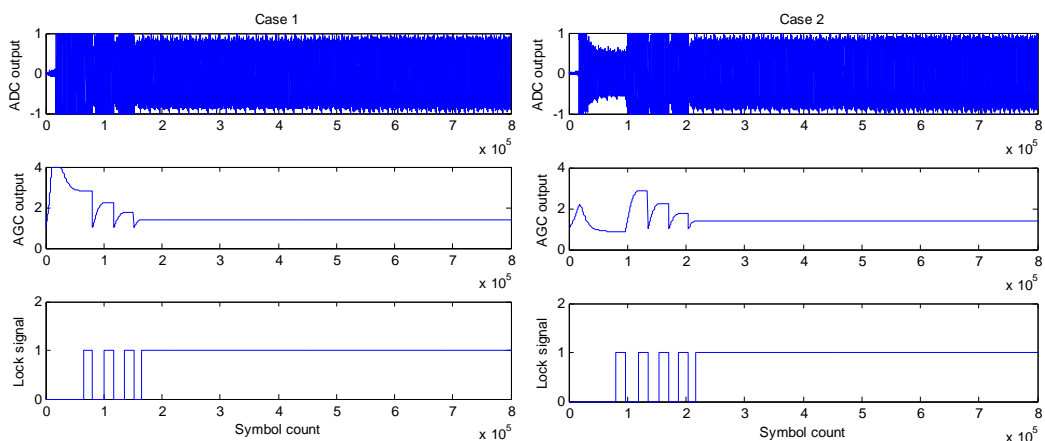


圖十九 可變增益放大器前端收到訊號

為達上述目的，必須建立一個控制單元，內部包含峰值計數器(Peak Counter)、能量偵測器(Power Detector)、用來查詢各種傳輸長度所需臨界值的表格(Threshold Look Up Table)以及收斂偵測器(Converge Detector)，如圖二十所示。操作方式，先設定某一臨界值，待收斂後，啟動峰值計數器，在週期 16384 內，觀察類比數位轉換器輸出為 full-scale 的峰值個數有無大於設定的總次數，確定峰值計數器過多或沒有任何個數的情況下，判定此收斂失敗，再重新選擇新臨界值重新鎖定，直到當峰值計數器內的記錄次數在設定的範圍內才判定收斂正確，而能量偵測器可用來計算長時間內所得到的平均能量是否符合該傳輸長度，故此偵測器主要是輔助之用，當在自動增益控制迴路初步判定正確收斂，此偵測器的控制訊號可以對於判斷收斂的情況提供更有助益的訊息。



圖二十 自動增益控制



圖二十一自動增益控制迴路模擬結果

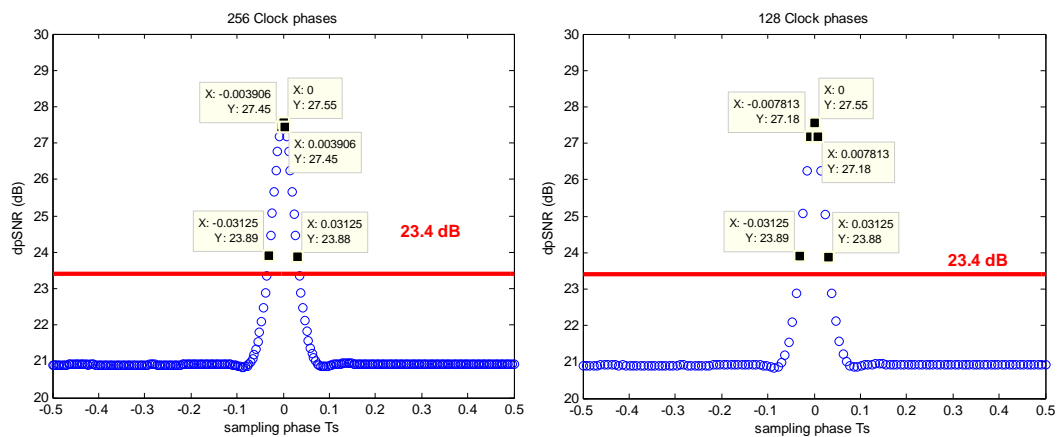
圖二十一，分別對兩種情況下進行模擬，第一，從最大的臨界值開始判斷，其次，初始值從最小的臨界值選取。收斂之後，收斂偵測器會發出鎖定信號(Locked)

Signal)，而峰值計數器開始判斷迴路收斂狀況，一旦發出收斂失敗的信號，則迴路必須再重新鎖定，直到獲得峰值計數器發出正確的信號為止。注意，第一種情況會導致峰值計數器內有過多的計數；第二種情況會因為峰值計數器內的計數為 0，兩種都會證明迴路有假性收斂的存在。

六、模擬結果

6.1 時脈相位解析度分析

雖然本年度沒有針對時脈回復機制作設計，但在採用多相位時脈的機制下，可以約略評估在典型收發機架構中大概的需求，如圖二十二所示，在資料模式中，建議最好有 256 個以上相位才能避免因相位誤差導致較明顯的效能降低。



圖二十二 取樣相位誤差與決策訊雜比之關係

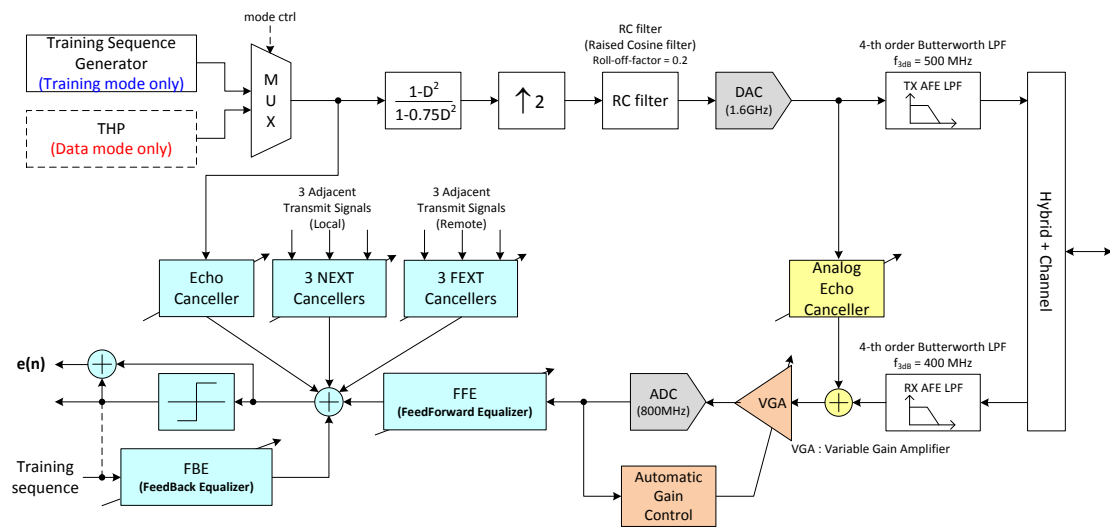
6.2 系統模擬

系統模擬的環境為 CAT6-55m，理想時脈(最佳取樣點)，接收信號的訊雜比為 33dB，數位類比轉換器/類比數位轉換器為 9 bits，系統架構為圖二十三和圖二十四，系統參數設定如表十與表十一。

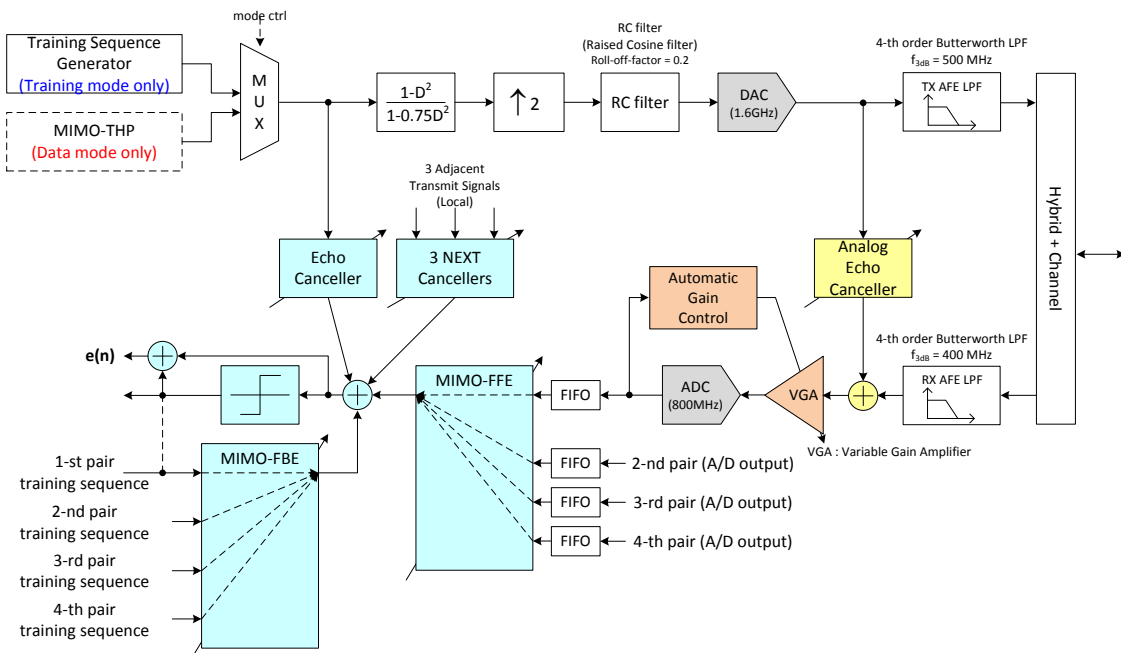
表十、典型收發機架構之參數設定					
	FFE	FBE	Echo Canceller	NEXT Canceller	FEXT Canceller
Taps/收發機	65	20	450	3*300	3*125
Stepsize (初始)	$2^{(-5)}$	$2^{(-7)}$	$2^{(-10)}$	$2^{(-11)}$	$2^{(-11)}$
Stepsize (最終)	$2^{(-8)}$	$2^{(-10)}$	$2^{(-13)}$	$2^{(-13)}$	$2^{(-13)}$

表十一、以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構之參數設定

	MIMO-FFE	MIMO-FBE	Echo Canceller	NEXT Canceller
Taps/收發機	4*65	4*50	450	3*300
Stepsize (初始)	$2^{(-5)} / 2^{(-11)}$	$2^{(-9)}$	$2^{(-10)}$	$2^{(-11)}$
Stepsize (最終)	$2^{(-8)} / 2^{(-14)}$	$2^{(-12)}$	$2^{(-13)}$	$2^{(-13)}$



圖二十三 典型收發機架構(加入自動增益控制)



圖二十四 以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構(加入自動增益控制)

表十二、典型收發機架構 - 資料模式 (dpSNR,dB)					
訓練模式/ 資料模式	DAC/ADC/A GC	1 st pair	2 nd pair	3 rd pair	4 th pair
圖二十三/圖七	w/o	28.09	27.98	27.72	27.94
	with	27.85	27.78	27.49	27.81
效能損失		0.24	0.2	0.23	0.13
圖二十三/圖八	w/o	28.03	27.95	27.71	27.94
	with	27.87	27.74	27.42	27.71
效能損失		0.16	0.21	0.29	0.23

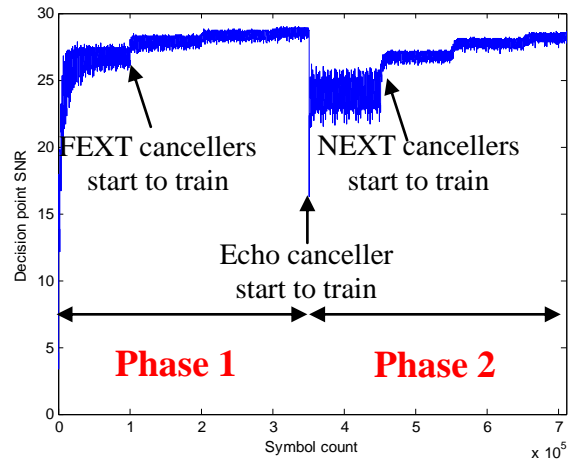
表十三、以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構 - 資料模式 (dpSNR,dB)					
訓練模式/ 資料模式	DAC/ADC/AGC	1 st pair	2 nd pair	3 rd pair	4 th pair
圖二十四/ 圖十一	w/o	27.93	27.75	27.69	27.83
	with	27.72	27.67	27.49	27.73
效能損失		0.21	0.08	0.20	0.10
圖二十四/ 圖十二	w/o	27.92	27.73	27.68	27.82
	with	27.72	27.53	27.46	27.64
效能損失		0.20	0.20	0.22	0.18

表十二和表十三是針對不同架構下的整體系統模擬結果，考量數位類比轉換器/類比數位轉換器/自動增益迴路的影響。進入資料模式時，自動增益迴路不再調整。從結果得知，加入此三種效應後，效能大約降低 0.08 dB 到 0.29 dB 不等。

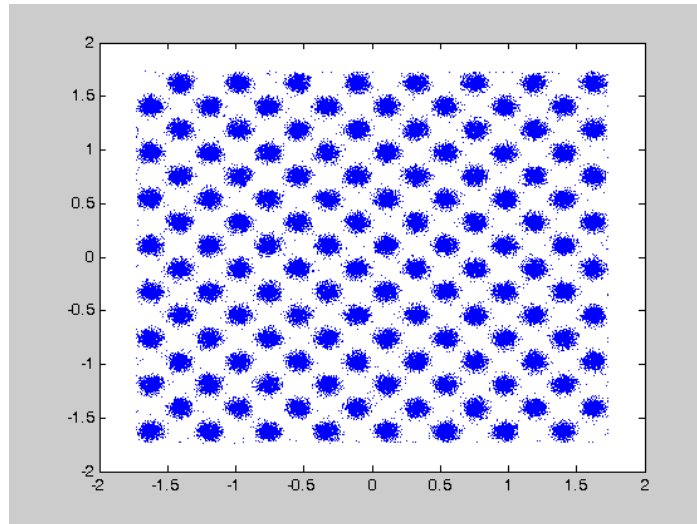
圖二十五(a)為典型收發機架構，訓練模式中，經過 200 次獨立模擬後取平均並通過移動平均濾波器(Moving Average Filter)所得到的學習曲線(Learning Curve)，而(b)為 DSQ-128 的星座圖，將星座圖轉換成一維來觀察便可得到(c)，表示 PAM16 的眼圖(Eye Diagram)。

圖二十六為以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器(THP)為基礎的收發機架構，訓練模式中，經過 200 次獨立模擬後取平

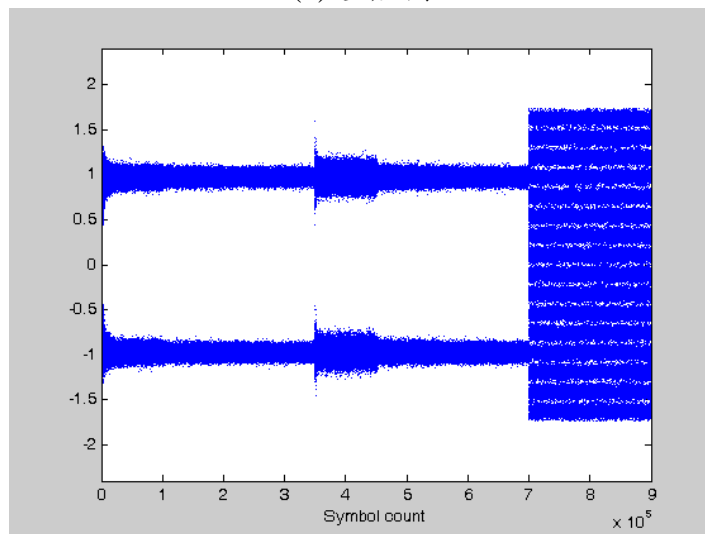
均並通過移動平均濾波器(Moving Average Filter)所得到的學習曲線(Learning Curve)，星座圖以及眼圖都類似圖二十五(b)和(c)，故不再重複呈現。



(a) 學習曲線

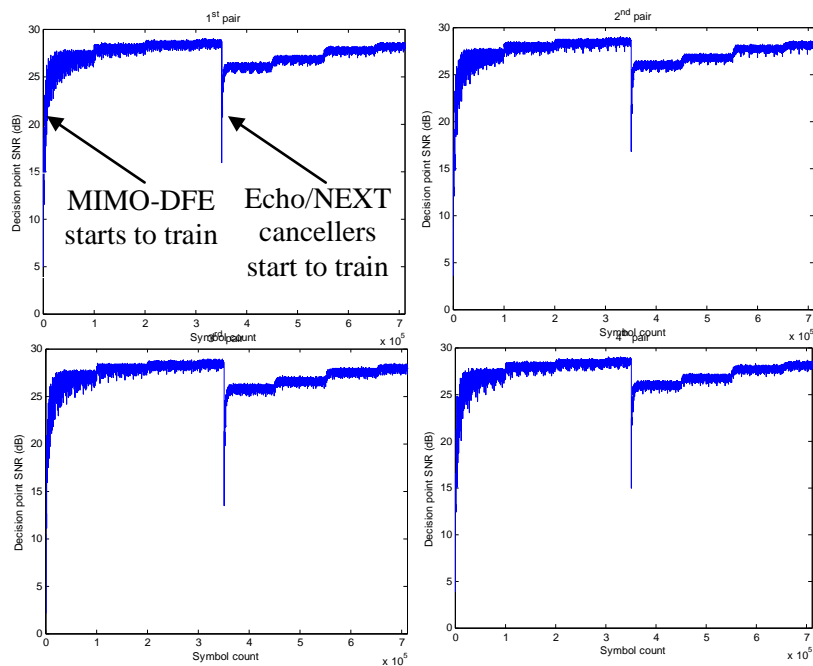


(b) 星座圖



(c) 眼圖

圖二十五



圖二十六 學習曲線

七、結論與展望

本(第二)年度的工作項目中，以降低通道等化與干擾消除複雜度為目標，提出了三種收發機架構設計方法。首先，典型收發機架構；針對去年度的架構進行修改，目的降低接收端中類比數位轉換器的操作頻率，由原本的 1600MSample/s 降低到 800Msample/s；並加入類比回音干擾消除器的效應來減少數位回音干擾消除器的複雜度；後端的數位信號處理中，利用可適性聯合等化與串擾消除搭配可變式 Step size 訓練方法去調整；在資料模式中，對於遠端串音干擾的處理方式，分別提出在傳送端以及接收端消除的架構。

其次，為了降低遠端串音干擾消除器的複雜度，提出以多輸入多輸出之決策回饋等化器/多輸入多輸出之湯林森-河洛緒預編碼器為基礎的收發機架構；利用多輸入輸出決策回饋等化器等化由遠端的通道衰減和遠端串音干擾所組成的多輸入多輸出等效通道模型，採用可適性聯合等化與串擾消除搭配可變與安排式的 Step size 訓練方法做更新，在資料模式中效能平均提升 1.3dB；當然，針對資料模式之遠端串音干擾消除議題，提出多輸入多輸出之湯林森-河洛緒預編碼器將此干擾在傳送端預先處理，也為了符合標準描述，提出在接收端做處理的架構。

最後，聯合降低回音干擾和近端串音干擾消除器的複雜度為目標，提出利用通道長度縮減技術為主的收發機架構；藉由縮短脈衝響應濾波器來同時縮短回音干擾和近端串音干擾的通道以達到降低回音干擾和近端串音干擾消除器的長度，分別使用可適性聯合縮短回音干擾/近端串音干擾通道以及可適性聯合等化與遠端串擾消除。利用這個架構，雖能有效的降低複雜度，不可避免的是部分效能的損

失，這也是在複雜度和效能上必須做一個妥協的例子。

此外，評估數位類比轉換器/類比數位轉換器在收發機架構下所需要的解析度；並針對自動增益迴路電路設計上，提出新的偵測功能去判斷迴路的鎖動是否正確。雖然時脈回復演算法沒有在此被討論，但也估計一旦多相位時脈的技術被採用時，相位解析度的需求量，由模擬的結果初步得知，要有好的效能呈現建議至少需要 256 以上的相位分割數。

時序議題以及時脈回復機制在收發機架構中佔有舉足輕重的地位，很值得深入探討的研究，未來，子計畫一的團隊會繼續針對這些重要的主題做詳細的分析和探討。並以達到 100 公尺的傳輸距離做為最終目標。

八、成果自評

關於今年度的研究成果，在收發機設計上，針對不同的目標提出了三種系統架構。達到了降低接收端中類比數位轉換器的操作頻率，以及後端數位訊號處理所需的複雜度，包括通道等化和干擾消除等等；並提出許多訓練方法，使得整體的系統效能表現更好。另外，對適用於此系統的自動增益控制電路提出了一套偵測功能機制，且於時脈回復議題上給予一些初步的分析和討論。

在論文的發表中，目前有兩篇已被接受，分別發表在 International Conference on Advanced Communication Technology(ICACT, 2007)和 International Conference on Communications, Circuits and Systems(ICCCAS, 2007)，還有一篇已投稿於 IEEE Workshop on Signal Processing Systems(SiPS, 2007)。

九、參考文獻

- [1] 徐銘鋒, "Baseband DSP Design for 10GBASE-T Ethernet System", 國立台灣大學電子工程學研究所碩士論文, July 2005.
- [2] 李展華, "Design of a Baseband Transceiver for IEEE 802.3an 10GBASE-T Ethernet", 國立台灣大學電信工程學研究所碩士論文, July 2006.
- [3] "IEEE Standard for Information technology - Telecommunications and information exchange between systems-Local and metropolitan area networks - Specific requirements Part 3: Carrier Sense Multiple Access with Collision Detection (CSMA / CD) Access Method and Physical Layer Specifications", *IEEE standard*, 2006, Page(s):0_1 – 167
- [4] Bates, S., Iniewski, K., "10GBPS over copper lines – State of the art in VLSI", *System-on-Chip for Real-Time Applications, 2005. Proceedings. Fifth International Workshop on*, 20-24 July 2005, Page(s):491 – 494
- [5] Scott Powell, Bazhong Shen, Gottfried Ungerboeck, "10GBASE-T Modulation & Coding, Set of Fixed Precoders, and Start-up", IEEE P802.3an Task Force, Nov. 2004.

- [6] Gottfried Ungerboeck, "Coding for 10GBASE-T: RS and TCM", IEEE P802.3an Task Force, March 2004.
- [7] Gottfried Ungerboeck, "10GBASE-T Coding and Modulation:128-DSQ + LDPC ", IEEE P802.3an Task Force, Sep.-Oct. 2004.
- [8] Scott Powell, "Shedding Some Light on Coding Gain", IEEE P802.3an Task Force, Jan. 2004.
- [9] Scott Powell, BZ Shen, "Specification and Performance of Proposed LDPC (2048,1723) Code", IEEE P802.3an Task Force, Jan. 2005.
- [10] IEEE P802.3an Task Force website. [Online] - <http://www.ieee802.org/3/an/>
- [11] Gottfried Ungerboeck, Scott Powell, "10GBASE-T Cable characteristics, front-end solutions, and precoders", IEEE P802.3an Task Force, March 2005.
- [12] Tai-Cheng Lee, Razavi, B., "A 4-tap 125-MHz mixed-signal echo canceller for Gigabit Ethernet on copper wire", *Custom Integrated Circuits Conference, 2000. CICC. Proceedings of the IEEE 2000*, 21-24 May 2000, Page(s):461 – 464
- [13] Hatamian, M., Agazzi, O.E., Creigh, J., Samueli, H., Castellano, A.J., Kruse, D., Madiseti, A., Yousefi, N., Bult, K., Pai, P., Wakayama, M., McConnell, M.M., Colombatto, M., "Design considerations for gigabit Ethernet 1000Base-T twisted pair transceivers", *Custom Integrated Circuits Conference, 1998., Proceedings of the IEEE 1998*, 11-14 May 1998 Page(s):335 - 342
- [14]Azadet, K., "Gigabit Ethernet over unshielded twisted pair cables", *VLSI Technology, Systems, and Applications, 1999. International Symposium on*, 8-10 June 1999 Page(s):167 - 170
- [15]Hsiu-Ping Lin, Chen, N.F., Jyh-Ting Lai, An-Yeu Wu, "1000BASE-T Gigabit Ethernet baseband DSP IC design", *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, Volume 4, 23-26 May 2004 Page(s):IV - 401-4 Vol.4
- [16]Gi-Hong Im, Kyu-Min Kang, Cheol-Jin Park, "FEXT cancellation for twisted- pair transmission", *Selected Areas in Communications, IEEE Journal on*, Volume 20, Issue 5, June 2002, Page(s):959 – 973
- [17] Simon Haykin, "Adaptive Filter Theory", Fourth Edition, Prentice Hall.
- [18] John G. Proakis, Masoud Salehi, "Communication Systems Engineering", 2nd Edition, Prentice Hall.
- [19] Parhi et al., "System and Method for MIMO Equalization for DSP Transceivers", *United States Patent Application Publication*, Pub. No.: US 2007/0014378 A1, Pub. Date: Jan. 18, 2007
- [20] Jie Chen, Yongru Gu and Keshab K. Parhi, "MIMO Equalization and Cancellation for 10GBASE-T", *Acoustics, Speech and Signal Processing, 2006. ICASSP 2006 Proceedings. 2006 IEEE International Conference on*, Volume 4, 2006 Page(s):IV – IV

- [21] Melsa, P.J.W., Younce, R.C., Rohrs, C.E., "Impulse response shortening for discrete multitone transceivers", *Communications, IEEE Transactions on*, Volume 44, Issue 12, Dec. 1996, Page(s):1662 – 1672.
- [22] Haiping Wu, Kavehrad M., "An MMSE Maximal Shortening Equalizer for 10GBASE-T Ether Network", *Global Telecommunications Conference, 2005. GLOBECOM '05. IEEE*, Volume 3, 28 Nov.-2 Dec. 2005, Page(s):5 pp.
- [23] Ming-Feng Hsu, Yen-Liang Chen, Kai-Yuan Jheng, An-Yeu Wu, "A Shorten Impulse Response Filter (SIRF) Scheme for Cost-Efficient Echo Canceller Design of 10GBASE-T Ethernet System", *Signal Processing Systems Design and Implementation, 2006. SIPS '06, IEEE Workshop on*, Oct. 2006, Page(s):309 -312.
- [24] Huss, S.; Mullen, M.; Gray, C.T.; Smith, R.; Summers, M.; Shafer, J.; Heron, P.; Sawinska, T.; Medero, J., "A DSP based 10BaseT/100BaseTX Ethernet transceiver in a 1.8 V, 0.18 μm CMOS technology", *Custom Integrated Circuits, 2001, IEEE Conference on.*, 6-9 May 2001, Page(s):135 – 138
- [25] 賴致廷, "New Front-end DSP Algorithms and VLSI Architectures for Cost-efficient Communication Receiver IC Designs", 國立台灣大學電子工程學研究所博士論文, March 2006.
- [26] Ying-Ren Chien, Jan-Hwa Lee, Hen-Wai Tsao, Wei-Lung Mao, "A Multi-channel Symbol Timing Recovery Architecture for 10GBASE-T System", *Advanced Communication Technology. The 9th International Conference on*, Volume 1, Feb. 2007, Page(s):668-672.
- [27] Ying-Ren Chien, Hen-Wai Tsao, "A Study of Far-End Crosstalk Cancellation Architecture for 10GBASE-T", *ICCCAS'07, International Conference on Communication, Circuits and Systems*.
- [28] Ying-Ren Chien, Yen-Ting Tu, Hen-Wai Tsao, Wei-Lung Mao, "Equalization and Interference cancellation with MIMO THP for 10GBASE-T", *IEEE Workshop on Signal Processing*, 2007.