

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 病理遙測系統與生醫感測晶片--子計畫二：病理遙測生醫 感測類比訊號處理器(1/3) 期中進度報告(完整版)

計畫類別：整合型  
計畫編號：NSC 95-2220-E-002-014-  
執行期間：95年08月01日至96年07月31日  
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：林宗賢

處理方式：期中報告不提供公開查詢

中華民國 96年05月29日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

病理遙測系統與生醫感測晶片

子計畫二

病理遙測生醫感測類比訊號處理器

Analog Signal Processor for Remote Control Medical  
Sensor Applications

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 95 - 2220 - E - 002 - 014 -

執行期間：95 年 8 月 1 日至 96 年 7 月 31 日

計畫主持人：林宗賢 助理教授

計畫參與人員：楊承勳、方健印

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、  
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

執行單位：國立臺灣大學電子工程研究所

中 華 民 國 96 年 5 月 31 日

# 可供推廣之研發成果資料表

可申請專利

可技術移轉

日期：96年05月30日

<p><b>國科會補助計畫</b></p>	<p>計畫名稱：病理遙測生醫感測類比訊號處理器                  計畫主持人：林宗賢 助理教授                  計畫編號：NSC 95 - 2220 - E - 002 - 014                  學門領域：微電子學門</p>
<p><b>技術/創作名稱</b></p>	<p>具有自我校正功能的 Voltage-to-Code Converter</p>
<p><b>發明人/創作人</b></p>	<p>楊承勳/邱威豪/林宗賢</p>
<p><b>技術說明</b></p>	<p>中文：                  本計劃發展了一量測電橋訊號的電路系統，透過前級放大電路、校正電路與惠斯登電橋驅動電源產生器，將可有效降低誤差量和製程上不匹配問題，並準確讀出訊號大小；再透過 Voltage-to-Code Converter，將前級所取得的訊號以數位方式傳出。</p>
	<p>英文：                  We propose an architecture which can sense the output signal from the Wheatstone Bridge. The system is composed of a Pre-Amplifier, Calibration Circuit, Driving Source Generator, and a Voltage-to-Code converter. This architecture calibrates the offsets and mismatches by incorporating the proposed Voltage-to-Code Converter (V-C Converter). The converted output digital codes are then ready for subsequent wireless transmission.</p>
<p><b>可利用之產業 及 可開發之產品</b></p>	<p>包含所有需要校正極小誤差的應用，以及轉換電壓相關資訊以便傳輸的電路系統。</p>
<p><b>技術特點</b></p>	<ol style="list-style-type: none"> <li>1. 不需要仰賴 ADC/DAC 提供精準的校正訊號，可在類比電路上進行自我校正。</li> <li>2. 可放大微小訊號源，使精準度提高。</li> <li>3. 透過迴路機制，降低誤差量和元件製程上的不匹配效應。</li> </ol>
<p><b>推廣及運用的價值</b></p>	<ol style="list-style-type: none"> <li>1. 提升需相互對稱電路其校正的可信度與精確度。</li> <li>2. 降低使用複雜的 ADC/DAC 設計負擔。</li> </ol>

※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。

※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

※ 3. 本表若不敷使用，請自行影印使用。

# 中文摘要

隨著半導體技術的發展，使得小面積且高效能演算法的數位電路被廣泛使用。儘管數位電路能夠實現許多複雜的演算，但卻無法直接處理自然界的訊號(Physical Signal)；因此，在一般的感測應用上，仍必須依賴類比電路作為介面電路，然而類比電路勢必面對許多非理想效應，這些效應都將影響系統的各項效能，所以提出前瞻電路架構以解決這些問題成為本計畫重要的研究議題。

在此子計劃的進度報告中，我們將針對類比訊號處理器進行研究，其中包括了前級放大電路與電壓時序轉換電路等元件，設計目標在於使訊號處理器能夠操作在較低的雜訊下，同時有較佳的效能。目前已有完整設計的放大與雜訊處理電路中，包含有  $G_m \cdot R$  放大器、Sample-and-Hold 電路以及 Chopper 電路，並且我們加入直流偏移消除的機制，使其能夠對抗製程變異等非理想效應，實際設計是採以 0.18- $\mu\text{m}$  CMOS 製程，所設定的操作電壓為 1 V。

此外，為了提升訊號處理的品質，我們進一步提出校正電路，以降低直流偏移、溫度和元件不匹配等非理想效應。以往前級放大器解決直流偏移的作法上，多半只採用 Chopper 或是 Auto-Zeroing 的其中一種，它們分別會有 Residual Offset 和 Noise Folding 的問題，而我們在此同時採用兩種機制，比起傳統作法將更能降低這些效應；在 Voltage-to-Code Converter 中，則透過對稱路徑並以迴授方式進行校正，目的在於降低溫度漂移時候對於電路元件的影響。

在此計劃進度報告當中，我們將說明 Pre-amplifier 和 Voltage-to-Code Converter 的研究結果。

# Abstract

Recently, with the development of semiconductor technologies, small areas and high performance digital circuits are widely used. Although digital circuits may implement many complex algorithms, it is hard to deal with nature signals. Thus, we must depend on analog circuit as readout circuits in most sensor applications. However, analog circuits face with many non-idealities, and these non-ideal effects will impact the overall system performance. Therefore, this has motivated us to develop circuit techniques to address these issues.

In this project, we focus on the design of the analog signal processor (ASP) for sensor interface applications. The ASP mainly consists of a Pre-amplifier and a Voltage-to-Code converter. Both will be described in details in this report. The pre-amplifier employs the flicker noise and offset reduction techniques (chopper and auto-zeroing methods), while the Voltage-to-Code converter converts the input signal to output digital codes directly. Meanwhile, calibration mechanism is proposed to compensate for the process, voltage, and temperature (PVT) variations.

In the following sections, we will present detail information on Pre-amplifier and Voltage-to-Code Converter.

# 目錄

封面頁

可供推廣之研發成果資料表

中文摘要.....	I
英文摘要.....	II
目錄.....	III
1. 前言與目的.....	1
1.1 子計劃概述.....	1
1.2 本篇報告結構.....	1
2. 非理想效應之校正技術相關文獻探討.....	2
2.1 前言.....	2
2.2 電路的補償與校正.....	2
2.2.1 自動歸零機制.....	2
2.2.2 雙重取樣.....	3
2.2.3 相關雙重取樣.....	3
2.2.4 削波.....	4
2.2.5 削波、自動歸零機制之組合.....	5
2.3 Voltage-to-Code Converter 校正技術相關文獻探討.....	6
2.3.1 前言.....	6
2.3.2 傳統作法與架構一覽.....	6
3. 類比訊號處理器設計與成果.....	11
3.1 設計概念緣由.....	11
3.2 前級放大器子系統方塊設計.....	11
3.2.1 系統設計.....	11
3.2.2 放大器之電路架構.....	12
3.2.3 自動歸零以及削波機制之電路實現.....	13
3.2.4 模擬結果.....	15
3.2.5 研究成果.....	16
3.2.6 預期達成之目標與成果.....	16
3.3 Voltage-to-Code Converter 方塊設計.....	17

3.3.1	前言.....	17
3.3.2	電路概念說明.....	17
3.3.3	詳細電路運作說明.....	18
3.3.4	延遲元件.....	19
3.3.5	模擬結果.....	20
3.3.6	預期達成之目標與成果.....	21
3.4	本計劃之目標與成果展示.....	22
	參考文獻.....	24

# 1 前言與目的

## 1.1 子計劃概述

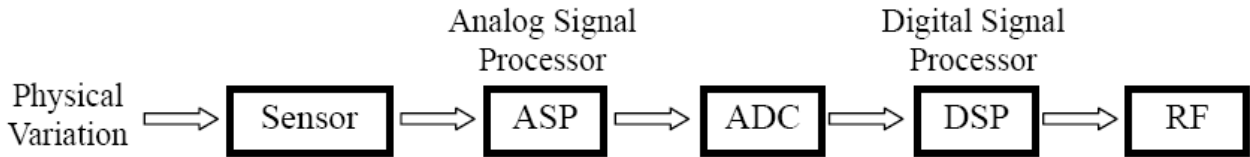


圖1.1 無線感測應用系統示意圖

在無線感測的應用(圖 1.1)中，系統電路對於自然訊號處理的精確度，端賴於類比電路模組的效能與準確性，尤其在多數的應用中，感測器及其讀出電路所能轉換出之電訊號通常甚小，並且可能包含著許多非理想效應所造成的錯誤訊號(如雜訊及 offset 等)，因此，在本子計劃當中，我們將著重於高準確度類比訊號處理器的研發工作，針對整合計劃中所使用的壓阻感測器 (Piezo-resistive Sensor) 與其可能的非理想效應進行分析與研究解決方法，以得到精確的檢測資訊。

在 Pre-Amplifier 的電路設計上，自動歸零(Auto-zeroing)以及削波(Chopper)是最被廣泛使用的電路架構，在本子計畫中採用了自動歸零與削波並用的架構，這次實作的電路是用於低頻的 Pre-Amplifier，預計設計頻寬在 DC ~ 1 kHz，其架構包括了轉導增益級 (Transconductance Gain Stage)、轉阻增益 (Transimpedance Gain Stage)、取樣與保持電路 (Sample-and-Hold Circuit)、削波(Chopper)、低通濾波器(Low Pass Filter)、及迴授電路 (Feedback Circuit)的部分。

ASP 之輸出信號將經由其他子計畫的電路進行無線傳輸傳送至遠端使用者，因此於類比訊號處理模組後端一般需有其他電路作為通訊介面(如：ADC、DSP 等電路)。為降低整個系統之複雜度，本計畫同時設計了一個電壓時序轉換電路，可使我們所設計之類比訊號處理模組直接與射頻介面電路進行連接，以便能進行無線傳輸。

## 1.2 本篇報告結構

於本篇進度報告當中，我們將針對我們目前的研究進度與成果作一完整報告，目前我們的研究設計重心為 Pre-amplifier 內 chopper 與 auto-zeroing 的基本元件設計，以及 Voltage-to-Code Converter 的機制與功能模擬。本篇報告的組織如下所示，首先我們將於第二章中針對相關文獻進行介紹；第三章則對於所設計電路架構的進行分析與討論，最後說明我們的研究成果與發表之論文。



## 2 非理想效應之校正技術相關文獻探討

### 2.1 前言

在任何實際的電路應用情況下，非理想效應的存在是不可避免的。尤其壓阻元件本身、惠斯登電橋及接下來的感測器讀出電路（如放大器等），都會隨著製程、電壓與溫度 (Process-Voltage-Temperature, PVT) 的漂移而使感測結果產生不可避免之誤差。以下將討論關於類比信號處理電路的一些非理想效應。

### 2.2 電路的補償與校正

在感測器介面電路實現上較重要的非理想效應為DC Offset或低頻雜訊 (Flicker Noise)，改善這些效應的電路技巧一般有：自動歸零(Auto-zero)機制、雙重取樣 (Double Sampling)、相關雙重取樣 (Correlated Double Sampling, CDS)或是削波機 (Chopper) 等方法，以下將分別加以討論。

#### 2.2.1 自動歸零機制 (Auto-zeroing)

自動歸零機制如圖2.1所示，目標在於將輸出偏移量 (DC Offset) 藉由電路技巧將之消除；此電路在運作過程中需要兩個相位，在圖2.1中， $\Phi_1$ 稱為取樣相位 (Sampling Phase)， $\Phi_2$ 稱為信號處理相位 (Signal-Processing Phase)。在 $\Phi_1$ 中，訊號流經放大器的路徑被切斷，同時將放大器的兩差動輸入端短路；此時直流偏移電壓 $V_{OS}$ 與隨機雜訊的電壓 $V_N$ ，將於輸出端產生一定的電壓，即為偏移輸出電壓；之後，將此電壓值取樣並且利用輔助的歸零輸入端(Auxiliary Nulling-Input Port)，將放大器的偏移電壓及雜訊電壓抵消。所以輸入訊號在經過電路而得到的輸出訊號，將可被視為無偏移量的輸出電壓。

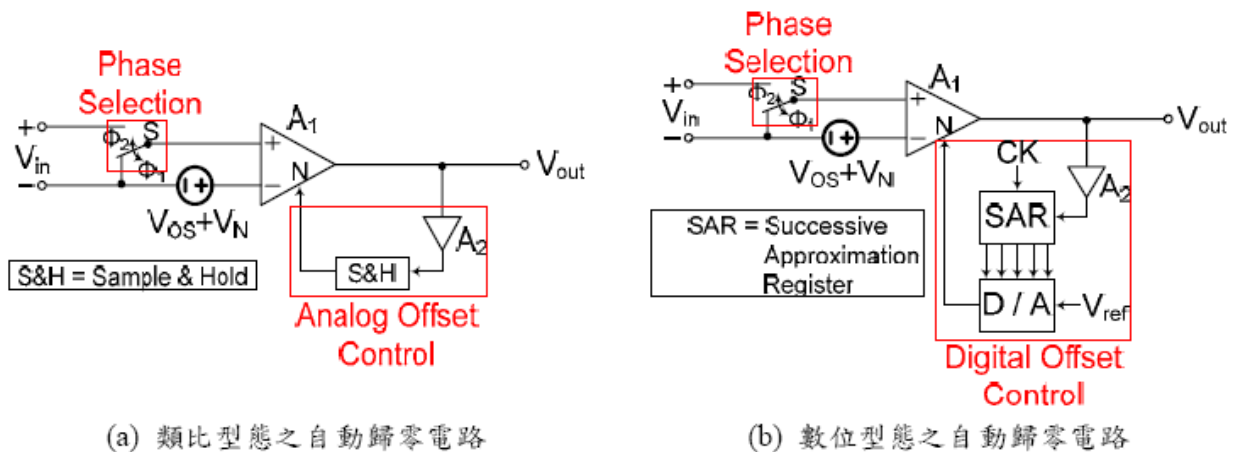


圖2.1 自動歸零電路示意圖

由於自動歸零機制為Sampling Process，所以會有Sub-Sampling的效應，這是在設計此電路時必須加以考量的。取樣時寬頻 (Wideband) 的雜訊會被混疊到基頻(Baseband) 的區域，此動作將增加在頻帶內的雜訊能量頻譜密度 (Power Spectral Density, PSD)；也因此，自動歸零機制雖然對於低頻的雜訊有著良好的衰減作用，但同時也會使取樣頻率內的Noise Floor上升。

## 2.2.2 雙重取樣 (Double Sampling)

雙重取樣[4]可視為自動歸零機制的變型，雙重取樣也使用兩個相位，一個相位作Noise及Offset取樣的動作，另一個相位則作訊號加上Noise及Offset的取樣；之後再經由一個差值放大器將Noise及Offset減去，而得到一個理想的輸出結果。圖2.2為解釋雙重取樣之電路圖。

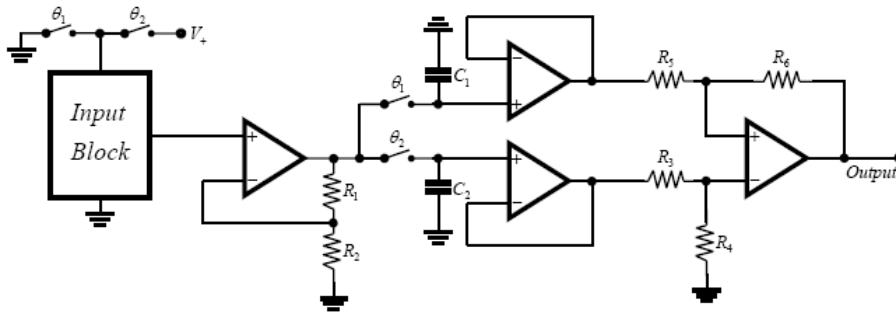


圖2.2 雙重取樣機制電路圖

在圖2.2中，當電路處於 $\theta_1$ 時，驅動電壓為零，所以感測器輸出亦為零，此時若放大器具有Offset誤差，則將於輸出端產生一個偏移電壓值，並且儲存於 $C_1$ 上；當電路處於 $\theta_2$ ，驅動電壓為 $V_+$ ，若有訊號輸入，則其輸出的電壓值將存於 $C_2$ 上，並且這個輸出電壓值是為包含DC Offset的電壓值。接下來，此輸出電壓及在 $\theta_1$ 時所儲存的偏移電壓，將分別經過單位增益緩衝器(Unit-Gain Buffer)，然後經由最後一級之差值放大器 (Difference Amplifier) 相減。所以本來含偏移量的輸出電壓值，將在輸出前減去其偏移電壓值，而得出一個理想電壓值。由於雙重取樣機制仍是Sampling Process，因此仍然有Noise Folding之效應。

## 2.2.3 相關雙重取樣 (Correlated Double Sampling)

相關雙重取樣電路可視為雙重取樣電路的進一步設計 [9]，其電路如圖2.3所示。假設偏移量不會隨著時間而有太大的變動，在電路處於 $\Phi_1$ 的時候，此時將量測放大器的偏移電壓，送到第二組放大器中，當第二組放大器接收到偏移電壓值，則會再產生一個包含第二組放大器偏移量的輸出電壓值，若將此輸出電壓值與原放大器的輸出相加，經推導則此時的輸出偏移 $V_{out,off}$ 及輸入相關偏移 $V_{in,off}$ 可以以式(1)表示，亦即等效輸入偏移量已經被抑制許多。接下來，當電路處於 $\Phi_2$ 的時候，此時將量測輸入訊號，輸出電壓值將包含偏移電壓值。但是從式子(1)可得知，此時其等效的輸入偏移量在經過 $\Phi_1$ 時已經受到回授的作用而大幅下降，較原先的 $V_{OS1}$ 來得小，因此可被忽略。

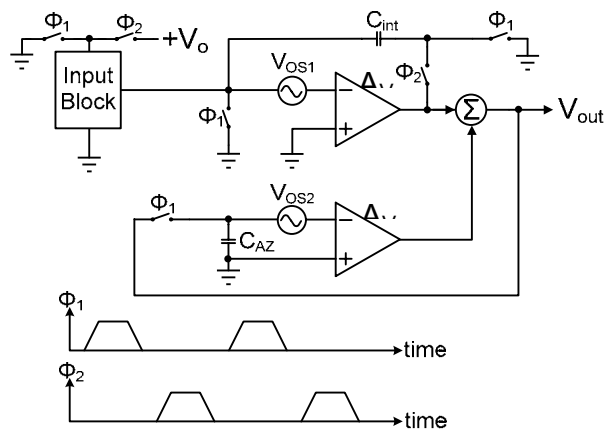


圖2.3 相關雙重取樣機制電路圖

$$\begin{cases} V_{out,off} = V_{OS1} \times \underbrace{\frac{A_{v1}}{A_{v2}+1}}_{\ll A_{v1}} + V_{OS2} \times \underbrace{\frac{A_{v2}}{A_{v2}+1}}_{\approx 1} \\ V_{in,off} = \frac{V_{out,off}}{A_{v1}} = \frac{V_{OS1}}{A_{v2}} + \frac{V_{OS2}}{A_{v1}} \ll V_{OS1} \end{cases} \quad (1)$$

相關雙重取樣最初是應用在充電式耦合元件電路 (Charged-Coupled Device, CCD)上，用以降低其所產生的雜訊。然而由於仍是採用取樣機制，Noise Folding的效應依然存在，此為取樣性電路的共同考量。

## 2.2.4 削波 (Chopping)

綜觀前述之自動歸零機制、雙取樣機制以及相關雙取樣機制，都是先取樣非理想因素後，再進行抵消動作，因此對於偏移量(offset)或雜訊具有高通效應。削波(Chopping)的機制不同於前述之取樣機制，對於訊號將作調變(Modulation)處理，藉由訊號於低頻處及高頻處之轉換，濾掉非理想之偏移雜訊。

削波機制如圖2.4所示，Chopping的方法本質上是對信號做調變，在輸入端(放大電路前)將信號乘上一個頻率成分，先將信號轉到高频，此時放大電路的DC Offset及低頻的Flicker Noise便與信號分開了；之後經過放大電路，再乘上相同之頻率成分，這時候我們所要經放大後的感測信號就被轉回低頻，而DC Offset等則被轉到高频了。接下來透過一個低通濾波器來消除轉到高频後的雜訊，如此便完成了消除DC Offset及低頻的Flicker Noise的動作。

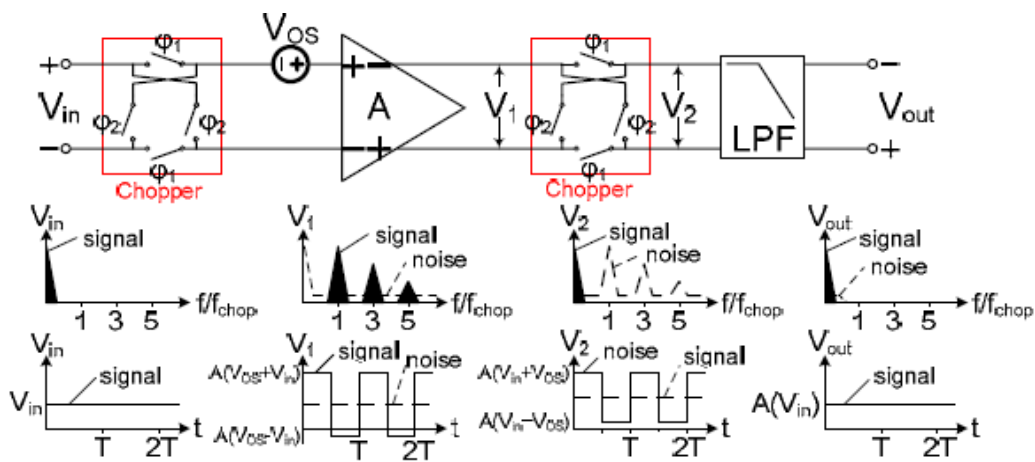


圖2.4 削波機制示意圖

在Chopping作用之下，DC Offset及低頻的Flicker Noise可以受到相當程度的壓抑。但在Chopping Amplifier中，必需使用額外的低通濾波器來消除轉到高频後的雜訊，而此低通濾波器的設計要求不低，尤其是當所要的輸入信號微弱、DC Offset或Flicker Noise很大，而且頻率接近時。另一個問題為，調變與解調所使用的開關將容易造成電荷注入(Charge Injection)等其他非理想效應，如圖2.5所示，這使得經削波器的訊號產生突波 (Spike)之現象，而這現象將會使訊號於輸出端點解調後，產生了殘餘偏移量 (Residual Offset)，致使輸出電壓值產生誤差。

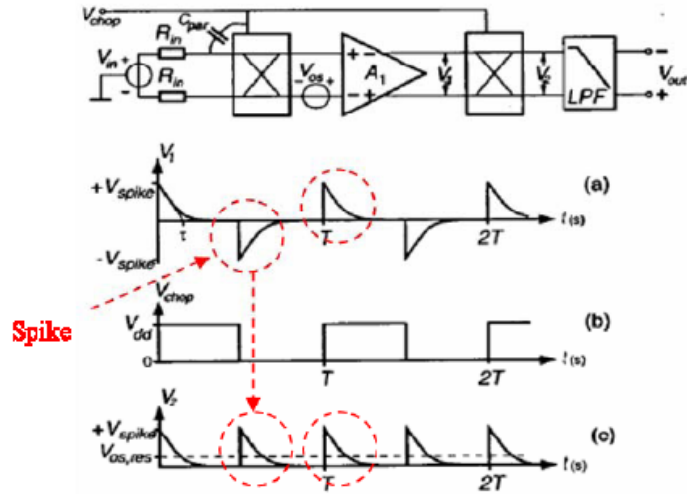
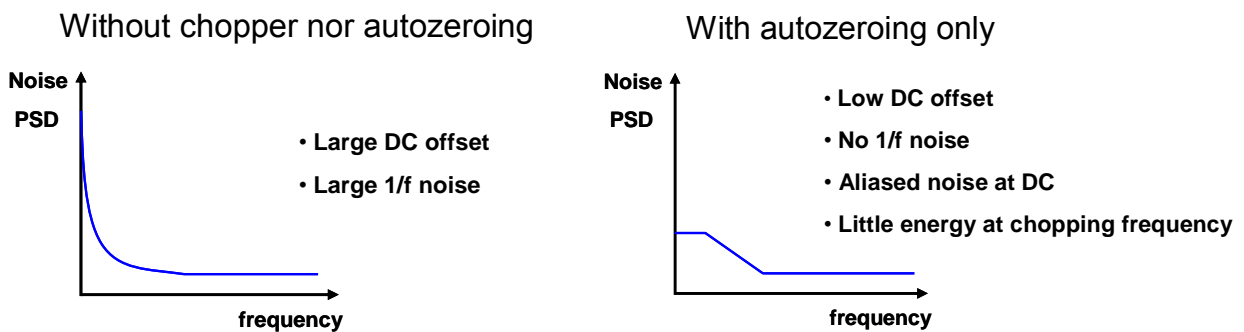


圖2.5 調變開關所造成的突波現象

為了降低殘餘偏移量之問題，幾個解決方案如濾除 (Filtering)、巢狀削波器 (Nested Chopper) 與護帶時間 (Guard Time) 等方法相繼被提出[5,6,7,8]，也被證明為有效且可行之法。

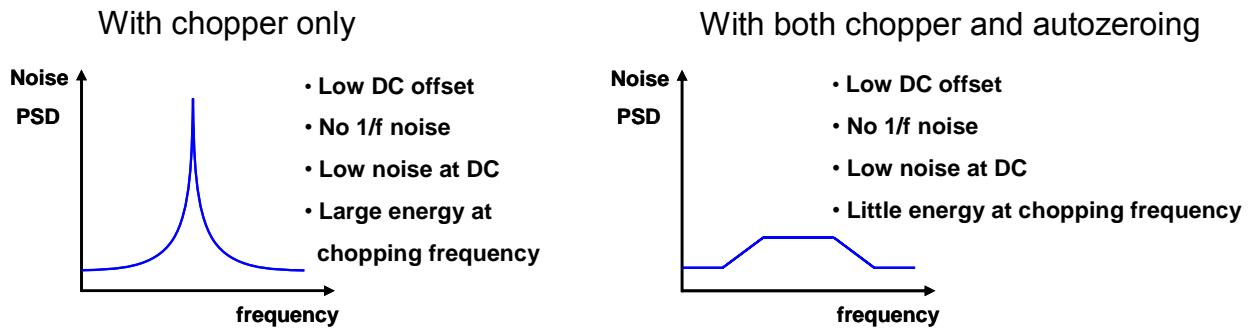
### 2.2.5 削波、自動歸零機制之組合

圖2.5為使用削波、自動歸零機制與否的各種雜訊頻譜分析圖[1]，圖2.6(a)為無削波器亦無自動歸零機制電路的放大器雜訊頻譜，此電路具有相當程度之DC Offset以及Flicker Noise；圖2.6(b)為僅有自動歸零機制的放大器雜訊頻譜，自動歸零機制電路將(a)之嚴重的DC Offset以及Flicker Noise效應給有效的去除，但由於自動歸零機制屬於Sampling Process，因此會有Noise Folding之效應；圖2.6(c)為僅有削波機制的放大器雜訊頻譜，削波機制電路將(a)之嚴重的DC Offset以及Flicker Noise效應給有效的去除，但由於削波機制屬於Modulation Process，因此會有Residual Offset之效應；圖2.6(d)為削波及自動歸零機制皆具的放大器雜訊頻譜，它改善了(b)和(c)所帶來的非理想效應，並做有效的DC Offset以及Flicker Noise消除。



(a) 無削波及自動歸零機制之雜訊頻譜分析

(b) 僅使用自動歸零機制之雜訊頻譜分析



(c) 僅使用削波機制之雜訊頻譜分析

(d) 削波及自動歸零機制皆具之雜訊頻譜分析

圖 2.6 使用削波、自動歸零機制與否之各種雜訊頻譜分析

## 2.3 Voltage-to-Code Converter 校正技術相關文獻探討

### 2.3.1 前言

由類比訊號處理器處理過的sensor signal，必須被其後的數位電路器進行運算與分析，隨著積體電路處理趨向數位方式，後端電路可能會嵌入類比數位轉換電路，使類比訊號可被量化成數位訊號，送予數位訊號處理器，以進行必要的控制。

於本計劃當中，需要將偵測之結果進行射頻無線傳輸，因此於類比訊號處理模組後端將有射頻傳輸介面電路作為通訊介面；為了產生一輸出訊號作為射頻傳輸介面電路之輸入訊號，我們將額外設計一個Voltage-to-Code Converter，允許此我們所設計之類比訊號處理模組直接與射頻介面電路進行連接，其設計方案概念如圖 2.7 所示，將前級放大器處理後的訊號，透過延遲元件，先轉換成時間相關資訊，再轉換成Code輸出，並送予後端電路。

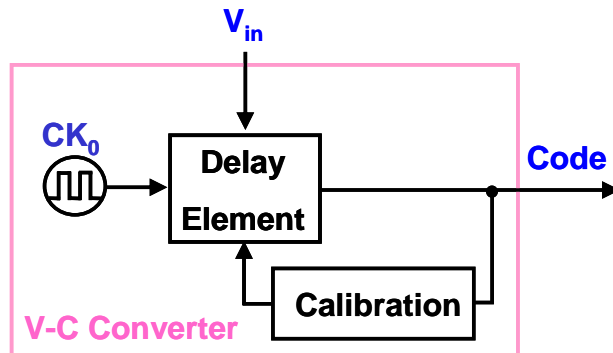


圖 2.7 電壓時序轉換電路之整合示意圖。

### 2.3.2 傳統作法與架構一覽

傳統的電壓時序轉換電路作法，多數採用結合Op-amp和電阻電容充放電的方式當成架構，透過輸出波形的振幅變化，回推對應到的週期大小，由週期大小可以知道前端送入訊號的大小，但在實作上，電阻受到製程漂移的影響大，就poly silicon為材料的電阻而言，有時可高達25%左右，如此一來將不易得到正確的結果，這是傳統作法容易遇到的問題。還有另一個設計上需要考量的，因為電阻電容值容易溫度變化而產生相對CMOS大很多的變異，因此這類傳統架構容易因為以上因素，而不能抵抗製程、電壓、溫度的變異(PVT variation)，因此在設計上必須特別注意這點。相關的傳統作法，採取電壓時序轉換電路實

現，如圖2.8示意[10]。

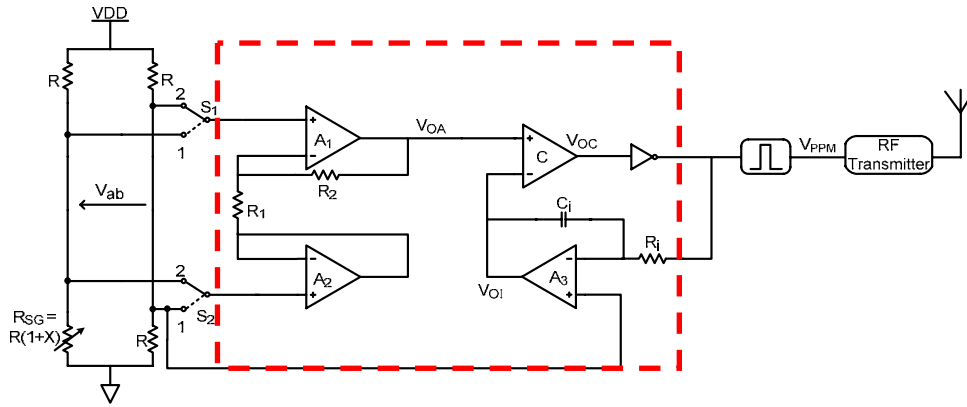


圖 2.8 電壓時序轉換電路之整合示意圖。

圖中 $V_{ab}$ 是前級放大電路(Pre-amplifier)輸出電壓，經過比較器進行比較，可得脈衝(Pulse)，並送到射頻傳送電路進行無線傳輸。

此電壓時序轉換電路藉由轉換脈衝週期以表示Sensor Signal大小；假設開關1、2都在位置1，則此時放大器 $A_1$ 的輸入電壓值會比放大器 $A_2$ 的輸入電壓值大，故在放大器 $A_1$ 及比較器C的輸出為高準位 $V_{OAH}$ ，而經過反向器後，在放大器 $A_3$ 的反向輸入端則是低準位，此時會有一電流由放大器 $A_3$ 的輸出端 $V_{OI}$ 流出對 $C_i$ 充電，當 $V_{OI}$ 充電到與 $V_{OAH}$ 相當的電壓值時，比較器C的輸出 $V_{OC}$ 會跳至低準位 $V_{OAL}$ ，同理 $C_i$ 會開始放電，當放大器 $A_3$ 的輸出 $V_{OI}$ 掉到和 $V_{OAL}$ 相同的值，比較器C的輸出 $V_{OC}$ 又會跳回高準位，電路會這樣重複的進行。而單穩態的多諧振盪器會抓出比較器C的輸出 $V_{OC}$ 的正緣端，形成一個週期性的脈衝，週期為 $T_{PPM}$ ，藉由充電時間的改變，即可改變脈衝之週期，圖 2.9 即是此運作之示意圖。

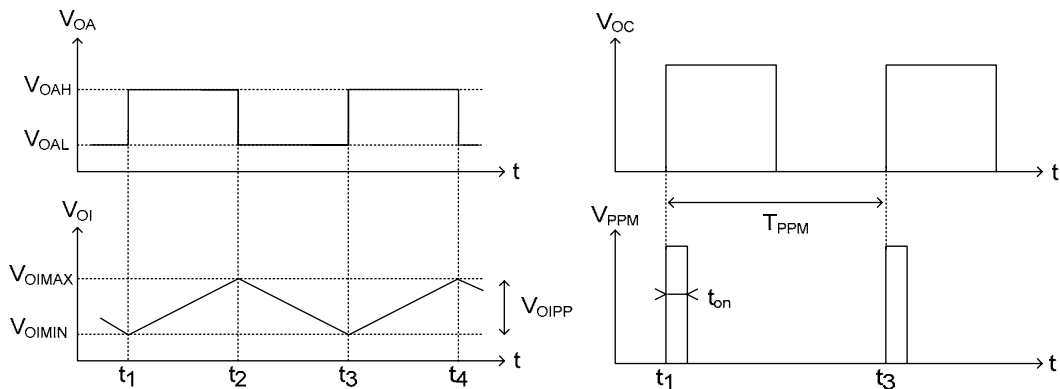


圖 2.9 電壓時序轉換電路之操作時序圖。

這個電路主要的優點：

一、它對放大器的偏移電壓是比較不敏感的，由於我們需要的訊號是由放大器 $A_3$ 的輸出 $V_{OI}$ 的高低準位之間的差來決定的，即 $V_{OIMAX}-V_{OIMIN}$ ，此外，偏移電壓會同時影響到 $V_{OIMAX}$ 及 $V_{OIMIN}$ ，也就是說 $V_{OIMAX}-V_{OIMIN}$ 會將偏移電壓相減掉，進而消除放大器所造成的偏移電壓。

二、形成電壓的輸入的是一個橋式電路，電路進行中開關 $S_1$ 及 $S_2$ 在位置1、2做切換的時候，其實已經對輸入的電壓訊號做了削波之動作，而有了雜訊消除之效果，對於輸入的雜訊比較不敏感。

這個電路主要的缺點：

一、橋式電路處在平衡狀態而不會產生所要輸出的問題，當橋式電路處於平衡時，放大器 $A_1$ 的輸出是一個定值（此時 $V_{OAH} = V_{OAL}$ ）。由於放大器 $A_1$ 的輸出 $V_{OA}$ 不會改變準位，放大器 $A_3$ 的輸出 $V_{OI}$ 充電至 $V_{OIMAX}$ 或者放電至 $V_{OIMIN}$ 時，便會定在 $V_{OIMAX}$ 或 $V_{OIMIN}$ 而不會轉態，導致比較器 $C$ 的輸出 $V_{OC}$ 也不會變動，故此時單穩態多諧振盪器無法判斷出比較器 $C$ 的輸出 $V_{OC}$ 的正緣端，而無法輸出正確的時間週期 $T_{PPM}$ ，也就是說由壓控電阻所組成的橋式電路要一直維持在不平衡的情況，表示要一直有外力輸入，才不會有無法輸出 $T_{PPM}$ 的情形。

二、被動元件不易整合到晶片內，若是拿兩個不同輸出的頻率：50MHz及10MHz，來簡單的估計一下所需要的 $R_iC_i$ 值。先以10MHz來看，假設橋式電路的變化量在0.4%左右， $R_2$ 為 $3k\Omega$ ， $R_1$ 為 $1k\Omega$ ，則所需要的 $R_iC_i$ 時間常數大小約為 $6.3e-06$ ，同理，50MHz來看的話 $R_iC_i$ 大約為 $1.3e-06$ 。也就是說，如果 $R_i$ 是 $k\Omega$ 的數量級大小， $C_i$ 就必須為nF的數量級大小，這種數量級大小就只能作在晶片之外。

這個電路缺點的改進方式：

改進的方法是進行補償之策略，圖 2.10 的紅色虛線部分是一個補償電路[11]，主要是用來補償當沒有電壓輸入時，單穩態的多諧振盪器不能夠讀出正確的時間週期 $T_{PPM}$ 的問題。

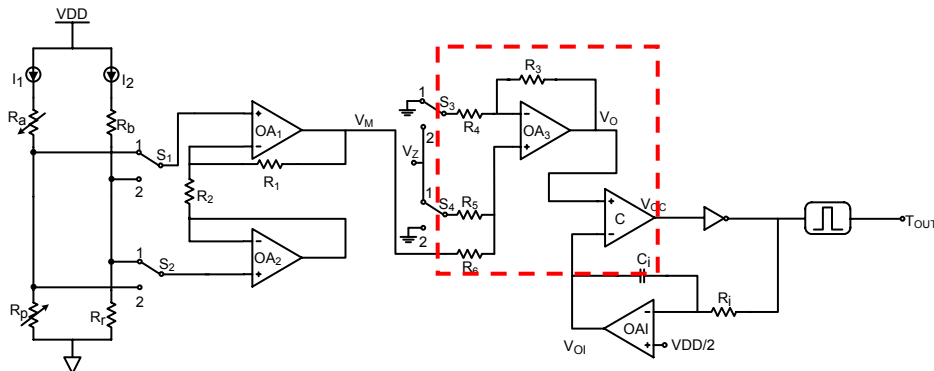


圖 2.10 加入補償電路之電壓時序轉換電路。

其詳細之運作細節如圖 2.11 之時序圖。

電路改進後的優點：

避開電橋在平衡點，無法造成有效輸出之問題。在有電壓輸入的情況， $V_O$ 的波形會正常操作，跟上一個電路的操作方式是一樣的，只是 $V_O$ 的輸出有加上 $V_Z$ 的部份。在沒有電壓輸入的情況，此時 $V_M$ 會是一個常數， $V_O$ 的輸出就直接由 $V_Z$ 的變動來決定。在 $V_Z$ 輸入的地方也是由兩個開關 $S_3$ 、 $S_4$ 在做切換輸入，所以這個電路也同樣有削波的效果，會對 $V_Z$ 的輸入有雜訊消除的作用。

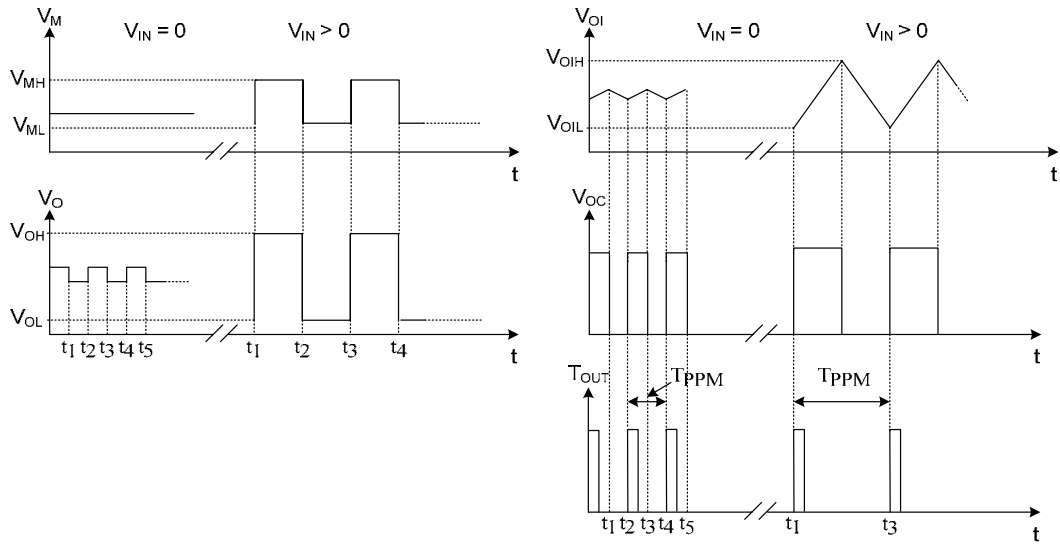


圖 2.11 加入補償電路之電壓時序轉換電路其時序表示圖。

這個電路的主要缺點：

另一個必須考量的是溫度效應之衝擊，當操作溫度改變時，壓阻將容易會有不匹配的情形發生，此時便會反映在電阻的改變量上，形成非理想的變化量被累積至理想量測之結果中。

為了補償這樣問題所造成的衝擊，圖 2.12 是一個可以感測壓阻電路上溫度變化的電路架構，藉由調變輸出的脈衝寬度來表現溫度的改變[12]。

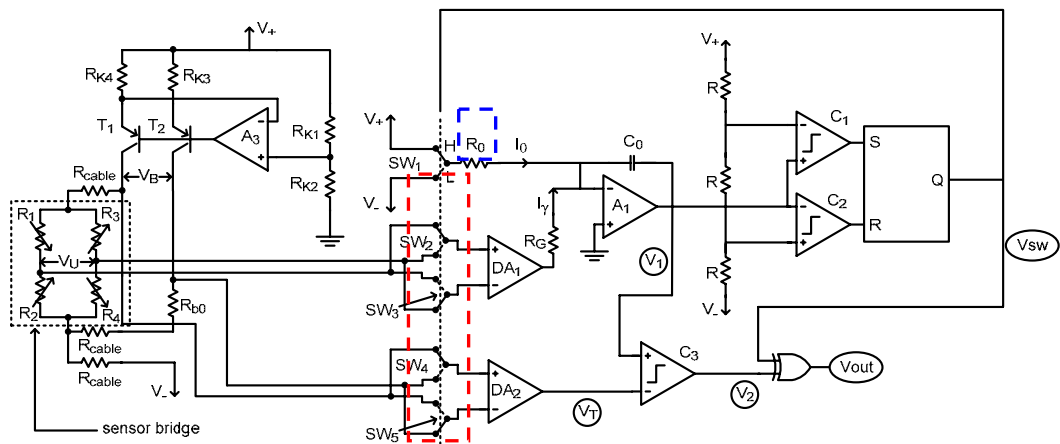


圖 2.12 加入溫度補償電路之電壓時序轉換電路。

電路詳細操作的細節如以下描述；由 $A_3$ 、 $T_1$ 及 $T_2$ 產生兩個相同大小的電流，流經電阻橋及 $R_{b0}$ 而造成兩個電壓 $V_U$ 及 $V_B$ 。 $V_U$ 是因為壓阻的不平衡所產生，也就是用來測量外界的輸入，而 $V_B$ 則是用來測量整個橋式電路因為溫度改變而造成的電阻變化量。 $V_U$ 、 $V_B$ 分別經過 $DA_1$ 、 $DA_2$ 放大， $V_U$ 轉成電流 $I_T$ ，再跟由 $R_0$ 所產生的固定電流 $I_0$ 相加，經過 $A_1$ 、 $C_0$ 產生出積分的波形。藍色虛線框起來的部份，可以視為為了防止沒有電壓輸入時 $C_3$ 的輸出不會轉態的問題，跟上一個電路所敘述的方法是相近的。 $V_1$ 及 $V_T$ 經過比較器 $C_3$ 產生 $V_2$ 再跟 $V_{SW}$ 做EX-OR，最後的輸出 $V_{OUT}$ 則可以同時感測壓阻的阻值變化及溫度的變化。從圖 2.13 可以看出，壓阻的阻值變化可以由週期的變化看出，而溫度上的變化造成了 $T_H$ 的改變而影響了Duty-Cycle，也就是說溫度上的變化可由Duty-Cycle顯示出來。



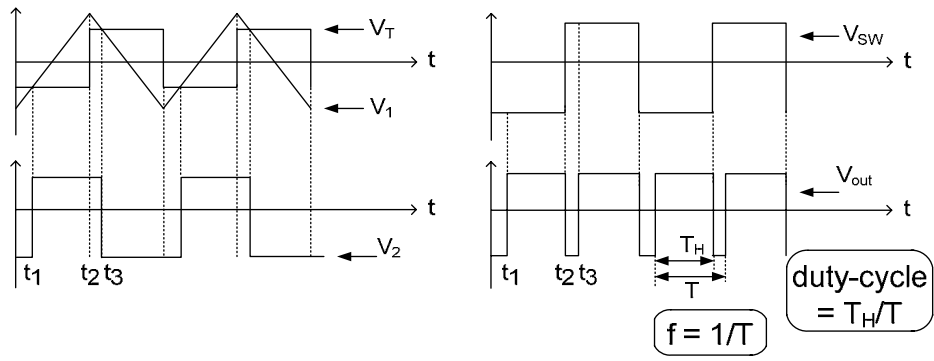


圖 2.13 電路2.12之波型圖

### 3 類比訊號處理器設計與成果

#### 3.1 設計概念緣由

圖 3.1 為本子計畫”類比訊號處理器”(Analog Signal Processor)的架構；其包含了三個子電路方塊，分別為 Pre-Amplifier、Calibration Circuit 以及 V-T Converter，此處將探討整體架構以及其運作機制。

由於待測訊號是生理訊號，從惠斯登電橋所感測到的訊號都非常的小，因此在類比訊號處理器的設計上第一級必須為放大器，但放大器本身所產生的 noise 以及 DC Offset，以及電橋的 mismatch 所產生的 DC Offset，皆已遠遠大過於所感測到的訊號，因此設計 Pre-Amplifier 需要具備 low noise, low offset 兩大重要特性；惠斯登電橋的 mismatch 將會造成 DC Offset 而傳送給 Pre-Amplifier，這可能會導致 Pre-Amplifier 的輸出會有失真的現象，因此另外需設計一 calibration circuit 來控制惠斯登電橋上端的兩個電流源，藉由讀取到的 DC Offset 值，來產生負回授的抵消機制，使得電橋的輸出兩端，其 DC 電位皆相等，意即兩端沒有 DC Offset。另外，由於外界共模雜訊的干擾，甚至有達到  $10^0\text{V}$  等級，而面對所感測的訊號只有  $10^{-6}\text{V}$  等級，因此 Pre-Amplifier 的共模拒斥比(CMRR)的設計大約應達成 120-dB。

Pre-Amplifier 的設計目標將達成在盡可能低功耗的情況之下，達成高倍增益、低雜訊、低直流偏移、高共模拒斥比的規格。

於其他子計畫當中，輸出方面會採用射頻傳輸介面電路作為無線傳輸，因此本子計劃的輸出可以採用數位方式傳輸給下一個子計畫進行接收，所以我們將額外設計一個電壓時序轉換電路，以便允許此我們將所設計之類比訊號處理模組直接與射頻介面電路進行連接。

在電壓時序轉換電路中，由於採用電壓作為輸入訊號，又同時處理與時間相關資訊，因此將會需要設計延遲元件，以便將電壓資訊轉換成和時間相關資訊；而且又考量到整體類比電壓處理器可能受到製程、電壓、溫度變異等等的影響，所以需要有補償機制來克服這些非理想效應，即使當前端送入的訊號中有未處理乾淨的 offset 時，透過補償機制的運作，也能夠處理這部份的 offset，使得輸出結果更加趨近理想情況，也就是只含有待測資訊。

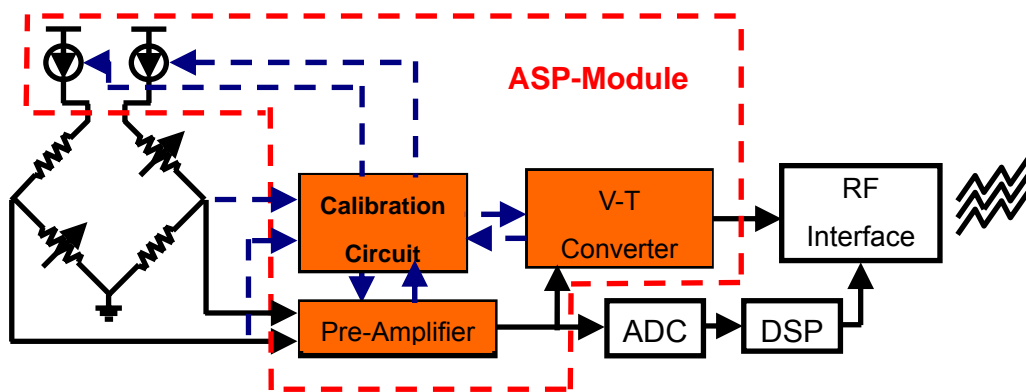


圖 3.1 類比訊號處理器架構示意圖

#### 3.2 前級放大器子系統設計

##### 3.2.1 系統設計

由於 Pre-Amplifier 消除雜訊以及直流偏移的機制是基於自動歸零以及削波架構，但由於自動歸零機制屬於取樣機制(Sampling Process)，因此會有 Sub-Sampling 的現象產生，亦即有雜訊堆疊(Noise Folding)之現象發生，會將雜訊往所使用的頻帶內堆疊[9]；另一方面，削波機制屬於調變機制(Modulation Process)，由於在進行調變的過程中，係使用開關(Switch)來調變與解調，因此會有突波(Spike)現象之產生，而此 Spike 在一長時間之下，將可視為一殘餘之直流偏移(Residual Offset)，為何兩種消除機制皆使用，其原因已於上節(圖 2.6)介紹[1]。

在 Pre-Amplifier 的電路設計上，自動歸零(Auto-zeroing)以及削波(Chopper)是最被廣泛使用的電路架構，在本子計畫中採用了自動歸零與削波並用的架構，如圖 3.2 所示。這次實作的電路是用於低頻的 Pre-Amplifier，其架構包括了轉導增益級(Trans-conductance Gain Stage)、轉阻增益級及(Trans-impedance Gain Stage)、取樣與保持電路(Sample-and-Hold Circuit)、削波(Chopper)、低通濾波器(Low Pass Filter)、迴授電路(Feedback Circuit)的部分，以下將就設計流程與各個電路部分詳細說明。

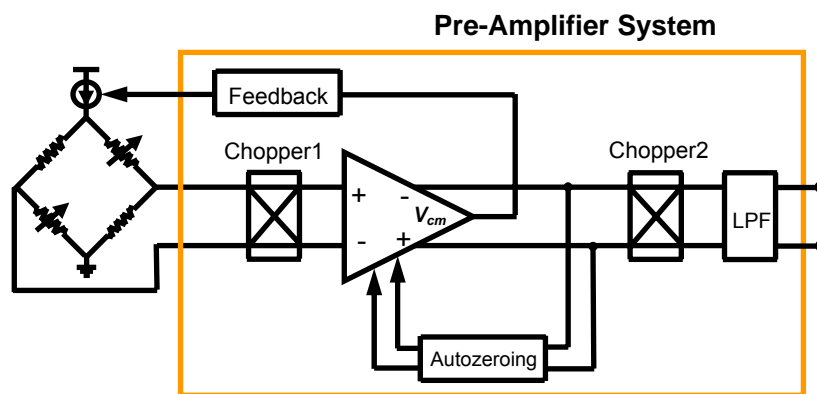


圖 3.2 Pre-Amplifier 之系統圖

### 3.2.2 放大器之電路架構

本子計畫之 Pre-Amplifier 的放大器架構，係採用 Current-Mirror OTA (CMOTA) 之架構，我們所採用之電路圖如圖 3.3 所示，藉由轉導放大器( $G_{m1}$ )之 diode-connected NMOS，將其電流鏡射 N 倍至轉導放大器( $G_{m1}$ )和轉阻放大器( $R$ )共同之 NMOS，可得到一轉導值較大之放大器，其電流再經轉阻放大器( $R$ )，可於輸出端得到高增益之差動電壓輸出。

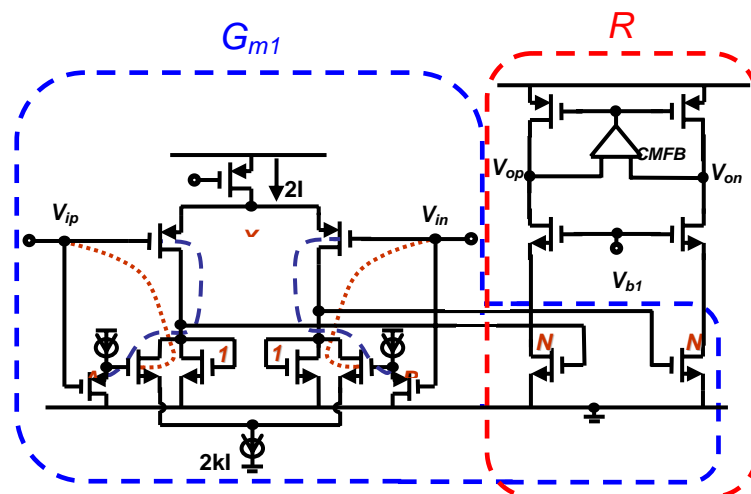


圖 3.3 CMOTA 之電路實現

### 3.2.3 自動歸零以及削波機制之電路實現

#### A. 自動歸零機制架構設計

由於要達到 DC Offset 的消除，我們採用了如圖 3.4 之具消除 DC Offset 自動歸零機制架構，架構中用到的  $G_{m1}$ 、 $G_{m2}$  以及  $R$  分別代表第一級轉導放大器 (First-stage Trans-conductance Amplifier)、第二級轉導放大器 (Second-stage Trans-conductance Amplifier)、轉阻放大器 (Trans-impedance Amplifier) [2]。

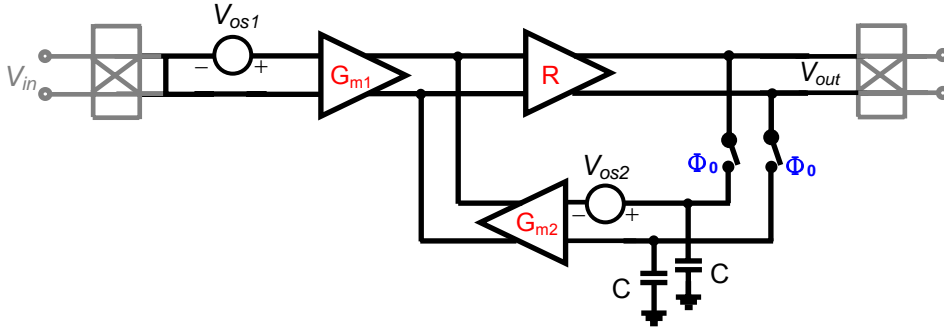


圖 3.4 具消除 DC Offset 之自動歸零機制架構

上述架構，經過推導後可以很明顯的發現，它可以有效地抑制 DC Offset 以及 Flicker Noise，整個電路的輸入相關直流偏移 (Input-Referred Offset) 如以下完整推導。

$$\begin{aligned}
 & [G_{m1}V_{OS1} - G_{m2}(V_{out} - V_{OS2})]R = V_{out} \\
 \rightarrow & V_{out} = \frac{G_{m1}RV_{OS1} + G_{m2}RV_{OS2}}{1 + G_{m2}R} \\
 \therefore & V_{OS,in} = \frac{V_{out}}{A_v} \\
 & = \frac{V_{out}}{G_{m1}R} \\
 & = \frac{V_{OS1}}{1 + G_{m2}R} + \frac{G_{m2}}{G_{m1}} \frac{V_{OS2}}{1 + G_{m2}R} \\
 \text{Assuming } & G_{m2}R \gg 1, \\
 & \approx \frac{V_{OS1}}{G_{m2}R} + \frac{V_{OS2}}{G_{m1}R} \tag{2}
 \end{aligned}$$

由上面之推導可以發現直流偏移明顯的被抑制，因此可被忽略。實際電路之實現如圖 3.5 所示[3]。為了得到比較大的轉導值，係先將輸入電壓經過共源級放大器轉成更高倍增益的電壓輸出，而再將此輸出當成 N 倍 Current Mirror 共源級組態的輸入，藉此以取得較大的轉導值；第二級轉導放大器 ( $G_{m2}$  Amplifier) 的操作過程如同第一級轉導放大器 ( $G_{m1}$ -Amplifier)，故不再贅述。第一級轉導放大器與第二級轉導放大器的輸出同為電流，一起送進轉阻放大器 (R-Amplifier)，以達到直流偏移電流的有效消除。

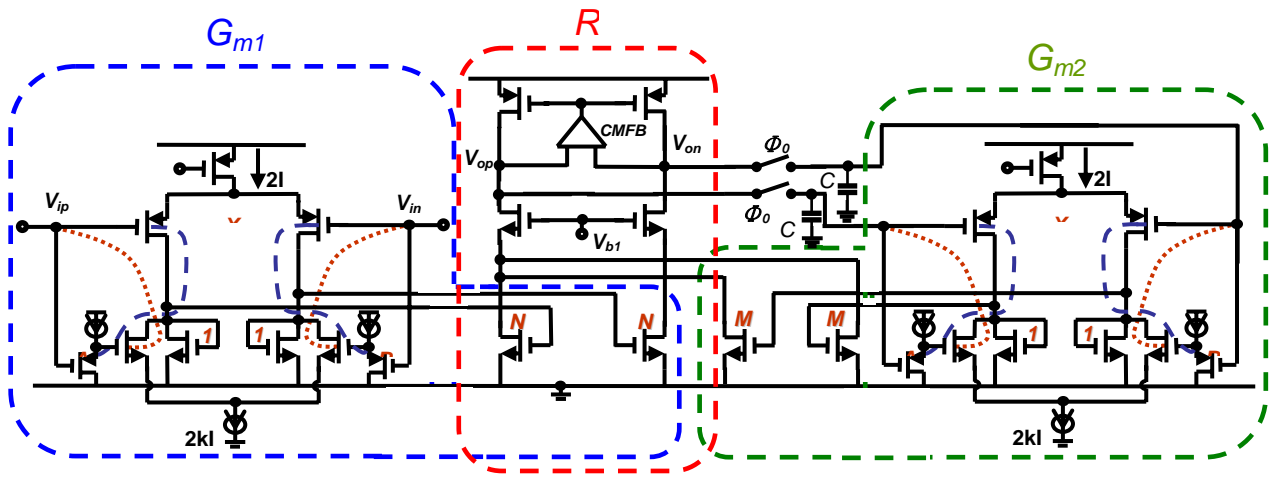


圖 3.5 自動歸零機制的電路實現

## B. 削波機制架構設計

為了清楚看出削波器(Chopper)，圖 3.6 顯示為削波器完整的電路，電路中第一級為第一級的削波器，其串接第一級轉導放大器，之後串接轉阻放大器，再串接第二級的削波器，再經低通濾波器得到輸出訊號，但不包含第二級的轉導放大器。

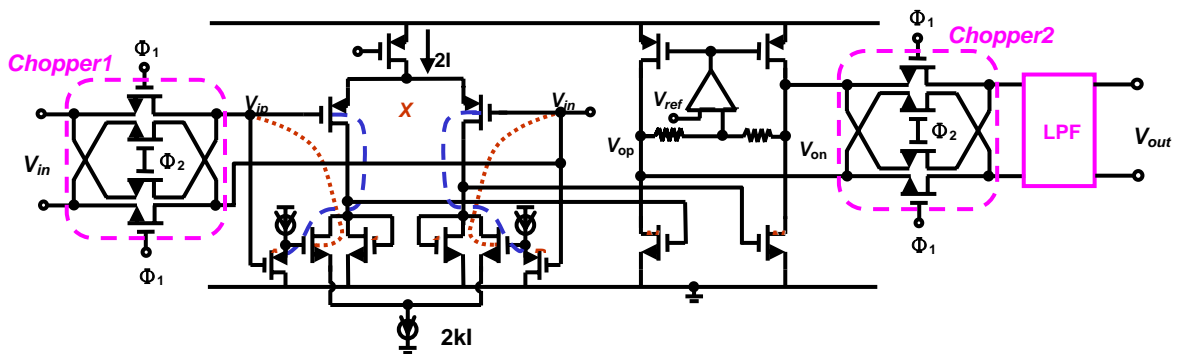


圖 3.6 削波器之完整電路示意

## Pre-Amplifier 之系統操作

前置放大器之完整系統架構示意圖如圖 3.7 所示；前置放大器之時序圖如圖 3.8 所示。於  $\Phi_0$  時，自動歸零機制開始動作，輸入端沒有信號進來，因此放大器本身之 DC Offset 以及 Flicker Noise 會因自動歸零機制而被有效去除；於  $\Phi_1/\Phi_2$  時，削波機制開始動作，削波機(Chopper)會將 DC Offset 及 Flicker Noise 移到高頻，而低頻信號則經削波機而回到低頻，最後經過低通濾波器(LPF)，將我們不要的信號給濾除掉，留下想要的低頻信號；週而復始，此前置放大器將具 Low Offset 及 Low Noise 之特性。

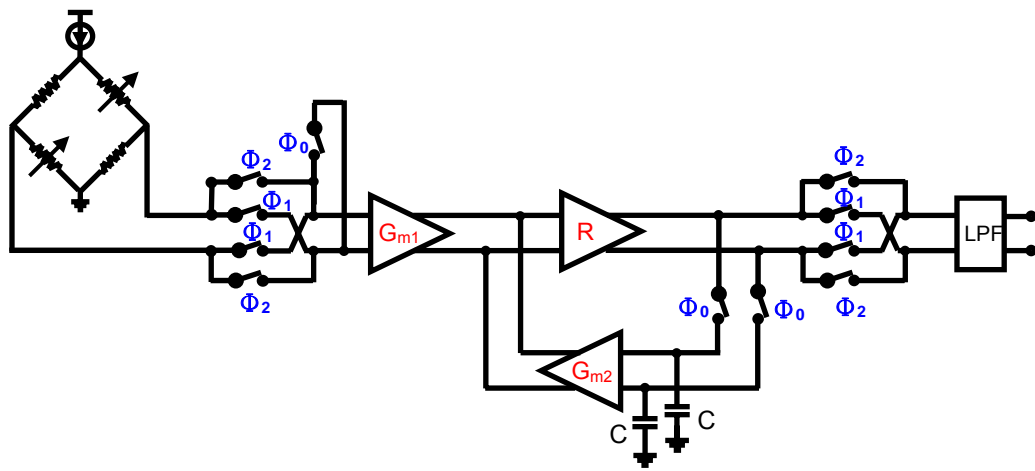


圖 3.7 Pre-Amplifier 之完整系統架構示意圖

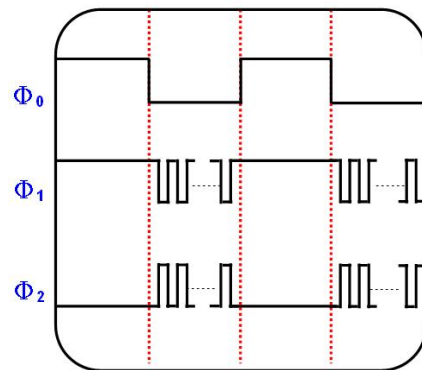


圖 3.8 Pre-Amplifier 之時序圖

### 3.2.4 模擬結果

圖 3.9 為 CMOTA 之增益以及 Phase Margin 模擬結果。其模擬結果增益為 69-dB、而 Phase Margin 為 50.5 度。

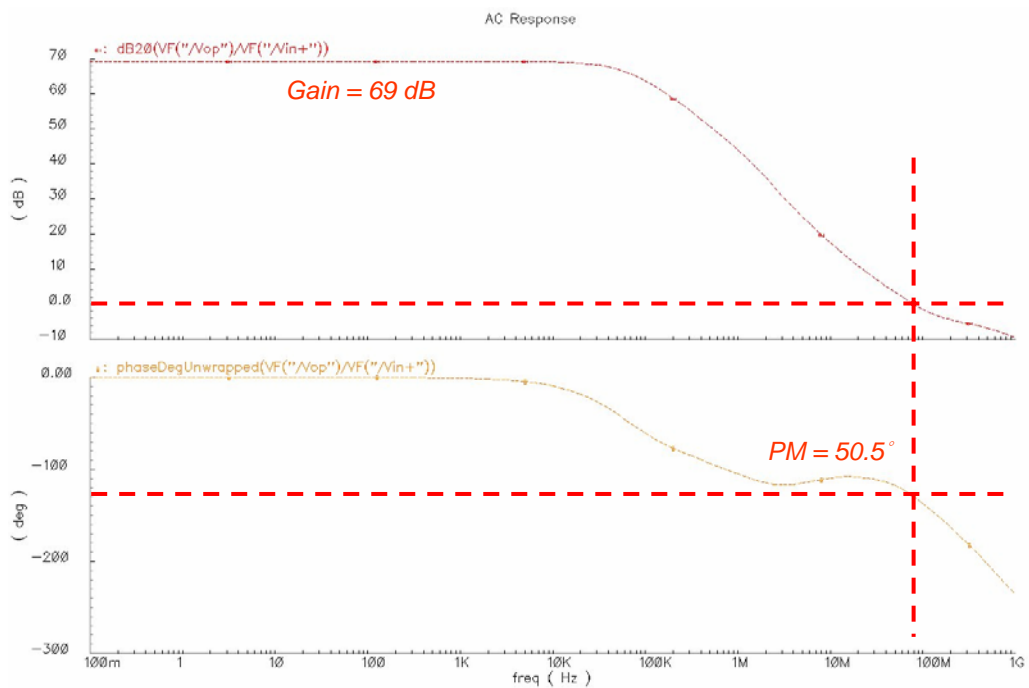


圖 3.9 CMOTA 之 Gain 及 Phase Margin 模擬結果

### 3.2.5 研究成果

此子計畫之 Pre-Amplifier 所採用的 CMOTA 為本計畫之研究成果，已完成設計並發表於 IEEE Transactions on Transactions and Systems II: Express Briefs 期刊[3]以及 VLSI Design/CAD Symposium 研討會 [8]。

### 3.2.6 預期達成之目標與成果

表 3.1 前置放大器預期達成之目標與成果

Process	TSMC 0.18- $\mu\text{m}$ CMOS
Supply Voltage	1 V
<i>Pre-Amplifier</i>	
Power Consumption	$< 200 \mu\text{W}$
3-dB Bandwidth	20 Hz
Gain Range	80~100 dB
DC Offset	$< 10 \mu\text{V}$
Input Referred Noise @ DC	$< 25 \text{ nV}/\sqrt{\text{Hz}}$
CMRR @ DC	120 dB
Unity-gain Bandwidth	0.2~2 MHz

### 3.3 Voltage-to-Code Converter 設計

#### 3.3.1 前言

當今電路設計趨勢逐漸邁向高頻，隨著越來越多的電晶體整合在同一塊 PC 板上(PCB)上，不論是在單一 chip 之內或是多個 chips 之間，都會面臨到 clock 的同步和對準問題，使得這方面議題越來越重要，PLL 和 DLL 就是應運而生的兩種關鍵性技術，並且被廣泛使用在許多的同步應用中，例如：時脈產生器(Clock Generator)、頻率合成器(Frequency Synthesizer)、時脈誤差調整(Clock De-skewing)和時脈資料回復(Clock Data Recovery)等。此次所採用 Voltage-to-Code Converter 的架構是以 PLL 的概念為基礎進行設計。

電路設計目標是將前端類比控制訊號轉換成後端可以處理的數位訊號 Code，這個大目標可以分成兩個目標實現，一是如何透過電路運作，使得輸入的類比控制電壓轉換成數位訊號 Code 輸出，二是類比電路系統中，會有很多內外非理想的效應，經過前級放大器處理過後的電壓，仍可能含有電橋非理想效應，或是電路受到製程電壓溫度(PVT variation)影響造成的非理想效應，因此也需要解決此類問題。

針對第一個目標，我們透過延遲元件來達成 Voltage-to-Code Converter 的設計方式。針對第二個目標，可結合 PLL 和 DLL 的概念，來進行補償機制的設計。如圖 3.10(a)所示。

#### 3.3.2 電路概念說明

電路運作分成兩個階段，分別是校正階段(如圖 3.10(b))以及量測階段(如圖 3.10(c))，每個階段都會由外部送入類比控制電壓，透過閉迴路的方式，由內部電路 Phase Detector 送出數位控制 Code，當完成比對之後，所得的 Code 和由前級放大器送入的類比控制電壓 ( $V_{in}$ ) 是成一對一的關係(monotonic relationship)。

運作方式如下：

在校正階段，前級放大器送入的電壓是尚未包含 sensor signal 的類比控制電壓( $V_{in1}$ )，藉由本系統運作可得到一組對應的  $Code_1$ ；在量測階段，前級放大器送入的類比控制電壓是已包含 sensor signal 的控制電壓( $V_{in2}$ )，同樣原理再運作一次，可以得到新的一組  $Code_2$ ，只要將這兩組 Code 相減( $=Code_2-Code_1$ )，所得資訊就是 sensor signal 大小( $=V_{in2}-V_{in1}$ )。

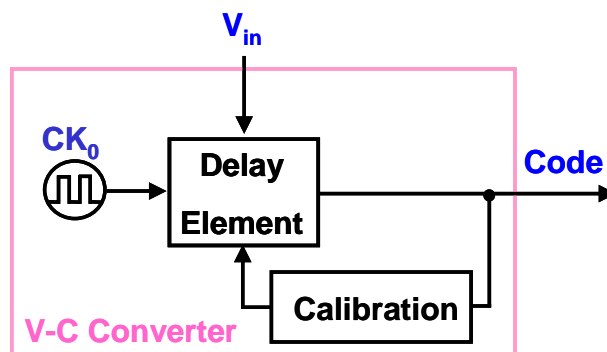


圖 3.10(a) Voltage-Code Converter 轉換電路概念圖



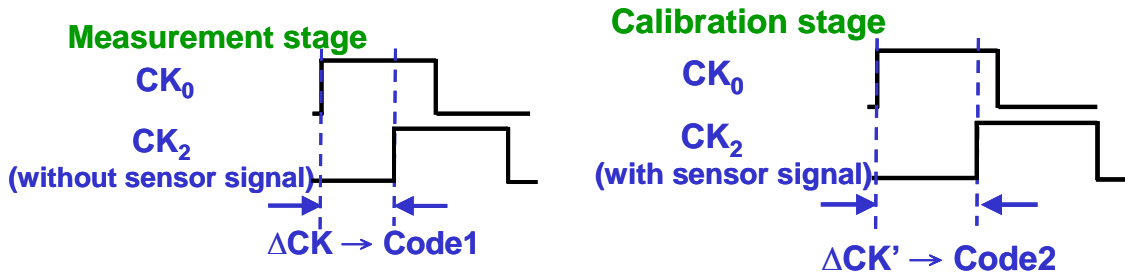


圖 3.10(b) 電路在校正階段運作模式

圖 3.10(c) 電路在量測階段運作模式

### 3.3.3 詳細電路運作說明

Voltage-to-Code Converter 的系統架構如圖 3.11 所示。詳細運作方式解釋如下：

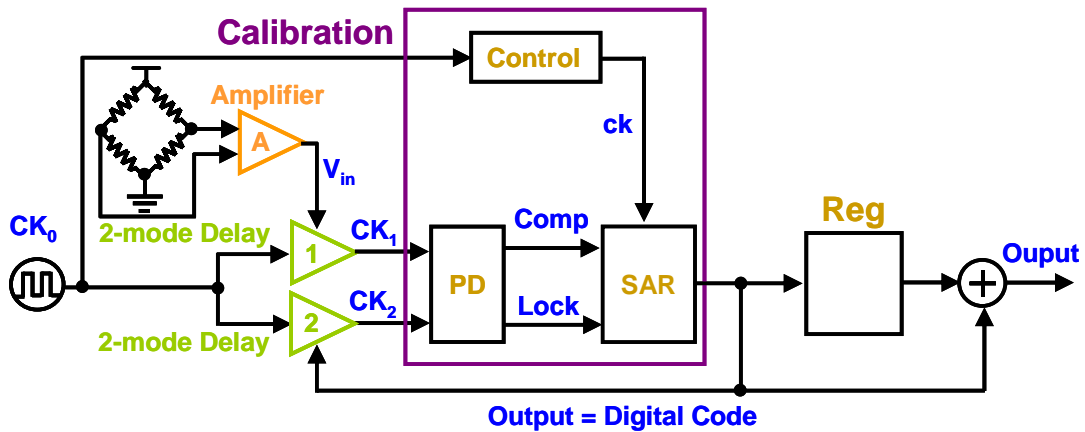


圖 3.11 系統架構圖示

方波( $CK_0$ )同時送入兩個路徑上的延遲元件；前級放大器處理過後的輸出電壓( $V_{in}$ )，作用是成為 Voltage-to-Code Converter 的 sensor signal，會送給上面路徑的延遲元件作為類比控制電壓( $V_{in}$ )，以便控制上面路徑的波形延遲；對於下面路徑來說，SAR 會透過 Phase detector 比較上下路徑的相位差距，並送出對應的數位控制 Code，以便讓上下路徑的波形能夠 aligned，當 PD 偵測到  $CK_1$  和  $CK_2$  是相位鎖定之後，此時 SAR 輸出的 Code，就代表對應的類比控制訊號( $V_{in}$ )大小。

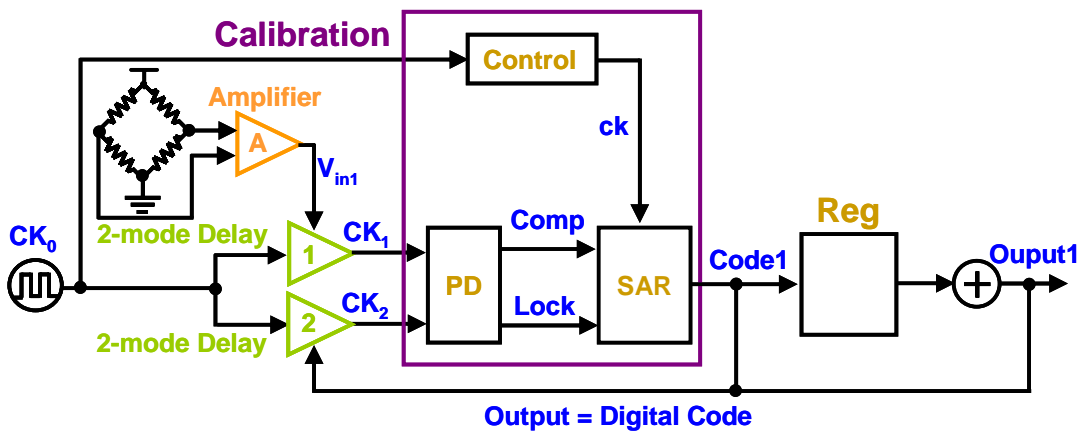


圖 3.12 Voltage-to-Code Converter 執行校正圖示

系統鎖定相位的動作會執行兩次，第一次鎖定相位如圖 3.12 所示：此時送入的控制電壓( $V_{in1}$ )尚未包含 sensor signal，此電壓( $V_{in1}$ )可看成是作為 reference 基準的電壓，所以系統處在校正階段，電壓( $V_{in1}$ )控制上面路徑的延遲元件產生對應的延遲量，這個延遲量包含電橋電阻、前級放大器、上面路徑延遲元件的 offsets，在相位鎖定时，由於上下兩路徑的相位會相同，所以數位輸出  $Code_1$  的大小就是上述 offsets 的大小，接著把 Codes 存入 registers。

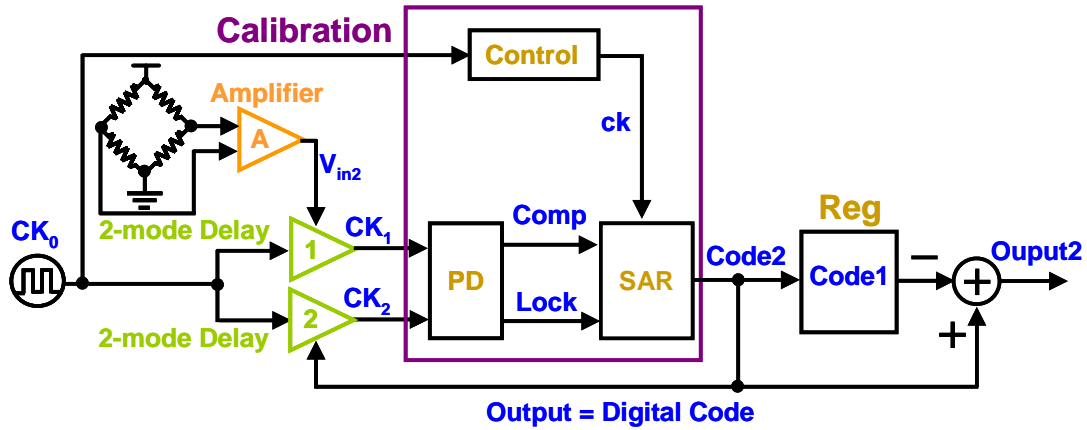


圖 3.13 Voltage-to-Code Converter 執行量測圖示

第二次的鎖定相位如圖 3.13 所示：此時送入的控制電壓( $V_{in2}$ )包含有 sensor signal，此電壓( $V_{in2}$ )可看成是以前 reference 為基準再加上 sensor 大小的電壓，所以系統處在量測階段，電壓( $V_{in2}$ )控制上面路徑的延遲元件產生對應的延遲量，這個延遲量包含 sensor signal 大小與電橋電阻、前級放大器、上面路徑延遲元件的 offsets，當相位鎖定时，由於上下兩路徑的相位會相同，所以數位輸出  $Code_2$  的大小包含有 sensor signal 以及上述 offsets；接著把存在 register 的  $Code_1$  和此時 SAR 產生的  $Code_2$  送入減法器相減，所得 Code 差 ( $=Code_2-Code_1$ ) 可以看成是已經把 offsets 消掉後的 sensor signal 大小。

### 3.3.4 延遲元件

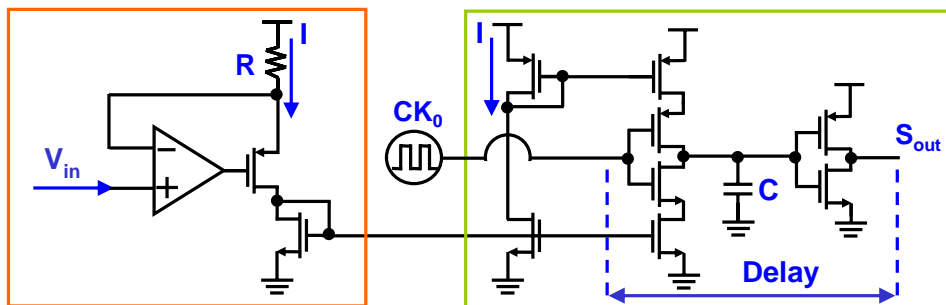
延遲元件是此次設計的電壓時序轉換電路中，最重要的部份之一，由石英震盪器輸入方波後，經過路徑上的延遲元件，延遲元件會依照對應的控制訊號大小，造成輸出波形的延遲，再藉由 Phase detector 偵測輸入方波與輸出波形之間相位差距，藉由 SAR 可以把延遲大小轉換成數位 code，接著再輸出，這樣一來，就可以藉由讀取 code 值，回推對應的控制訊號大小，而控制訊號大小又能回推 sensor signal 大小，基於此一理由，在求取 Code 差 ( $=Code_2-Code_1$ )，越趨近理想的線性對應關係會越好，以便在實作時，可以採用內插法，讀出所需要的資訊。以下列出並討論電壓和 delay 關係，如(3)。

$$\begin{aligned}
 (1) \quad I &= \frac{V_{DD}-V_{control}}{R} \\
 (2) \quad Q_c &= C \cdot V_c = I \cdot \Delta t_c, \quad [\text{note: } \Delta t_c = \text{delay} = S_{out} - S_{in}] \\
 &\Rightarrow Q_c = C \cdot \left(\frac{1}{2} V_{DD}\right) = I \cdot \Delta t_c \\
 &\Rightarrow \Delta t_c = \frac{C \cdot \left(\frac{1}{2} V_{DD}\right)}{I} \Rightarrow \Delta t_c = \frac{C \cdot \left(\frac{1}{2} V_{DD}\right)}{V_{DD}-V_{control}} \cdot R
 \end{aligned} \tag{3}$$

電路則如圖 3.14 所示。



(a) 採用的延遲元件概念圖



(b) 延遲元件詳細電路圖

圖 3.14 提出的電壓控制時序延遲電路

### 3.3.5 模擬結果

模擬結果則如圖 3.15 所示。

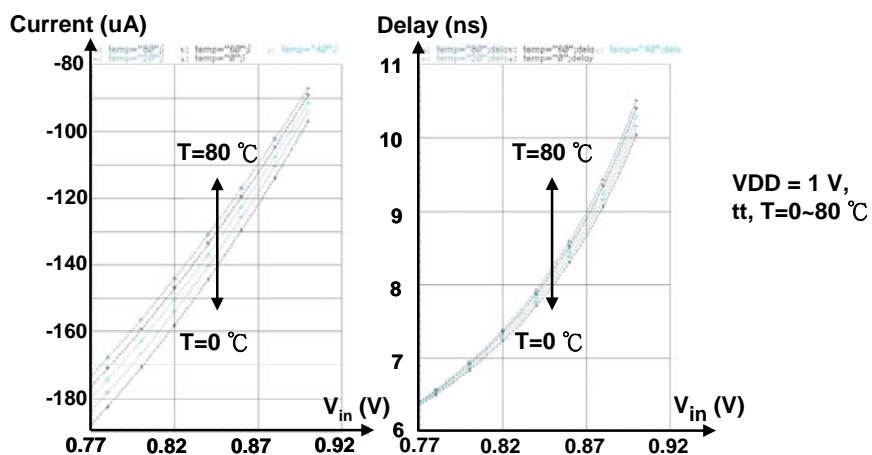


圖 3.15 延遲元件模擬圖

### 3.3.6 預期達成之目標與成果

表 3.2 Voltage-to-Code Converter 預期達成之目標與成果

Process	TSMC 0.18- $\mu\text{m}$ CMOS
Supply Voltage	1 V
<i>Voltage-to-Code Converter</i>	
Power Consumption	< 2 mW
Output Frequency	10 MHz
DC Offset	< 0.5 mV
Delay Element Delay Range	4 ns

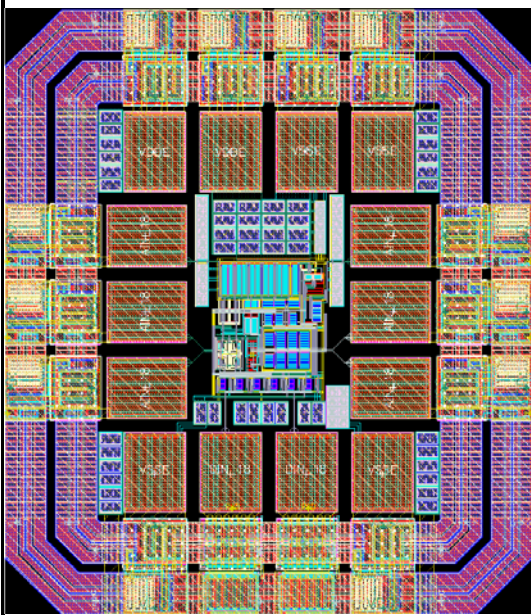
### 3.4 本計畫之目標與研究成果

1. 本計畫的 Pre-Amplifier 是以 CMOTA (Current-Mirror Operational Trans-conductance Amplifier) 的架構為基礎進行設計和研究。在生醫的應用中，有許多重要的設計考量，此子計畫之 Pre-Amplifier 需要一可低電壓/低功耗操作、高倍增益、良好穩定度的放大器。為了達到以上之設計要求，在此，我們使用了數個電路技巧，進而提出了一個新的 CMOTA 架構。此一電路已設計完成並且已經發表於 IEEE Transactions on Circuits and Systems II: Express Briefs [J1] (期刊論文)，以及 VLSI Design/CAD Symposium [C1] (研討會論文)。

[J1] T.-H. Lin, C.-K. Wu, and M.-C. Tsai, “A 0.8-V 0.25mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu$ m CMOS,” *IEEE Transactions on Transactions and Systems II: Express Briefs*, vol. 54, pp.131-135, Feb, 2007. (SCI)

[C1] C.-K. Wu, M.-C. Tsai, and T.-H. Lin, “A 0.8-V 0.25-mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu$ m CMOS,” *VLSI Design/CAD Symposium*, pp. 545-548, Aug. 2006.

表 3.3 CMOTA 之規格表與晶片的照片

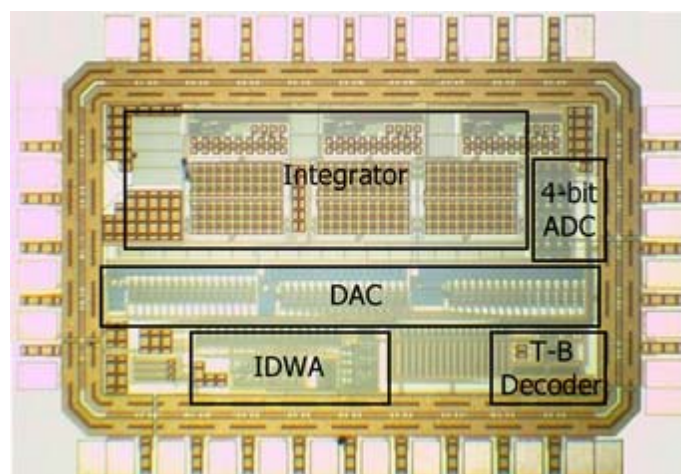
Process	TSMC 0.18- $\mu$ m CMOS	Die photograph
Design Parameters	K = 0.85; N = 3	
Supply Voltage	0.8 V	
Power Consumption	265 $\mu$ W (CMFB included)	
Unit-Gain Frequency	161 MHz	
DC Gain	62 dB	
Phase Margin	66 degrees	
Output Swing	0.55 V <sub>pp</sub> (single end)	
Slew Rate	20 V/ $\mu$ s	
Core Area	0.12 mm $\times$ 0.14 mm	

2. 本計劃同時著重於發展適用於生醫應用的高解析度類比數位轉換器(ADC)，研究的架構為三角積分調變器(Delta-Sigma Modulator)，為了達到低功率之操作要求，我們進一步針對連續時間型(Continuous-time)的電路實現方式進行研究。同時，為了克服電路實現過程所產生之不匹配的效應，在設計上我們也加入了 DEM (Dynamic Element Matching)的方法。我們實現了一個三階的三角積分調變器，此調變器在 100-kHz 的頻寬內具有 77dB 的信號訊比(SNR)。此一研究成果已發表於 VLSI Design/CAD Symposium [C2] (研討會論文)，並且即將發表於 International Journal of Electrical Engineering [J2] (期刊論文, EI)。

- [J2] M.-C. Tsai and **T.-H. Lin**, “Design of a Continuous-Time 3<sup>rd</sup>-Order Delta-Sigma Modulator with Incremental Data Weighted Averaging,” accepted to *International Journal of Electrical Engineering*. (EI)
- [C2] M.-C. Tsai and **T.-H. Lin**, “A 3<sup>rd</sup>-Order Multi-bit Continuous-Time Sigma-Delta Modulator with Incremental Data Weighted Averaging,” *VLSI Design/CAD Symposium*, pp. 353-356, Aug. 2006.

表 3.4 3<sup>rd</sup>-order Continuous-Time Delta-Sigma Modulator 之規格表與晶片的照片

Ref.	[13]	This Work	
Technology	0.25- $\mu$ m CMOS	0.18- $\mu$ m CMOS	
Power Supply	2.5 V	1.8 V	
Modulator	3-order 1-bit	3-order 4-bit	
Sampling Freq.	104 MHz	24 MHz	
Signal Bandwidth	200 kHz	100 kHz	
OSR	192	120	
SNR	76 dB	> 80 dB (simulated)	77 dB (measured)
Total Power	11.5 mW	4.06 mW (simulated)	4.50 mW (measured)
OP Amp		2.21 mW	2.21 mW
DAC + Quantizer		0.74 mW	0.76 mW
IDWA		0.25 mW	0.43 mW
Other circuits		0.86 mW	1.10 mW



(Chip area: 0.99 mm  $\times$  1.43 mm)

3. 數位信號處理具有許多優點並且已經是整合系統的重要工具，此子計畫中所發展的 Voltage-to-Code Converter 能將電壓資訊直接轉換成為數位輸出。此一電路並且具備自我校正功能，透過鎖向迴路的原理，進行電路非理想效應的校正，其概念將可取代 ADC 在類似的應用層面上。本計畫預期針對此一電路系統申請專利(專利名稱：具有自我校正功能的 Voltage-to-Code Converter)。此一 Voltage-to-Code Converter 預計於三個月內完成設計，並於下半年度於 T18-96E(F)梯次(九月)完成晶片下線。

## 參考文獻

- [1] Andrew T. K. Tang, "A 3 $\mu$ V-Offset Operational Amplifier with 20 nV/ $\sqrt{\text{Hz}}$  Input Noise PSD at DC Employing both Chopping and Autozeroing," *Digest of International Solid-State Circuits Conference*, pp. 386-387, Feb. 2002.
- [2] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*, 2nd Edition, McGraw-Hill, 2001.
- [3] T.-H. Lin, C.-K. Wu, and M.-C. Tsai, "A 0.8-V 0.25mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu\text{m}$  CMOS," *IEEE Transactions on Transactions and Systems II: Express Briefs*, vol. 54, pp.131-135, Feb, 2007.
- [4] A. Burstein and W. J. Kaiser, "Mixed Analog-Digital Highly-Sensitive Sensor Interface Circuit for Low-Cost Microsensors," *Intl. Conf. on Solid-State Sensors and Actuators*, pp.162-165, June, 1995.
- [5] C. Menolfi and Qiuting Huang, "A Fully Integrated, Untrimmed CMOS Instrumentation Amplifier with Submicrovolt Offset," *IEEE Journal of Solid-State Circuits*, Vol. 34, No.3, March, 1999.
- [6] A. Bakker *et al.*, "A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset," *Digest of International Solid-State Circuits Conference*, pp. 156-157, Feb, 2000.
- [7] Q. Huang *et al.*, "A 200nV Offset 6.5nV/(Hz)<sup>0.5</sup> Noise PSD 5.6kHz Chopper Instrumentation Amplifier in 1 $\mu\text{m}$  Digital CMOS," *Digest of International Solid-State Circuits Conference*, pp. 362-363, Feb, 2001.
- [8] C.-K. Wu, M.-C. Tsai, and T.-H. Lin, "A 0.8-V 0.25-mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu\text{m}$  CMOS," *VLSI Design/CAD Symposium*, pp. 545-548, Aug. 2006.
- [9] C. C. Enz and G. C. Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization," *Proc. of the IEEE*, vol. 84, pp.1584-1614, Nov. 1996.
- [10] J.-B. Begueret, *et. al*, "Converters Dedicated to Long-Term Monitoring of Strain Gauge Transducers," *IEEE Journal of Solid-State Circuits*, pp. 349-356, March, 1997.
- [11] J. Ramirez, *et. al*, "A CMOS Signal Conditioning Circuit for Piezoresistive Pressure Sensors," *IEEE ISCAS*, pp. II592-II595, 2002.
- [12] V. Ferrari, *et. al*, "Oscillator-Based Interface for Measurand-Plus-Temperature Readout from Resistive Bridge Sensors," *IEEE Trans. on Instrumentation and Measurement*, pp.585-590, 2002.
- [13] T. Burger and Q. Huang "A 13.5-mW 185-Msample/s  $\Delta\Sigma$  modulator for UMTS/GSM dual-standard IF reception," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1868-1878, Dec. 2001.