

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 病理遙測系統與生醫感測晶片--子計畫二：病理遙測生醫 感測類比訊號處理器(2/3) 期中進度報告(完整版)

計畫類別：整合型  
計畫編號：NSC 96-2220-E-002-014-  
執行期間：96年08月01日至97年07月31日  
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：林宗賢

處理方式：本計畫可公開查詢

中華民國 97年05月29日

行政院國家科學委員會補助專題研究計畫  成果報告  
 期中進度報告

病理遙測系統與生醫感測晶片

子計畫二

病理遙測生醫感測類比訊號處理器

Analog Signal Processor for Remote Control Medical  
Sensor Applications

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 96 - 2220 - E - 002 - 014 -

執行期間：95 年 8 月 1 日至 98 年 7 月 31 日

計畫主持人：林宗賢 副教授

計畫參與人員：周健榮、楊承勳

成果報告類型(依經費核定清單規定繳交)： 精簡報告  完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、  
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

執行單位：國立臺灣大學電子工程研究所

中華民國 97 年 5 月 31 日

# 可供推廣之研發成果資料表

可申請專利

可技術移轉

日期：97年05月30日

<p><b>國科會補助計畫</b></p>	<p>計畫名稱：病理遙測生醫感測類比訊號處理器                  計畫主持人：林宗賢 副教授                  計畫編號：NSC 96 - 2220 - E - 002 - 014                  學門領域：微電子學門</p>
<p><b>技術/創作名稱</b></p>	<p>具有自我校正功能的 Voltage-to-Code Converter</p>
<p><b>發明人/創作人</b></p>	<p>楊承勳/邱威豪/林宗賢</p>
<p><b>技術說明</b></p>	<p>中文：                  本計劃發展了一量測電橋訊號的電路系統，透過前級讀出放大電路、校正電路與惠斯登電橋驅動電源產生器，將可有效降低誤差量和製程上不匹配問題，並準確讀出訊號大小；再透過 Voltage-to-Code Converter，將前級所取得的訊號以數位方式傳出。</p>
	<p>英文：                  We propose an architecture which can sense the output signal from the Wheatstone Bridge. The system is composed of a Pre-Amplifier, Calibration Circuit, Driving Source Generator, and a Voltage-to-Code converter. This architecture calibrates the offsets and mismatches by incorporating the proposed Voltage-to-Code Converter (V-C Converter). The converted output digital code is then ready for subsequent wireless transmission.</p>
<p><b>可利用之產業 及 可開發之產品</b></p>	<p>包含所有需要校正極小誤差用途的電路，以及轉換電壓相關資訊以便傳輸的系統。</p>
<p><b>技術特點</b></p>	<ol style="list-style-type: none"> <li>1. 不需要仰賴 ADC/DAC 提供精準的校正訊號，即可在類比電路上進行校正。</li> <li>2. 可放大微小訊號源，使精準度提高。</li> <li>3. 透過迴路機制，降低誤差量和元件製程上的不匹配效應。</li> </ol>
<p><b>推廣及運用的價值</b></p>	<ol style="list-style-type: none"> <li>1. 提升需相互對稱電路其校正的可信度與精確度。</li> <li>2. 降低使用複雜的 ADC/DAC 設計負擔。</li> </ol>

※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。

※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

※ 3. 本表若不敷使用，請自行影印使用。

## 中文摘要

隨著半導體技術的發展，使得小面積且高效能演算法的數位電路被廣泛使用。儘管數位電路能夠實現許多複雜的演算，但卻無法直接處理自然界的訊號 (Natural Signal)；因此，在一般的感測應用上，仍必須依賴類比電路作為介面電路，然而類比電路勢必面對到例如不匹配等許多非理想效應，都將影響通訊系統的各子電路，所以其電路設計成為當前重要的研究議題。

在此子計劃的進度報告中，我們將對類比訊號處理器進行設計，而設計的目標則是將處理器的元件加以研討，其中包括了前級放大電路與電壓時序轉換電路等元件，以便使訊號處理器能夠操作在較低的雜訊下，同時有較佳的效能，目前已有完整設計的放大與雜訊處理電路中，包含有 instrumentation amplifier、chopper circuit、DC offset cancellation feedback loop 與 Low pass filter。實際模擬是以 0.18  $\mu\text{m}$  製程的設計做模擬，所設定的操作電壓為 1V；在電壓時序轉換電路中，透過對稱路徑並以迴授路徑方式的安排，可降低溫度漂移時候對於成對的延遲元件影響。此子計劃進度報告當中，我們將列出前級放大器和電壓時序轉換電路的模擬結果。

在此精簡報告當中，我們將列出 Pre-amplifier 和 Voltage-to-Code Converter 的模擬結果。

# Abstract

Recently, with the development of semiconductor technology, small areas and high performance digital circuits are widely used. Although digital circuits may implement many complicated algorithm, it is hard to deal with nature signal. Thus, we must depend on analog circuit as readout circuits in most sensor applications. However, analog circuits face with many non-idealities in the system, and these non-ideal effects will impact the overall system performance, so it is important to develop circuit techniques to address these effects.

In this project, we focus on the design of the analog signal processor (ASP) for sensor interface applications. The ASP mainly consists of a Pre-amplifier and a Voltage-to-Code converter. Both will be described in details in this report. The Pre-amplifier employs  $G_m \cdot R$  Amplifier and DC Offset Chopping mechanism, while the Voltage-to-Code converter converts the input signal to output digital codes directly. Meanwhile, calibration mechanism is proposed to compensate for the process, voltage, and temperature (PVT) variations.

In the following sections, we will present detail information on Pre-amplifier and Voltage-to-Code Converter.

# 目錄

封面頁

可供推廣之研發成果資料表

中文摘要.....	I
英文摘要.....	II
目錄.....	III
1. 前言與目的.....	1
1.1 子計劃概述.....	1
1.2 本篇報告結構.....	1
2. 類比訊號處理器設計與成果.....	2
2.1 設計概念緣由.....	2
2.2 前級放大器子系統方塊設計.....	2
2.2.1 系統設計.....	2
2.2.2 Current Feedback IA.....	3
2.2.3 DC Offset Cancellation Feedback Loop.....	5
2.2.4 Nested Chopper Structure.....	6
2.2.5 Sallen-Key LPF.....	8
2.2.6 Simulation Results.....	8
2.3 Voltage-to-Code Converter 方塊設計.....	13
2.3.1 前言.....	13
2.3.2 電路概念說明.....	13
2.3.3 詳細電路運作說明.....	14
2.3.4 延遲元件.....	15
2.3.5 模擬與量測結果.....	16
2.3.6 預期達成之目標與成果.....	18
2.3.7 下次下線設計.....	19
2.4 本計劃之目標與成果展示.....	20
參考文獻.....	22

# 1 前言與目的

## 1.1 子計劃概述

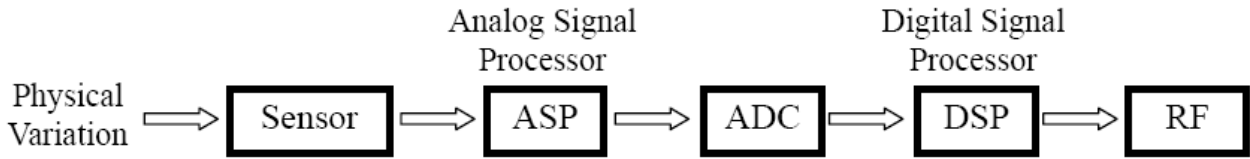


圖1.1 無線感測應用系統示意圖

在以上的架構中，系統電路對於自然訊號處理的精確度，端賴於類比電路模組的效能與準確性，尤其在多數的應用中，感測器及其讀出電路所能轉換出之電訊號通常甚小，並且可能包含著許多非理想效應所造成的錯誤訊號（如雜訊及 offset 等），因此，在本子計劃當中，我們將著重於高準確度類比訊號處理器的研發工作，針對整合計劃中所使用的壓阻感測器（Piezo-resistive Sensor）與其可能的非理想效應進行分析與研究解決方法，以得到精確的檢測資訊。

在 Pre-Amplifier 的電路設計上，自動歸零(Auto-zeroing)以及削波(Chopper)是最被廣泛使用的電路架構，在本子計畫中採用 chopper 架構，實作電路是用於極低頻的 Pre-Amplifier，預計設計頻寬在 0~10Hz，其架構包括了電流回授儀表放大電路(Current feedback instrumentation amplifier)、直流偏壓消除路徑 (DC offset cancellation feedback loop)、Chopper 與低通濾波器(Low Pass Filter, LPF)。

ASP 之輸出信號將經由其他子計畫的電路進行無線傳輸傳送至遠端使用者，因此於類比訊號處理模組後端一般需有其他電路作為通訊介面(如：ADC、DSP 等電路)。為降低整個系統之複雜度，本計畫同時設計了一個電壓時序轉換電路，可使我們所設計之類比訊號處理模組直接與射頻介面電路進行連接，也就是電壓時序轉換電路，以便能進行無線傳輸。

## 1.2 本篇報告結構

於本篇進度報告當中，我們將針對我們目前的研究進度與成果作一完整報告，目前我們的研究設計重心為 Pre-amplifier 內 chopper 與 auto-zeroing 的基本元件設計，以及 Voltage-to-Code Converter 的機制與功能模擬。本篇報告的組織如下所示，首先我們將於第二章則對於所設計電路架構的進行分析與介紹，第三章最後說明我們的研究成果與發表之論文。

## 2 類比訊號處理器設計與成果

### 2.1 設計概念緣由

圖 2.1 為本子計畫”類比訊號處理器”(Analog Signal Processor)的架構；其包含了三個子電路方塊，分別為 Pre-Amplifier、Calibration Circuit 以及 V-C Converter，此處將探討整體架構以及其運作機制。

由於待測訊號是生理訊號，從惠斯登電橋所感測到的訊號都非常的小，因此在類比訊號處理器的設計上第一級必須為放大器，但放大器本身所產生的 noise 以及 DC Offset，以及電橋的 mismatch 所產生的 DC Offset，皆已遠遠大過於所感測到的訊號，因此設計 Pre-Amplifier 需要具備 low noise, low offset 兩大重要特性；惠斯登電橋的 mismatch 將會造成 DC Offset 而傳送給 Pre-Amplifier，這可能會導致 Pre-Amplifier 的輸出會有失真的現象，因此另外需設計一 calibration circuit 來控制惠斯登電橋上端的兩個電流源，藉由讀取到的 DC Offset 值，來產生負回授的抵消機制，使得電橋的輸出兩端，其 dc 電位皆相等，意即兩端沒有 DC Offset。另外，由於外界共模雜訊的干擾，甚至有達到  $10^0\text{V}$  等級，而面對所感測的訊號只有  $10^{-6}\text{V}$  等級，因此 Pre-Amplifier 的共模拒斥比(CMRR)的設計大約應達成 120-dB。

Pre-Amplifier 的設計目標將達成在盡可能低功耗的情況之下，達成高倍增益、低雜訊、低直流偏移、高共模拒斥比的規格。

於其他子計畫當中，輸出方面會採用射頻傳輸介面電路作為無線傳輸，因此本子計畫的輸出可以採用數位方式傳輸給下一個子計畫進行接收，所以我們將額外設計一個電壓時序轉換電路，以便允許此我們將所設計之類比訊號處理模組直接與射頻介面電路進行連接。

在電壓時序轉換電路中，由於採用電壓作為輸入訊號，又同時處理與時間相關資訊，因此將會需要設計延遲元件，以便將電壓資訊轉換成和時間相關資訊；而且又考量到整體類比電壓處理器可能受到製程、電壓、溫度變異等等的影響，所以需要有補償機制來克服這些非理想效應，即使當前端送入的訊號中有未處理乾淨的 offset 時，透過補償機制的運作，也能夠處理這部份的 offset，使得輸出結果更加趨近理想情況，也就是只含有待測資訊。

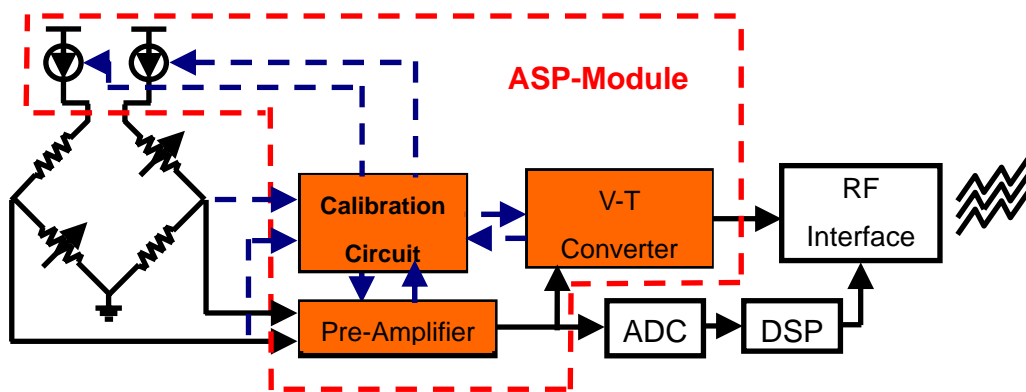


圖 2.1 類比訊號處理器架構示意圖

### 2.2 前級放大器子系統方塊設計

#### 2.2.1 系統設計

由於 Pre-Amplifier 消除雜訊以及直流偏移的機制是基於自動歸零以及削波架構，



但由於自動歸零機制屬於取樣機制(Sampling Process)，因此會有 Sub-Sampling 的現象產生，意即有雜訊堆疊(Noise Folding)之現象發生，會將雜訊往所使用的頻帶內堆疊[1]，故本子計劃不採用，而改採另一種架構，即削波(Chopper)機制。此機制屬於調變機制(Modulation Process)，由於在進行調變的過程中，係使用開關(Switch)對訊號頻做調變與解調，因此會有突波雜訊(Spike Noise)現象產生，而此 Spike Noise 在一長時間之下，將可視為一殘餘偏移(Residual Offset)。故如何消除 Spike Noise 乃為重要設計課題。在本子計畫中採用了巢式削波 (Nested chopper) 架構，對訊號做二次調變，在頻率上使訊號與雜訊做分離。圖 2.2 為本系統架構圖，包括 Current feedback amplifier instrumentation amplifier (Current feedback IA)、DC offset cancellation feedback loop、Nested Chopper 與 Low Pass Filter (LPF)。以下將就各電路部份作設計說明與模擬結果呈現。

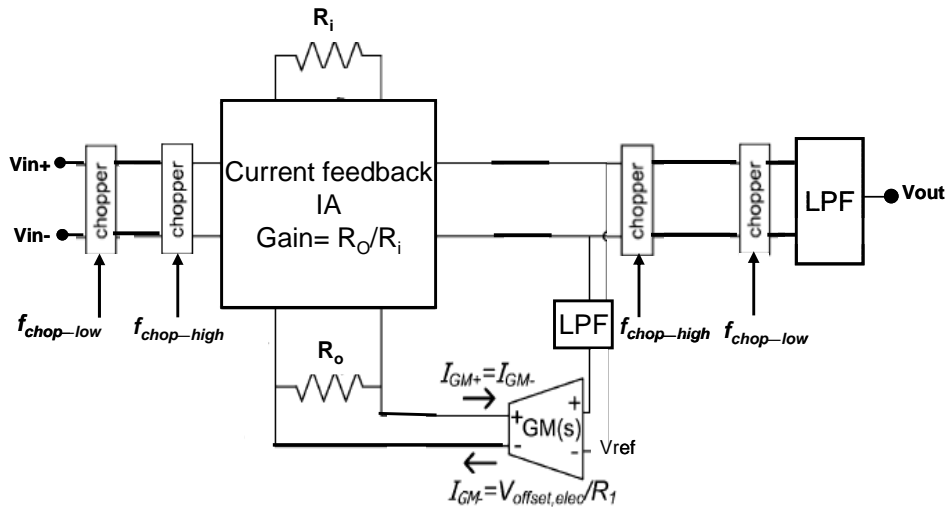


圖 2.2 Nested Chopper Pre-Amplifier 之系統圖

### 2.2.2 Current Feedback IA

本子計劃之 instrumentation amplifier 架構，是用 Current feedback 之架構實現[2]，概念說明如圖 2.3(a)所示，藉由輸入與輸出電阻的比值來決定放大倍率，有別於傳統的儀表運算放大器(Instrumentation Amplifier, IA)，如圖 2.3(b)，兩級的架構中，共採用三個運算放大器組成回授架構的概念。如此簡化設計可減低電路消耗的功率，並提升放大器本身的 CMRR。簡單公式推導如下：

$$i_{R_i} = \frac{v_{in}}{R_i}; i_3 = i_1 - i_{R_i}; i_4 = i_1 + i_{R_i}$$

$$g_m = \frac{(i_{12} - i_{11})}{v_{in}} = \frac{(i_3 - i_4)}{v_{in}} = \frac{2i_{R_i}}{v_{in}} = \frac{2}{R_i}$$

$$i_{R_o} = \frac{i_{12} - i_{11}}{2} = 2 \times i_{R_i}$$

$$A_v = \frac{v_{out}}{v_{in}} = \frac{(i_{12} - i_{11}) \times R_o}{2 \times v_{in}} = \frac{R_o}{R_i}$$

電路實現如圖 2.3(c) 所示。藉由轉導放大器( $G_{m3,4}, G_{m11,12}$ ) 將其流過輸入電阻  $R_i$  的輸入電

流，鏡射至輸出級，使電流流過輸出電阻  $R_o$ 。此輸出電阻採用操作於非飽和線性區之 MOS 來提高阻抗，藉此調控與提升放大器的放大倍率。

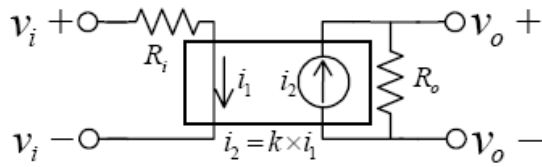


圖 2.3 (a) Current feedback amplifier 之設計概念

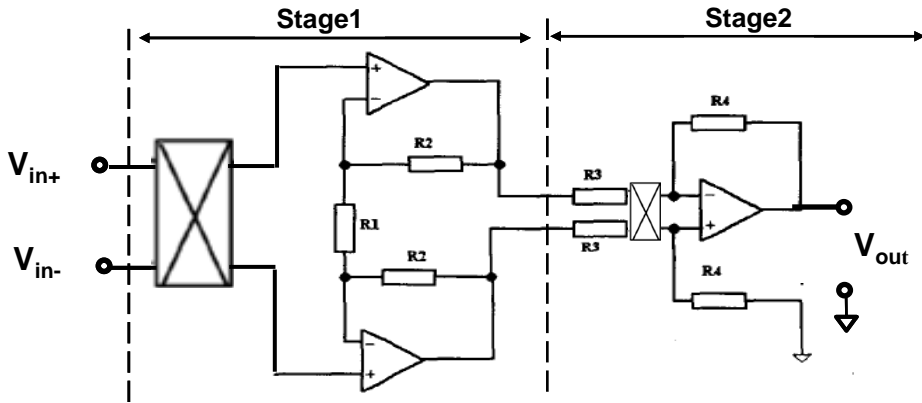


圖 2.3 (b) 傳統 instrumentation amplifier 之設計概念

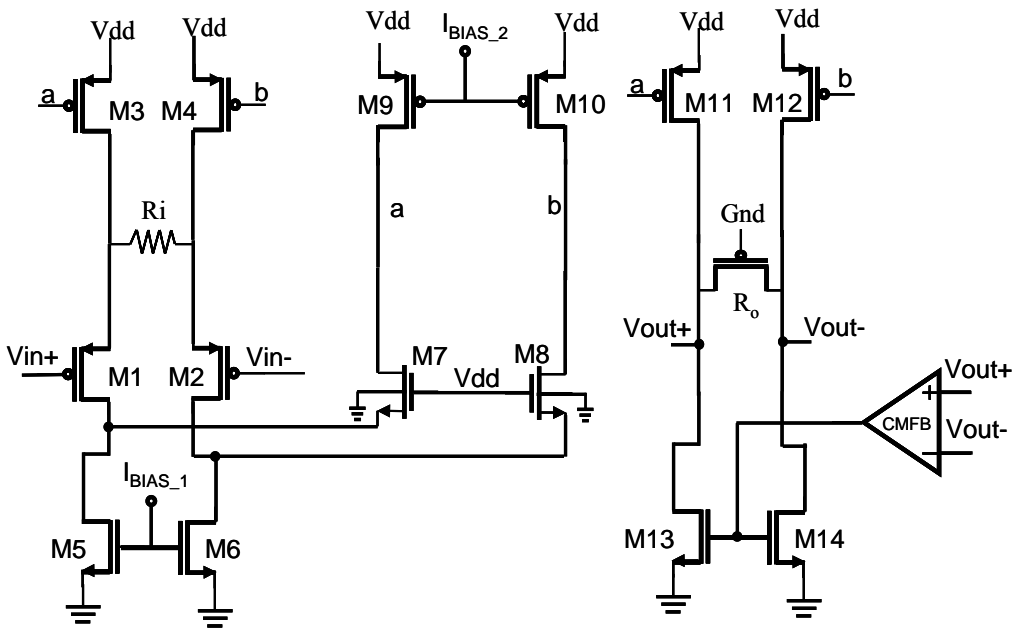


圖 2.3 (c) Current feedback amplifier 之電路實現

此外，降低電路本身的雜訊亦是設計中的重要考量。為了減低電路本身的 Flicker Noise 與 Thermal Noise，設計上應提升  $G_{m1,2}$  與降低  $R_i$ 。簡單的雜訊分析結果如下：

$$\overline{V_{n,thermal}^2} = 4kT\Delta f \left[ \frac{1}{3} \left( \frac{2}{g_{m1}} + R_i \right)^2 \times (g_{m5} + g_{m9}) + \frac{4}{3g_{m1}} + \frac{g_{m13} + 2g_{m3}}{3} * R_i^2 + R_i + \frac{R_i^2}{R_{out}} \right];$$

$$\overline{V_{n,flick}^2} = \frac{1}{2} \left( \frac{2}{g_{m1}} + R_i \right)^2 * (g_{m5}^2 * \overline{V_{nf5}^2} + g_{m9}^2 * \overline{V_{nf9}^2}) + 2\overline{V_{nf1}^2} + (g_{m3}^2 * \overline{V_{nf3}^2} + \frac{1}{2} g_{m13}^2 * \overline{V_{nf13}^2}) * R_i^2$$

### 2.2.3 DC Offset Cancellation Feedback Loop

為了消除電路本身的 DC Offset，額外加入 DC offset cancellation feedback loop，概念說明如圖 2.4(a)。將放大器的輸出信號，經過一個 LPF 濾出 DC offset voltage，再藉由 differential gm circuit，把 DC offset voltage 轉成 current，回授控制放大器的輸出電流，達到 DC offset cancellation 之目的。電路實現如圖 2.4(b)。藉由一個 differential gm circuit 來比較 reference voltage 與經 LPF 所濾出的 DC offset voltage，將其電壓差值轉成電流，回授注入放大器的輸出端做電流調控。其中的 LPF 採用一個低頻、低功率與低雜訊的 current mirror operational transimpedance amplifier (CMOTA)，配合一個電容來實現。電路架構如圖 2.4(c)。

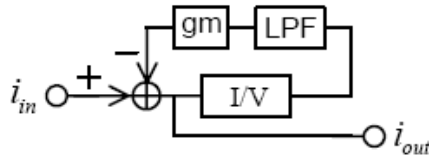


圖 2.4 (a) DC offset cancellation feedback loop 概念圖

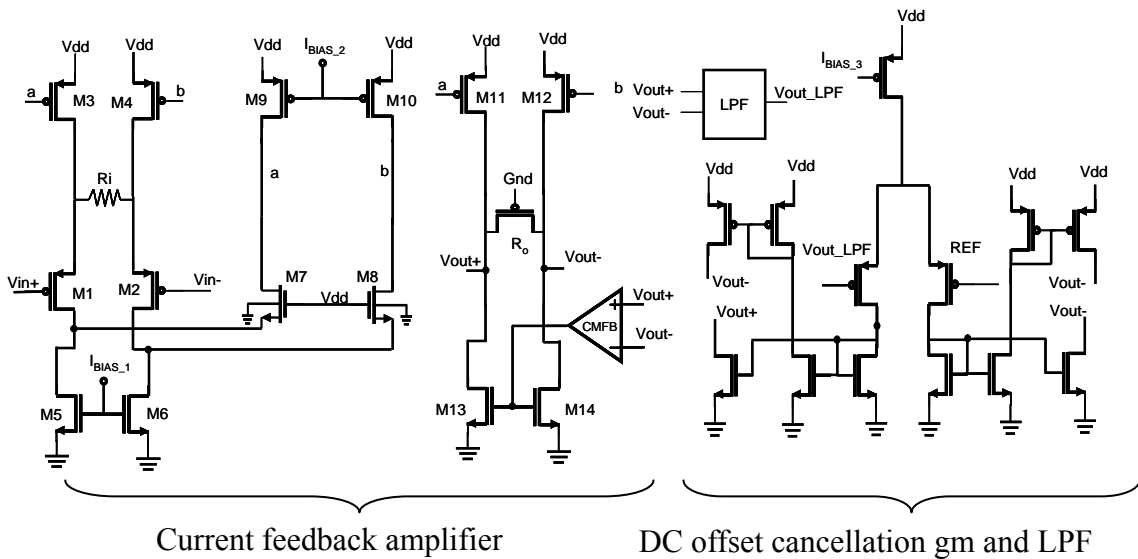


圖 2.4 (b) Current feedback amplifier with DC offset cancellation loop

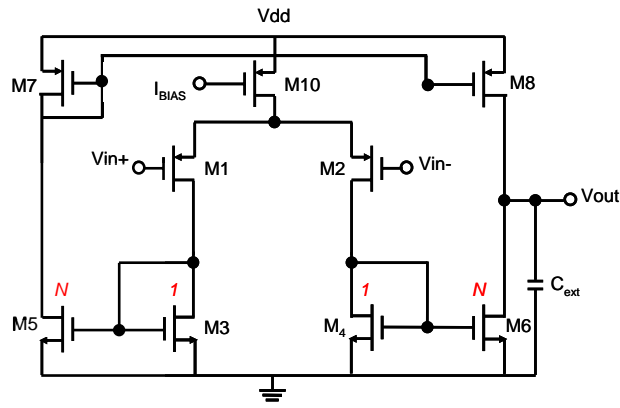


圖 2.4 (c) CMOTA-C LPF

## 2.2.4 Nested Chopper Structure

### A. Chopping

Chopping 機制如圖2.5(a) 所示，本質上乃對訊號做調變，在輸入端(放大電路前)將信號乘上一個頻率成分，先將信號轉到高频，此時放大電路的DC Offset及低頻的Flicker Noise 便與信號分開了；之後經過放大電路，再乘上相同之頻率成分，這時候我們所要經放大後的感測信號就調變回低頻，而DC Offset等則調變到高频了。接下來透過一個低通濾波器來消除調變到高频後的雜訊，如此便完成了消除DC Offset及低頻的Flicker Noise的動作。

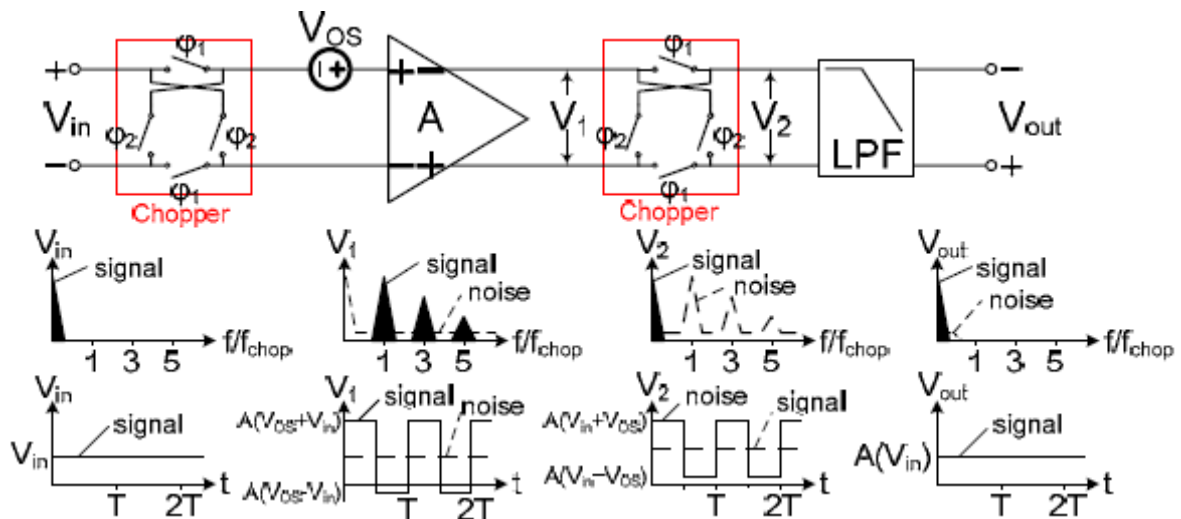


圖2.5 (a) chopping 機制示意圖

然而，chopper 調變與解調所使用的開關容易造成電荷注入(Charge Injection) 等其他非理想效應，如圖2.5 (b) 所示，產生Spike Noise現象，使訊號於輸出端點解調後，產生了殘餘偏移量 (Residual Offset)，致使輸出電壓值產生誤差。

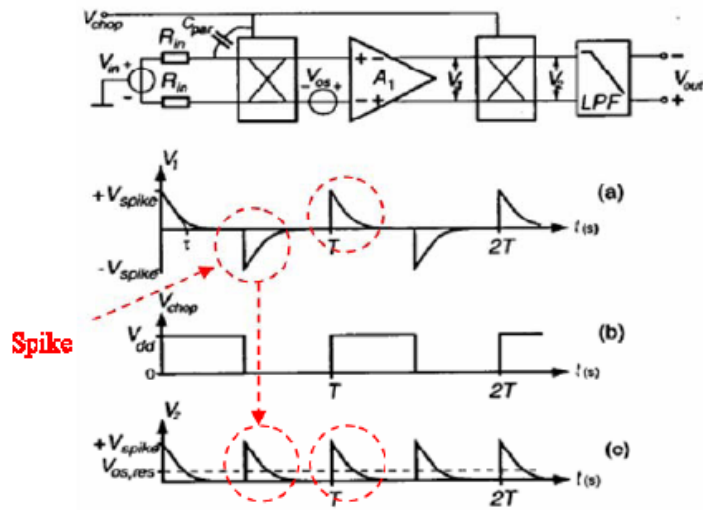


圖2.5 (b) 調變開關所造成的突波現象

為了降低殘餘偏移量，幾個解決方案相繼被提出[3,4,5,6]。由於在此計劃中處理之訊號頻率很低，約0~10Hz 之間，所以我們採用Nested chopper 來做消除。下面針對此機制作原理說明。

## B. Nested Chopper

概念說明如圖2.5(c)所示 [5]。於此機制中，除了由 $V_{chophigh}$ 訊號所控制的chopper外，加入了另一組由 $V_{choplw}$ 所控制之chopper。由 $V_{choplw}$ 所控制之chopper將被操作在更低的頻率，因此所造成的Spike Noise可忽略。透過另一組較低頻的chopper做調變，使得由 $V_{chophigh}$ 所控制的chopper，其所產生Spike Noise將會被 $V_{choplw}$ 的chopper所調變。經此調變之後，Spike Noise 會依據 $V_{choplw}$  chopper 的週期調變而呈現正負相間的分布，根據分析可得知此突波等效的平均雜訊能量將為零，因此，殘餘的DC偏移將可被大幅降低。配合此架構的放大器之增益，其精確度可以在一段相當長的溫度變化範圍內維持穩定。然而，若考慮失真效應 (Aliasing Effect) 的產生，則輸入訊號其頻率不能大於0.5倍的 $F_{choplw}$ 。

在此計畫中，輸入訊號極為低頻，故可採用此架構來實現。

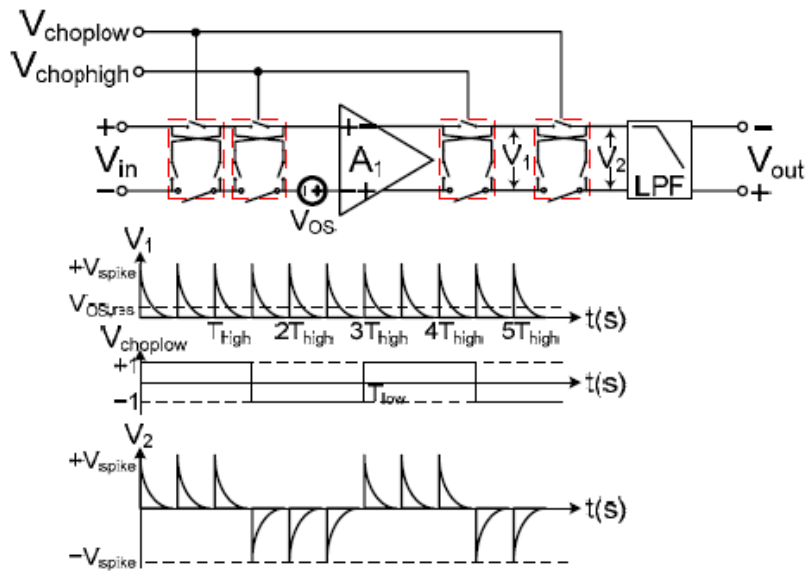


圖 2.5 (c) Nested chopper 概念說明圖

### 2.2.5 Sallen-Key LPF

位於放大器輸出端的LPF，主要用來消除調變到高频的雜訊，完成消除DC Offset及低頻的Flicker Noise的動作。設計考量主要針對低雜訊與低功率消耗來做設計，於此採用Sallen-Key LPF 架構 [7]。電路架構如圖2.6。

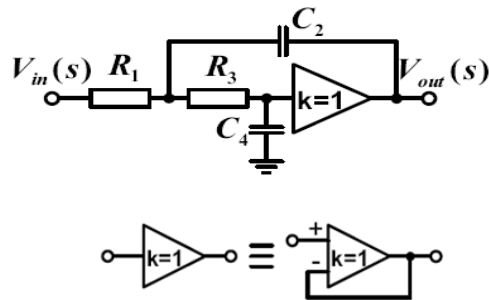


圖 2.6 Sallen-Key LPF

### 2.2.6 Simulation Results

#### A. Current feedback IA with DC offset cancellation loop

甲、 Gain frequency response :

如圖 2.7(a)，經 chopper 調變後，進入放大器處理的信號頻段其放大倍率約 57 dB。於此頻段的上下 3dB 頻率分別為 200Hz 與 35kHz。

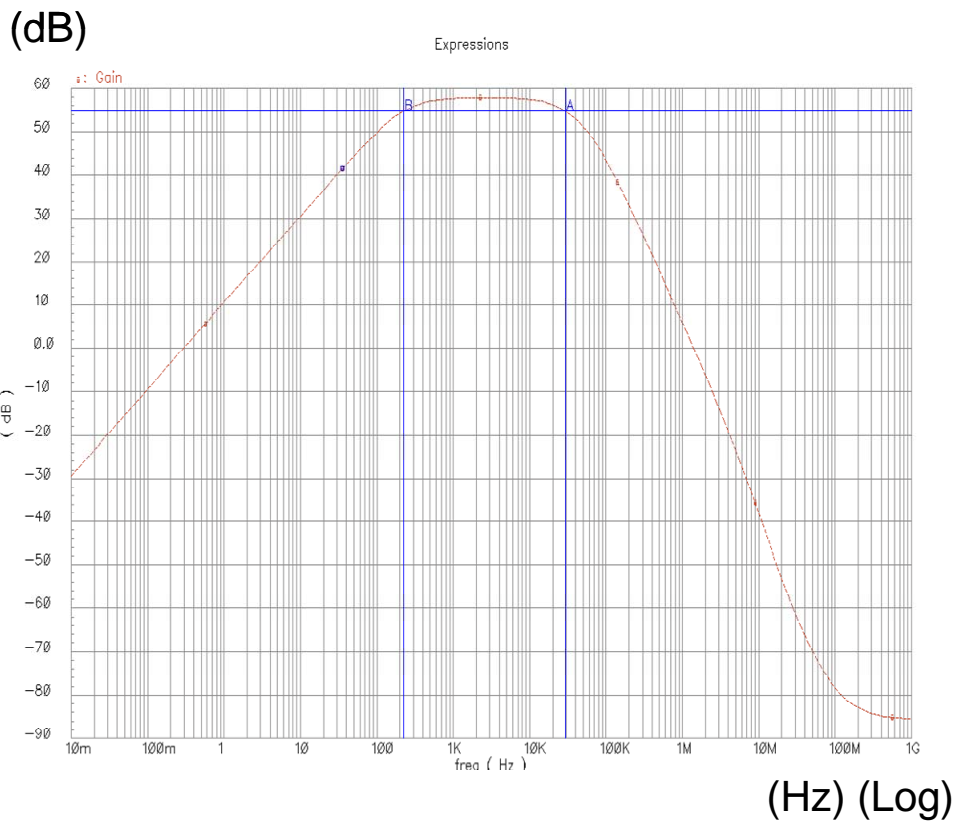


圖 2.7(a) Gain frequency response

乙、 Input referred noise voltage density :

如圖 2.7(b) , thermal noise voltage density 為  $7 \text{ n V}/\sqrt{\text{Hz}}$  ; 低頻區段(1m~2k)的 input referred noise integration 為  $1.3 \mu \text{ V}_{\text{rms}}$  ; corner frequency 為  $2 \text{ kHz}$  。

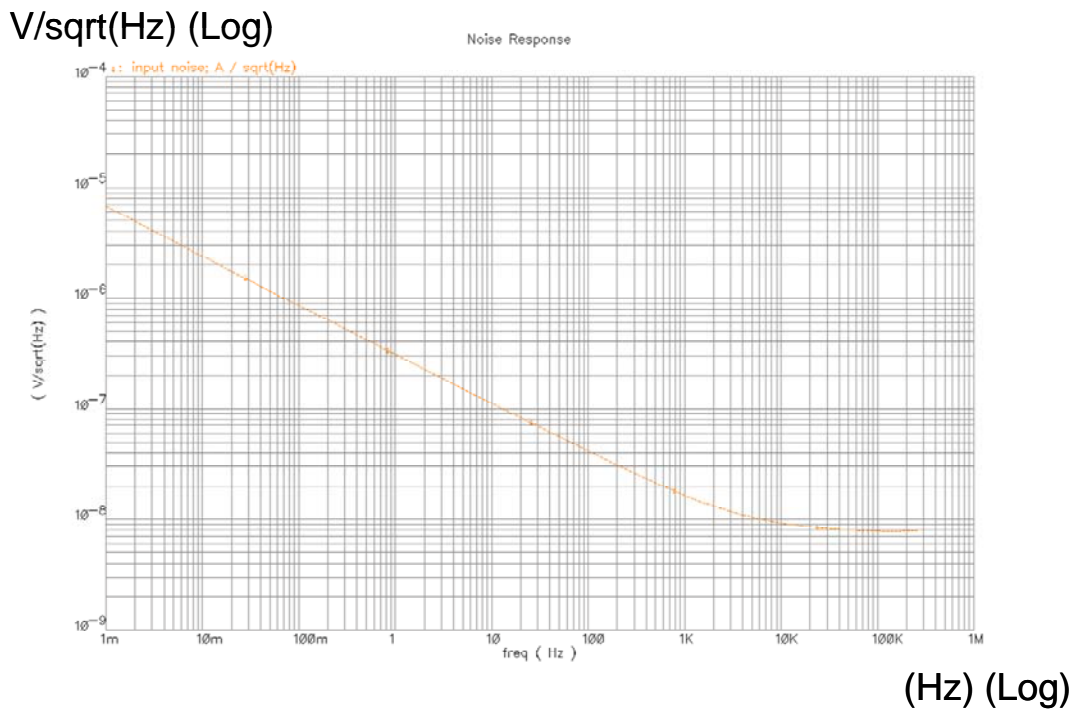


圖 2.7(b) Input referred noise voltage density

A. Sallen-Key LPF

1.) Gain frequency response :

如圖 2.7(c), LPF 的 3dB 頻寬為 0.04 Hz。

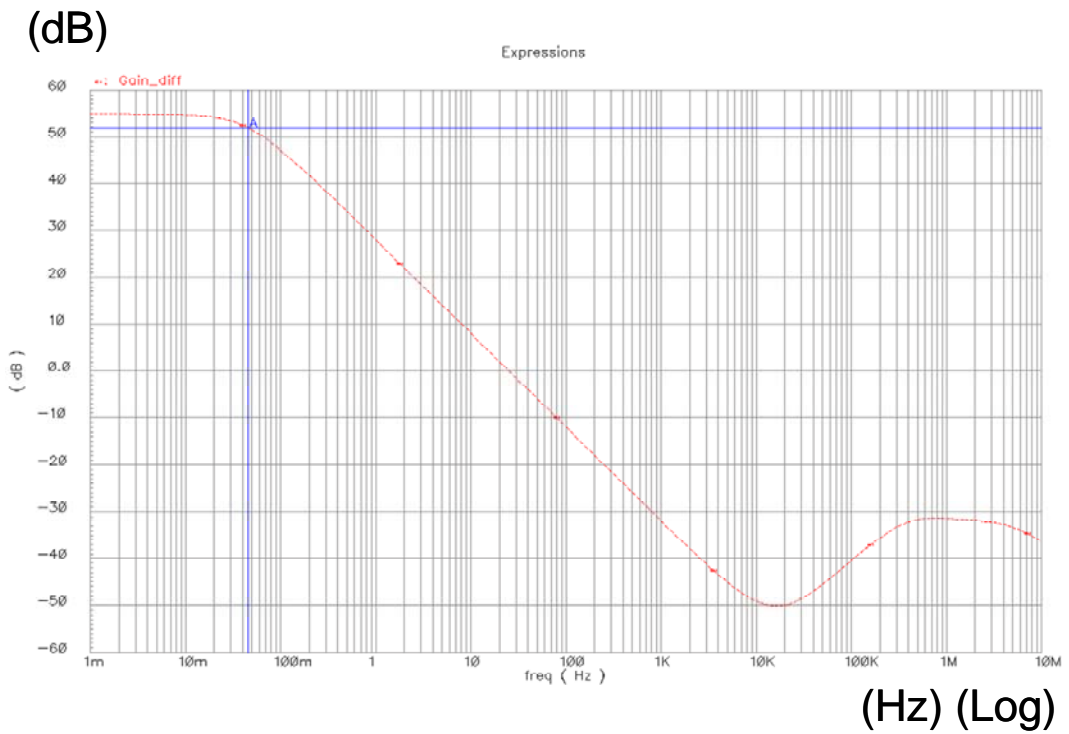


圖 2.7(c) Gain frequency response

2.) Input referred noise voltage density :

如圖 2.7(b), thermal noise voltage density 為 38 n V/sqrt(Hz); 低頻區段(1m~2k)的 input referred noise integration 為 3.5  $\mu$  Vrms。

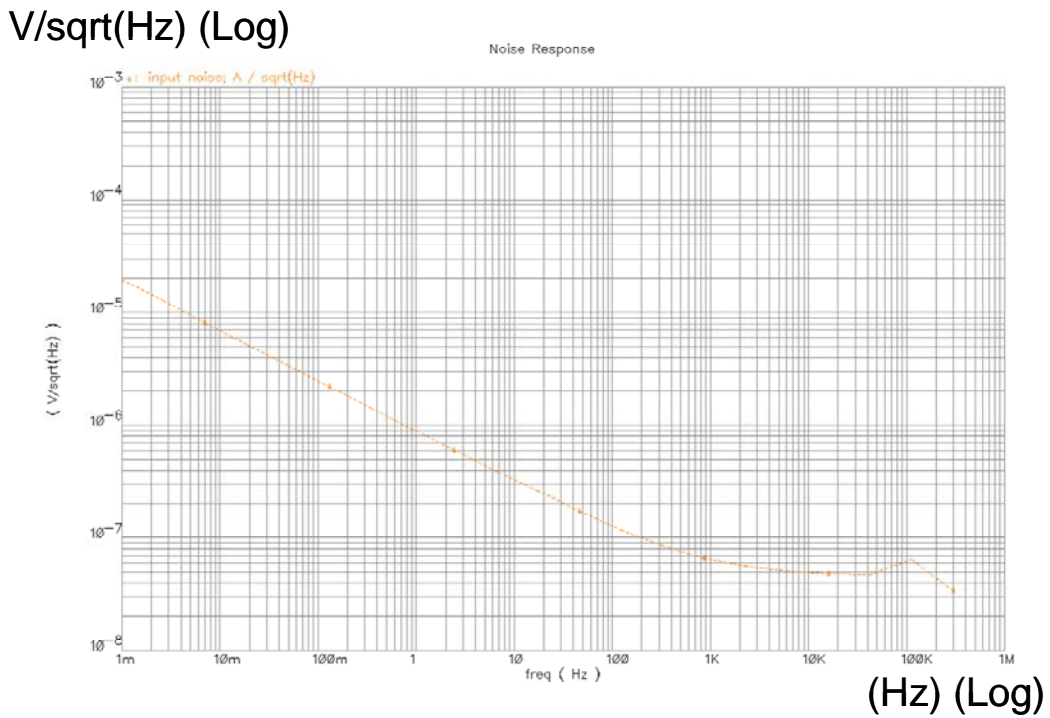


圖 2.7(d) Input referred noise voltage density



## B. Transient response of nested chopping IA

如圖 2.7(e)，輸入訊號是 DC 100  $\mu$ V，nested chopper 的兩組 chopping frequency 分別是 20 Hz 與 2 kHz；放大後的輸出訊號，經 chopper 解調後為 DC 70 mV。

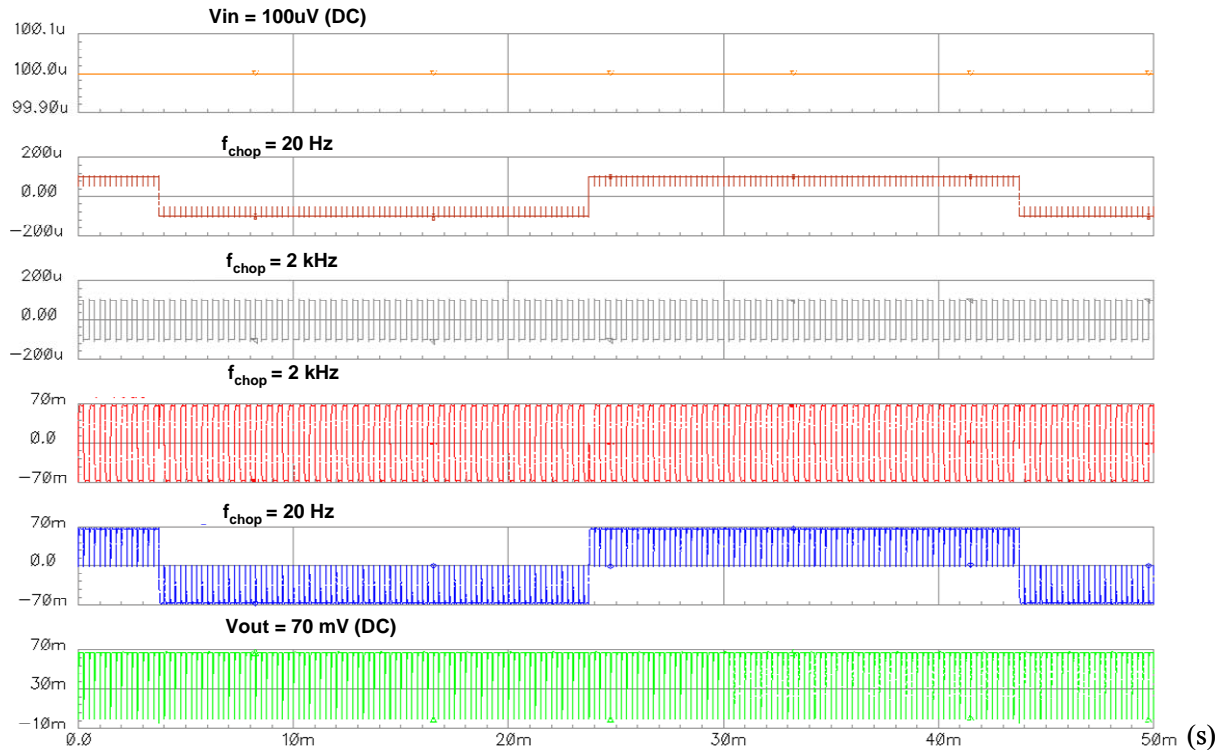


圖 2.7(e) Transient response of nested chopping IA

表 2.1 Pre-Amplifier Performance Table

Feature	Performance
Input signal frequency (SPEC)	0 ~ 10 Hz
Input signal CM (SPEC)	100mV
Input signal range (SPEC)	10 $\mu$ V ~ 600 $\mu$ V
Output signal range (SPEC)	10mV ~ 100mV
Power supply	1 V
Power	50 $\mu$ W
Input signal range	10 $\mu$ V ~ 600 $\mu$ V
Current feedback IA open loop gain	57 dB
Chopping CLK (High)	2 kHz
Chopping CLK (Low)	20 Hz
Offset voltage cancellation	$\pm$ 50 mV
PSRR	140 dB
CMRR	98 dB
Input referred noise density	50n V/sqrt(Hz)

## 2.3 Voltage-to-Code Converter 方塊設計

### 2.3.1 前言

當今電路設計趨勢逐漸邁向高頻，隨著越來越多的電晶體整合在同一塊 PC 板上(PCB)上，不論是在單一 chip 之內或是多個 chips 之間，都會面臨到 clock 的同步和對準問題，使得這方面議題越來越重要，PLL 和 DLL 就是應運而生的兩種關鍵性技術，並且被廣泛使用在許多的同步應用中，例如：時脈產生器(Clock Generator)、頻率合成器(Frequency Synthesizer)、時脈誤差調整(Clock De-skewing)和時脈資料回復(Clock Data Recovery)等。此次所採用 Voltage-to-Code Converter 的架構是以 PLL 的概念為基礎進行設計。

電路設計目標是將前端類比控制訊號轉換成後端可以處理的數位訊號 Code，這個大目標可以分成兩個目標實現，一是如何透過電路運作，使得輸入的類比控制電壓轉換成數位訊號 Code 輸出，二是類比電路系統中，會有很多內外非理想的非理想效應，經過前級放大器處理過後的電壓，仍可能含有電橋非理想效應，或是電路受到製程電壓溫度(PVT variation)影響造成的非理想效應，因此也需要解決此類問題。

針對第一個目標，我們透過延遲元件來達成 Voltage-to-Code Converter 的設計方式。針對第二個目標，可結合 PLL 和 DLL 的概念，來進行補償機制的設計。如圖 2.8(a)所示。

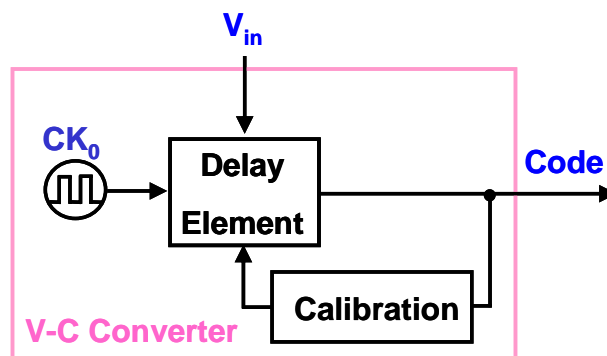


圖 2.8(a) Voltage-Code Converter 轉換電路概念圖

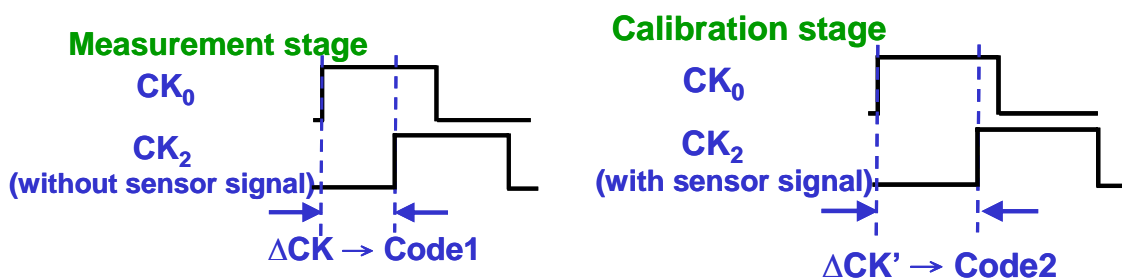


圖 2.8(b) 電路在校正階段運作模式

圖 2.8(c) 電路在量測階段運作模式

### 2.3.2 電路概念說明

電路運作分成兩個階段，分別是校正階段(如圖 2.8(b))以及量測階段(如圖 2.8(c))，每個階段都會由外部送入類比控制電壓，透過閉迴路的方式，由內部電路 Phase Detector 送出數位控制 Code，當完成比對之後，所得的 Code 和由前級放大器送入的類比控制電壓 ( $V_{in}$ )是成一對一的關係(monotonic relationship)。

運作方式如下：

在校正階段，前級放大器送入的電壓是尚未包含 sensor signal 的類比控制電壓( $V_{in1}$ )，藉由本系統運作可得到一組對應的  $Code_1$ ；在量測階段，前級放大器送入的類比控制電壓是已包含 sensor signal 的控制電壓( $V_{in2}$ )，同樣原理再運作一次，可以得到新的一組  $Code_2$ ，只要將這兩組 Code 相減( $=Code_2-Code_1$ )，所得資訊就是 sensor signal 大小( $=V_{in2}-V_{in1}$ )。

### 2.3.3 詳細電路運作說明

Voltage-to-Code Converter 的系統架構如圖 2.9 所示。詳細運作方式解釋如下：

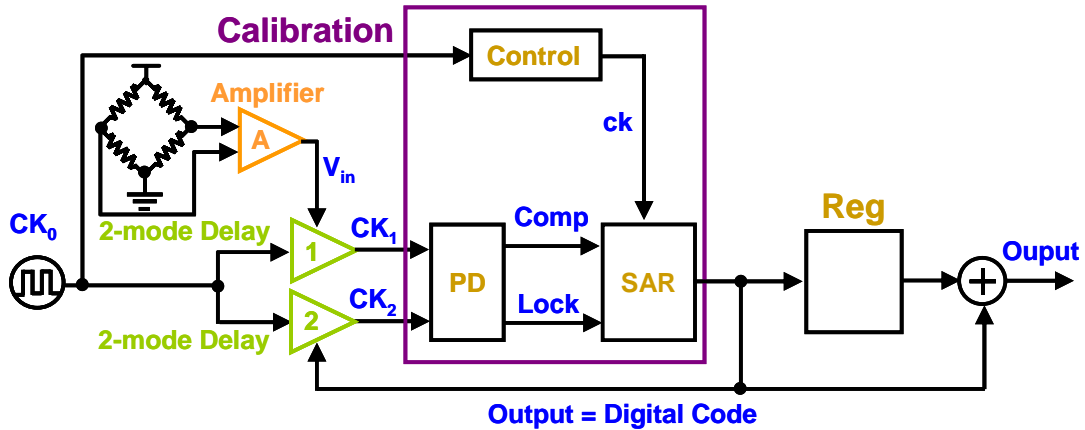


圖 2.9 系統架構圖示

方波( $CK_0$ )同時送入兩個路徑上的延遲元件；前級放大器處理過後的輸出電壓( $V_{in}$ )，作用是成為 Voltage-to-Code Converter 的 sensor signal，會送給上面路徑的延遲元件作為類比控制電壓( $V_{in}$ )，以便控制上面路徑的波形延遲；對於下面路徑來說，SAR[8]會透過 Phase detector 比較上下路徑的相位差距，並送出對應的數位控制 Code，以便讓上下路徑的波形能夠 aligned，當 PD 偵測到  $CK_1$  和  $CK_2$  是相位鎖定之後，此時 SAR 輸出的 Code，就代表對應的類比控制訊號( $V_{in}$ )大小。

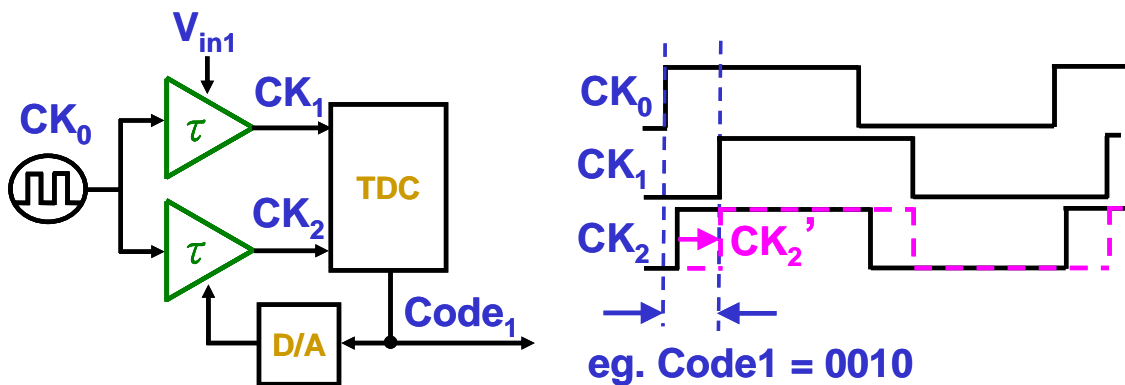


圖 2.10(a) Voltage-to-Code Converter 執行校正模式圖示

系統鎖定相位的動作會執行兩次，第一次鎖定相位如圖 2.10(a) 所示：此時送入的控制電壓( $V_{in1}$ )尚未包含 sensor signal，此電壓( $V_{in1}$ )可看成是作為 reference 基準的電壓，所以系統處在校正階段，電壓( $V_{in1}$ )控制上面路徑的延遲元件產生對應的延遲量，這個延遲量包

含電橋電阻、前級放大器、上面路徑延遲元件的 offsets，在相位鎖定时，由於上下兩路徑的相位會相同，所以數位輸出 Code<sub>1</sub> 的大小就是上述 offsets 的大小，接著把 Codes 存入 registers。

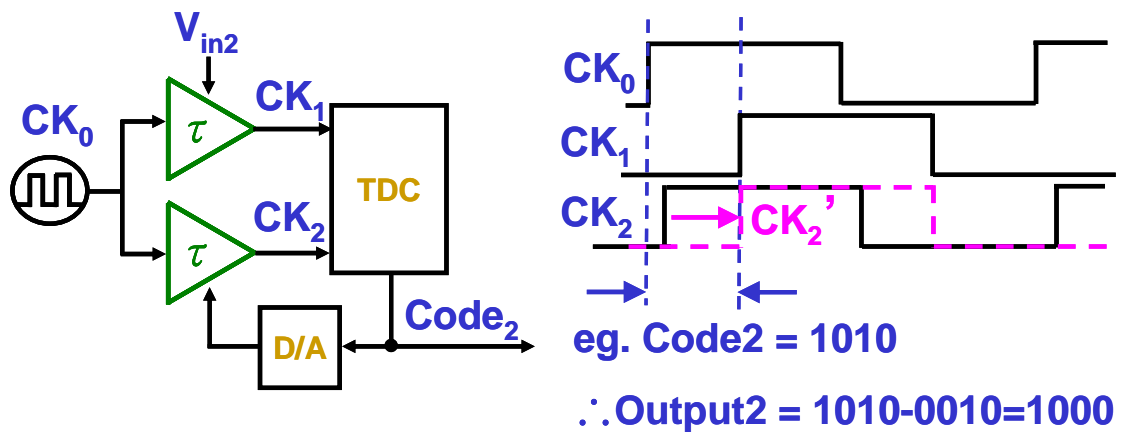


圖 2.10(b) Voltage-to-Code Converter 執行量測模式圖示

第二次的鎖定位相如圖 2.10(b) 所示：此時送入的控制電壓( $V_{in2}$ )包含有 sensor signal，此電壓( $V_{in2}$ )可看成是以之前 reference 為基準再加上 sensor 大小的電壓，所以系統處在量測階段，電壓( $V_{in2}$ )控制上面路徑的延遲元件產生對應的延遲量，這個延遲量包含 sensor signal 大小與電橋電阻、前級放大器、上面路徑延遲元件的 offsets，當相位鎖定位時候，由於上下兩路徑的相位會相同，所以數位輸出 Code<sub>2</sub> 的大小包含有 sensor signal 以及上述 offsets；接著把存在 register 的 Code<sub>1</sub> 和此時 SAR 產生的 Code<sub>2</sub> 送入減法器相減，所得 Code 差 ( $=Code_2-Code_1$ ) 可以看成是已經把 offsets 消掉後的 sensor signal 大小。

### 2.3.4 延遲元件

延遲元件是此次設計的電壓時序轉換電路中，最重要的部份之一，由石英震盪器輸入方波後，經過路徑上的延遲元件，延遲元件會依照對應的控制訊號大小，造成輸出波形的延遲，再藉由 Phase detector 偵測輸入方波與輸出波形之間相位差距，藉由 SAR 可以把延遲大小轉換成數位 code，接著再輸出，這樣一來，就可以藉由讀取 code 值，回推對應的控制訊號大小，而控制訊號大小又能回推 sensor signal 大小，基於此一理由，在求取 Code 差 ( $=Code_2-Code_1$ )，越趨近理想的線性對應關係會越好，以便在實作時，可以採用內插法，讀出所需要的資訊。

電路則如圖 2.11 所示，在 clock 的 rising 時，switch Q1 會接通，電流開始充電，當電容上板電壓  $V_c$  超過 comparator 負端作為 reference signal 的 bio sensor signal  $V_{in}$  時，comparator output  $V_G$  會轉態，同時 clear 上端 D Flip-Flop 以及 set 下端的 D Flip-Flop，讓  $V_o$  波形發生變化直到下週期 CK0 的 rising edge。由式(3)可知， $V_o$  以及 CK0 之間 rising edge 的時間差會正比  $V_{in}$ ，如此一來將可得到線性的電壓控制延遲電路。

$$\begin{aligned}
 Q_c &= C \cdot V_{in} = I_{const} \cdot Delay \Rightarrow V_{in} \propto Delay \\
 &\Rightarrow Delay \text{ Line v.s. } V_{in} \text{ is linear}
 \end{aligned}
 \tag{3}$$

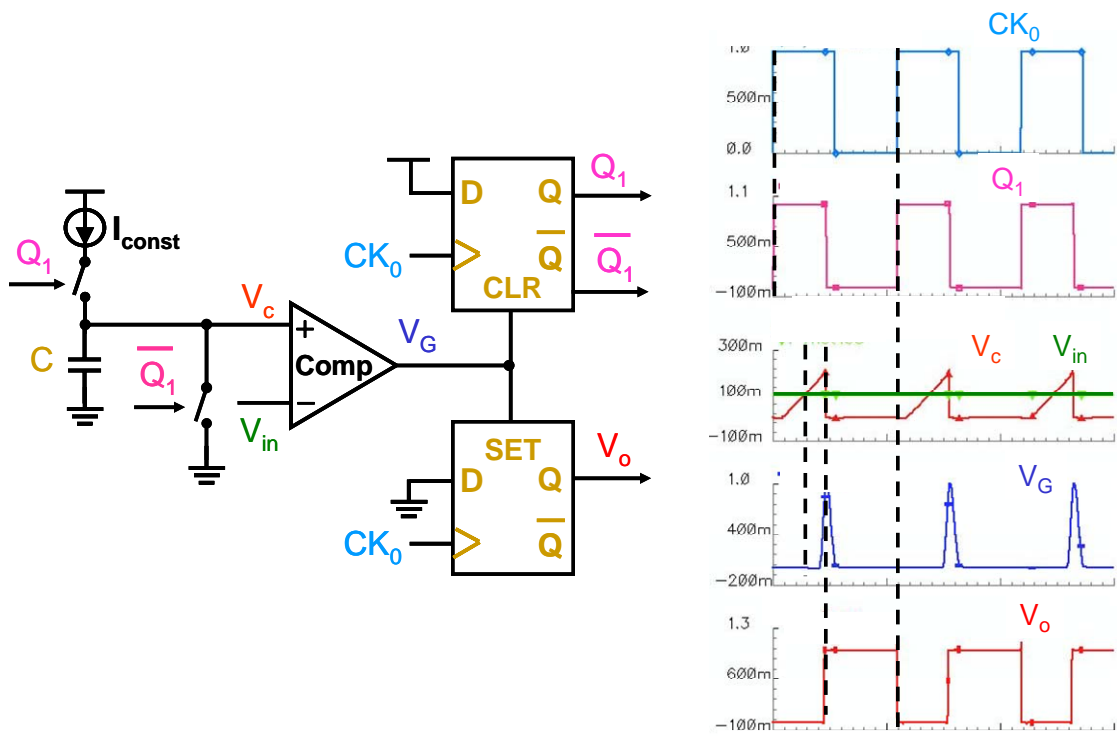


圖 2.11 提出的電壓控制時序延遲電路

### 2.3.5 模擬與量測結果

圖 2.12(a)和 2.12(b)分別是 Layout 和 Chip Photo 圖。

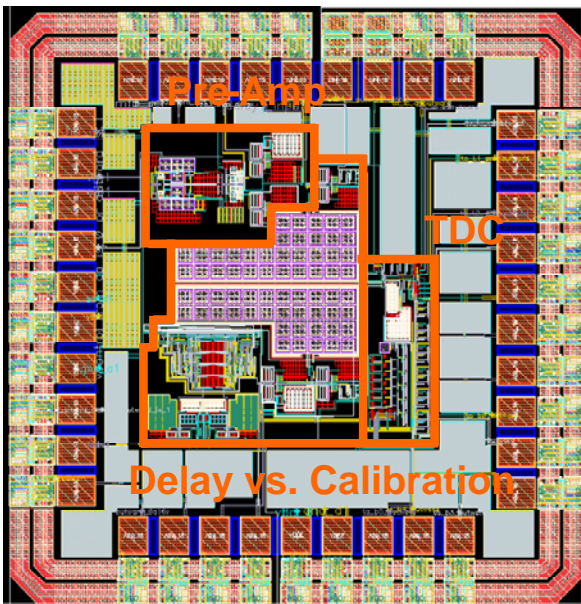


圖 2.12(a) Layout

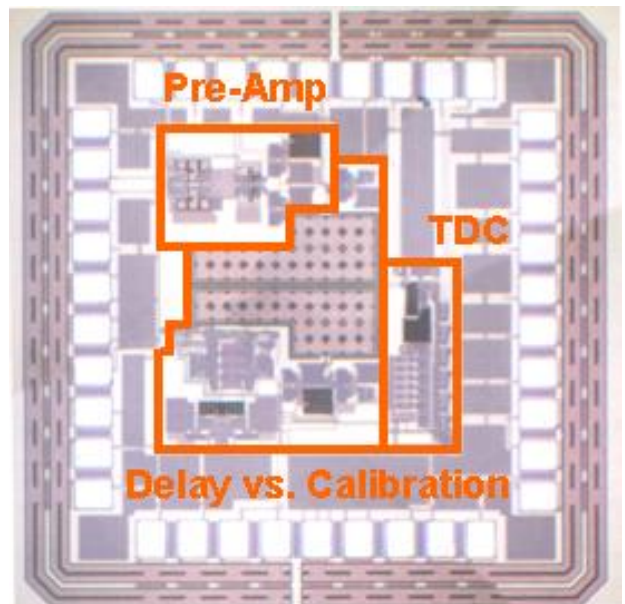


圖 2.12 (b) Chip photo

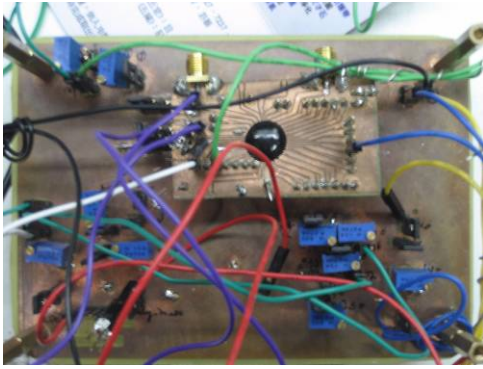


圖 2.13(a) 大板

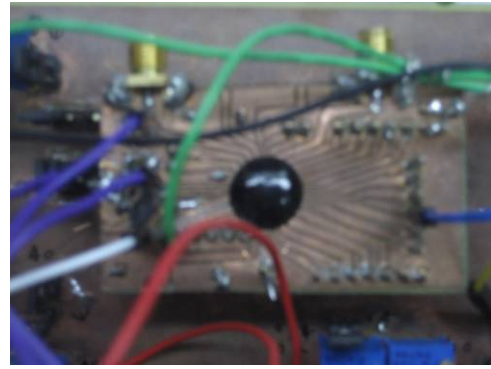


圖 2.13(b) 小板

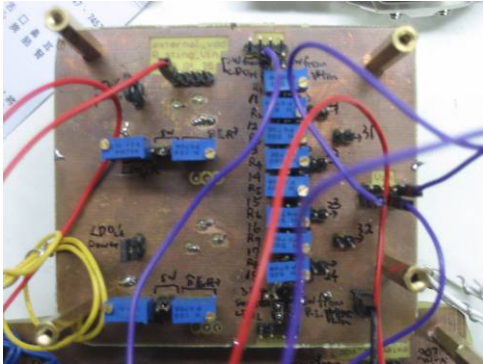


圖 2.13(c) 送入 Vin 的板子

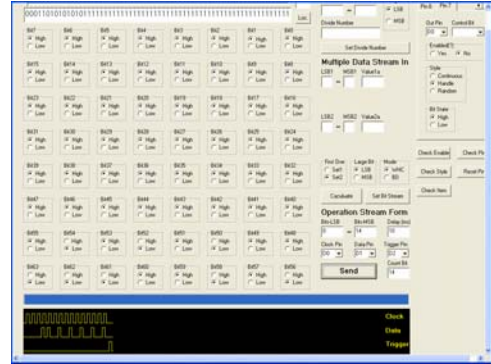


圖 2.13(d) 控制介面程式

測試上是使用了三組 PCB 電路板，分別稱為大板和小板以及送入 Vin 用的板子，為了取得穩定之電壓，首先我們將穩定電壓源之電路設計在大板上，如圖 2.13(a)所示，所有類比與數位電路之供應電壓源的分離皆在此板上實現，而晶片則放置於小板上，如圖 2.13(b)所示，頻率訊號的輸出與輸入佈線皆實現在此，利用電源供應器(Agilent E3646A Dual output DC Power Supply)提供所需電壓，圖 2.13(c)則是為了送入 Vin 電壓的板子；由於電路需要送入時脈訊號，必須使用一組輸入參考頻率，因此測試使用了任意波形產生器(ROHDE & SCHWARZ AM300 Dual arbitrary generator 100Ms/s)灌入 500-kHz 的頻率訊號作為參考頻率。另外，由於電路中需要送入清除訊號，於本晶片之測試方法，乃利用個人電腦之 Print Port 做直接輸出控制，並且利用 Borland C++程式語言來設計控制程式，輸出控制晶片所需之串列輸入訊號。圖 2.13(d)為介面控制程式介面圖。

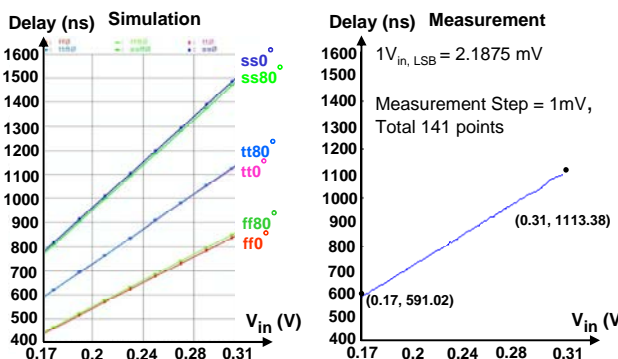


圖 2.14(a) delay line 模擬與量測的關係圖

Simulation						Measurement	
ss, 0°C		tt, 0°C		ff, 0°C		V <sub>in</sub> (mV)	Output
V <sub>in</sub> (mV)	Output (ns)	V <sub>in</sub> (mV)	Output (ns)	V <sub>in</sub> (mV)	Output (ns)		
170	832.227	170	629.752	170	469.625	170	591.02
310	1556.28	310	1177.43	310	877.52	310	1113.38
Δ=140	724.053	Δ=140	547.678	Δ=140	407.977	Δ=140	522.36
170	854.519	170	657.357	170	493.178		
310	1596.46	310	1227.67	310	920.483		
Δ=140	741.941	Δ=140	570.313	Δ=140	427.305		
ss, 80°C		tt, 80°C		ff, 80°C			
V <sub>in</sub> (mV)	Output (ns)	V <sub>in</sub> (mV)	Output (ns)	V <sub>in</sub> (mV)	Output (ns)		
170	822.343	170	630.092	170	475.456		
310	1538.54	310	1179.21	310	899.557		
Δ=140	716.197	Δ=140	549.118	Δ=140	414.054		
170	864.59	170	657.915	170	499.507		
310	1614.72	310	1229.79	310	933.541		
Δ=140	750.13	Δ=140	571.875	Δ=140	434.034		

圖 2.14(b) delay line 模擬與量測的關係表格

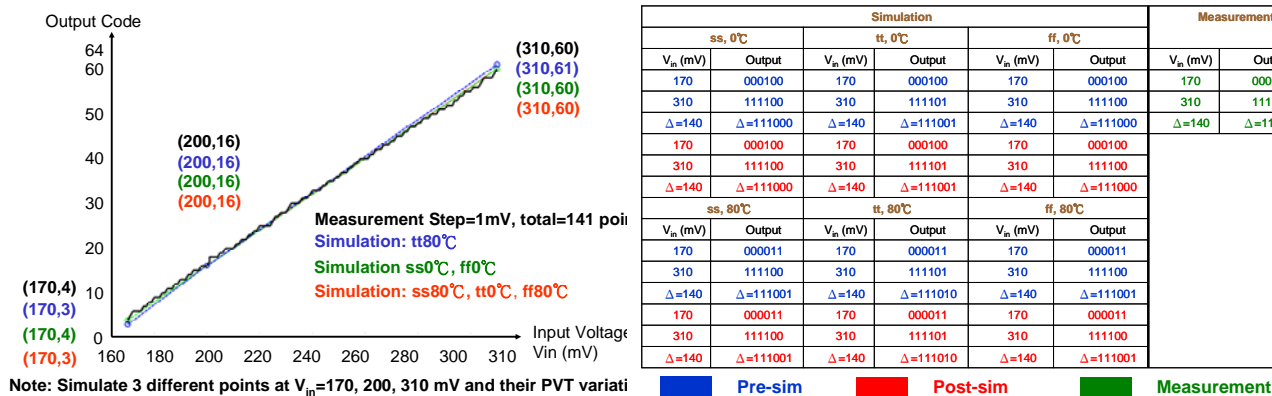


圖 2.15(a) V-C Converter 的 transfer function

圖 2.15(b) V-C Converter 的 transfer table

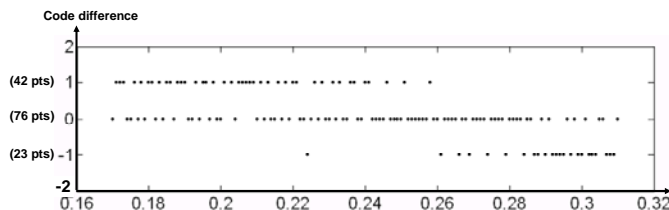


圖 2.15(c) V-C Converter 的 Code error

首先利用電源供應器(Agilent E3646A Dual output DC Power Supply)提供所需電壓到 LDO (LT3020)，由於需要測試從 170 至 310-mV 共 140-mV 範圍的電壓值，所以量測時候透過調整 LDO 輸出電壓值，以 1-mV 為單位作為變化，總共會有 141 個點，接著由示波器 (Tektronix TDS 3052B)紀錄下不同輸入電壓  $V_{in}$  時所對應的 delay (輸出波形的正緣和 clock 的正緣之間時間差)以及當時所鎖定的 code。

圖 2.14(a)是 delay 的模擬和量測結果，可以從圖九左邊看到三個 corner 和兩個極端溫度，總共六條 delay line，右方則是記錄下各個量測點所產生的 delay 值，由 matlab 所畫出來的圖形，可以看到此量測結果 match 在  $tt$ -corner。圖 2.14(b)則列出在極端輸入電壓和溫度時不同 corner 時候的 delay line 參數表格。

圖 2.15(a)為此 Voltage-to-Code Converter 的輸入電壓與輸出 code 關係，在模擬時候取  $V_{in}$  為 170、200、310-mV 等幾個點進行模擬，在這些點的輸出 code 與量測時候的 code 是相同的，圖 2.15(b)則列出 Voltage-to-Code Converter 在極端輸入電壓、溫度與不同 corner 時候的輸入電壓與輸出 code 關係表格。

由圖 2.15(c)縱軸是相同電壓下模擬產生的 code 與量測的 code 之間差值，橫軸是控制電壓  $V_{in}$ ，可以得到式(2)的關係。

$$\begin{cases} INL = \frac{42-23}{42+76+23} = 0.135 \\ DNL: \text{no missing code} \end{cases} \quad (2)$$

由此圖可以看到不是每個  $V_{in}$  在模擬與量測都會產生相同的 code，推測可能原因來自於量測時候的輸入電壓  $V_{in}$  是 discrete 方式給的，以及 DAC 本身就有 process variation。

### 2.3.6 預期達成之目標與成果

表 2.2 Voltage-to-Code Converter Performance Table

Process	TSMC 0.18- $\mu\text{m}$ 1p6m CMOS
Supply voltage	1 V
Resolution	6-bits
Operational Frequency	500-kHz, [ T = 0.2- $\mu\text{s}$ ]
Voltage Input Common Mode Range	170 ~ 310-mV
Sampling Rate	33-kHz
Current Consumption of a delay element	200- $\mu\text{A}$
A cap in a delay element	28.8-pF
Total Current Consumption	Simulation: 2.2-mA Measurement: 1.6-mA
Delay Range	Simulation: ss: 860-1601-ns, range=741-ns tt : 658-1229-ns, range=571-ns ff: 496-927-ns, range=431-ns Measurement: 591-1113-ns, range=522-ns
Voltage-to-Code Converter Linearity	INL=0.135 DNL: no missing Code
Die area	1.2 mm $\times$ 1.2 mm

### 2.3.7 下次下線設計

針對前一次設計，打算增加可輸入電壓的範圍，所以要更改 delay 元件內 comparator[9] 的設計，如圖 2.16(a)，其 performance 列於圖 2.16(b)，Voltage-Controlled Delay Line 如圖 2.16(c)所示。

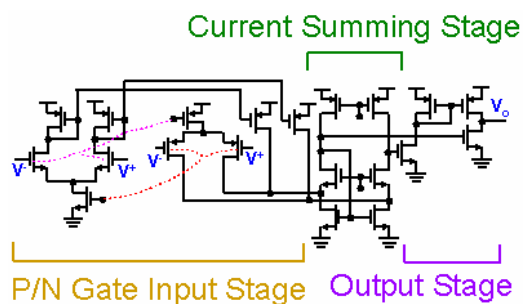


圖 2.16(a) Comparator 電路架構

Feature	Performance
VDD	1-V
$V_{i,cm}$	0 ~ 900-mV
Gain	>74-dB
$I_{static}$	< 69- $\mu\text{A}$
$f_{3dB}$	2-MHz
SR, at $\Delta V_{in} = 1V_{DD} = 1\text{mV}$	53-V/ $\mu\text{s}$
$T_{settle}$ , $C_L = 5\text{fF}$ , at $\Delta V_{in} = 1V_{DD} = 1\text{mV}$	<12-ns
<b>at tt27</b>	
Gain	86-dB
$I_{static}$	57- $\mu\text{A}$
$f_{3dB}$	2.3-MHz
SR, at $\Delta V_{in} = 1V_{DD} = 1\text{mV}$	104-V/ $\mu\text{s}$
$T_{settle}$ , $C_L = 5\text{fF}$ , at $\Delta V_{in} = 1V_{DD} = 1\text{mV}$	6-ns

圖 2.16(b) Comparator Performance



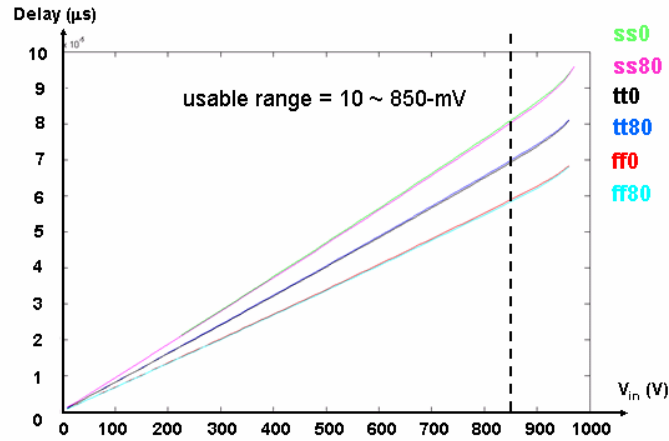


圖 2.16 (c) Voltage-Controlled Delay Line

表 2.3 Voltage-to-Code Converter Performance Table

Process	TSMC 0.18- $\mu\text{m}$ 1p6m CMOS
Supply voltage	1 V
Operational Frequency	100-kHz, [ T = 10- $\mu\text{s}$ ]
Voltage Input Common Mode Range	10 ~ 850-mV
Sampling Rate	2.7-kHz (estimated)
Current Consumption of a delay element	70- $\mu\text{A}$
A cap in a delay element	40-pF
Total Current Consumption	N/A
Delay Range	Simulation: ss: 130 ~ 8086-ns, range=7956-ns tt : 113 ~ 7067-ns, range=6954-ns ff : 94 ~ 5884-ns, range=5790-ns Measurement: N/A

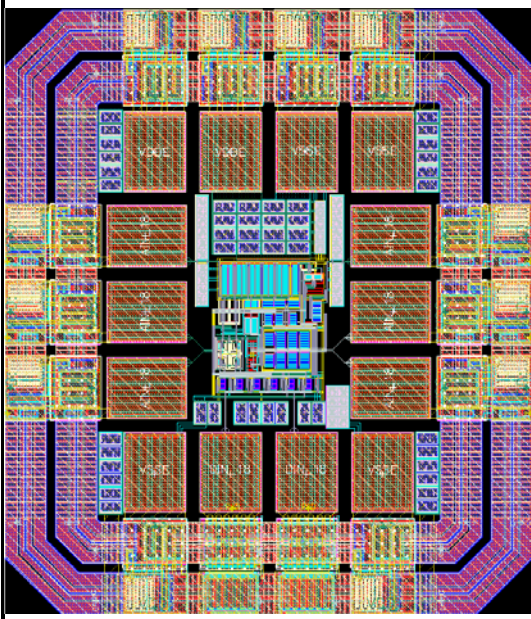
## 2.4 本計畫之目標與研究成果

1. 這個計畫的 Pre-Amplifier 是以 CMOTA (Current-Mirror Operational Trans-conductance Amplifier) 的架構為基礎進行設計和研究。在生醫的應用中，有許多重要的設計考量，此子計畫之 Pre-Amplifier 需要一可低電壓/低功耗操作、高倍增益、良好穩定度的放大器。為了達到以上之設計要求，在此，我們使用了數個電路技巧，進而提出了一個新的高效能、低電壓/低功耗的 CMOTA 架構。此一電路已設計完成並且已經發表於 IEEE Transactions on Transactions and Systems II: Express Briefs [J1] (期刊論文)，以及 VLSI Design/CAD Symposium [C1] (研討會論文)。

[J1] T.-H. Lin, C.-K. Wu, and M.-C. Tsai, "A 0.8-V 0.25mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu$ m CMOS," IEEE Transactions on Transactions and Systems II: Express Briefs, vol. 54, pp.131-135, Feb, 2007. (SCI)

[C1] C.-K. Wu, M.-C. Tsai, and T.-H. Lin, "A 0.8-V 0.25-mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu$ m CMOS," VLSI Design/CAD Symposium, pp. 545-548, Aug. 2006.

表 2.4 CMOTA 之規格表與晶片的照片

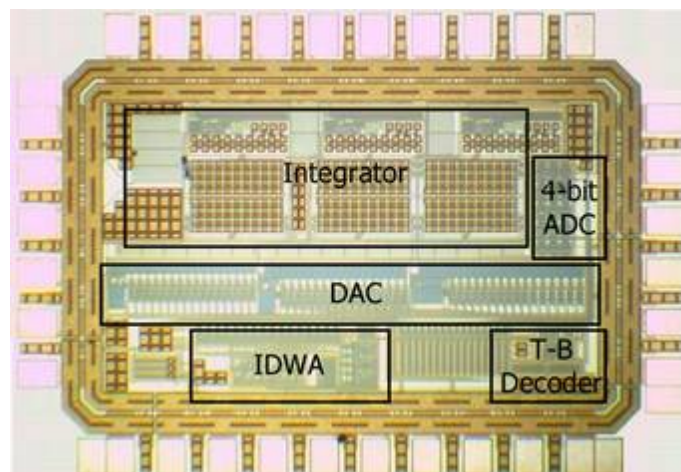
Process	TSMC 0.18- $\mu$ m CMOS	Die photograph
Design Parameters	K = 0.85; N = 3	
Supply Voltage	0.8 V	
Power Consumption	265 $\mu$ W (CMFB included)	
Unit-Gain Frequency	161 MHz	
DC Gain	62 dB	
Phase Margin	66 degrees	
Output Swing	0.55 V <sub>pp</sub> (single end)	
Slew Rate	20 V/ $\mu$ s	
Core Area	0.12 mm $\times$ 0.14 mm	

2. 本計劃同時著重於發展適用於生醫應用的高解析度類比數位轉換器(ADC)，研究的架構為三角積分調變器(Delta-Sigma Modulator)，為進一步達到低功率之操作要求，我們進一步針對連續時間型(Continuous-time)的電路實現方式進行研究。同時，為了克服電路實現過程所產生之不匹配的效應，在設計上我們也加入了 DEM (Dynamic Element Matching)的方法。我們實現了一個三階的三角積分調變器，此調變器在 100-kHz 的頻寬內具有 77dB 的信號訊比(SNR)。此一研究成果已發表於 VLSI Design/CAD Symposium [C2] (研討會論文)，並且即將發表於 International Journal of Electrical Engineering [J2] (期刊論文)。

- [J2] M.-C. Tsai and **T.-H. Lin**, “Design of a Continuous-Time 3<sup>rd</sup>-Order Delta-Sigma Modulator with Incremental Data Weighted Averaging,” accepted to *International Journal of Electrical Engineering*. (EI)
- [C2] M.-C. Tsai and **T.-H. Lin**, “A 3<sup>rd</sup>-Order Multi-bit Continuous-Time Sigma-Delta Modulator with Incremental Data Weighted Averaging,” *VLSI Design/CAD Symposium*, pp. 353-356, Aug. 2006.

表 3.4 3<sup>rd</sup>-order Continuous-Time Delta-Sigma Modulator 之規格表與晶片的照片

Ref.	[13]	This Work	
Technology	0.25- $\mu$ m CMOS	0.18- $\mu$ m CMOS	
Power Supply	2.5 V	1.8 V	
Modulator	3-order 1-bit	3-order 4-bit	
Sampling Freq.	104 MHz	24 MHz	
Signal Bandwidth	200 kHz	100 kHz	
OSR	192	120	
SNR	76 dB	> 80 dB (simulated)	77 dB (measured)
Total Power	11.5 mW	4.06 mW (simulated)	4.50 mW (measured)
OP Amp		2.21 mW	2.21 mW
DAC + Quantizer		0.74 mW	0.76 mW
IDWA		0.25 mW	0.43 mW
Other circuits		0.86 mW	1.10 mW



(Chip area: 0.99 mm  $\times$  1.43 mm)

3. 數位信號處理具有許多優點並且已經是整合系統的重要工具，此子計畫中所發展的 Voltage-to-Code Converter 能將電壓資訊直接轉換成為數位輸出。此一電路並且具備自我矯正功能，透過鎖向迴路的原理，進行電路非理想效應的校正，其概念將可取代 ADC 在類似的應用層面上。本計畫預期針對此一電路系統申請專利(專利名稱：具有自我校正功能的 Voltage-to-Code Converter)。此一 Voltage-to-Code Converter 預計於三個月內完成設計，並於下半年度於 T18-96E(F)梯次(九月)完成晶片下線。

## 參考文獻

- [1] Andrew T. K. Tang, "A 3 $\mu$ V-Offset Operational Amplifier with 20 nV/ $\sqrt{\text{Hz}}$  Input Noise PSD at DC Employing both Chopping and Autozeroing," *Digest of International Solid-State Circuits Conference*, pp. 386-387, Feb. 2002.
- [2] T. Burger and Q. Huang "A 13.5-mW 185-Msample/s  $\Delta\Sigma$  modulator for UMTS/GSM dual-standard IF reception," *IEEE J. Solid-State Circuits*, vol. 36, pp. 1868-1878, Dec. 2001.
- [3] T.-H. Lin, C.-K. Wu and M.-C. Tsai, "A 0.8-V 0.25mW Current-Mirror OTA with 160-MHz GBW in 0.18- $\mu\text{m}$  CMOS," *IEEE Transactions on Transactions and Systems II: Express Briefs*, vol. 54, pp.131-135, Feb, 2007.
- [4] A. Burstein and W. J. Kaiser, "Mixed Analog-Digital Highly-Sensitive Sensor Interface Circuit for Low-Cost Microsensors," *Intl. Conf. on Solid-State Sensors and Actuators*, pp.162-165, June, 1995.
- [5] C. Menolfi and Qiuting Huang, "A Fully Integrated, Untrimmed CMOS Instrumentation Amplifier with Submicrovolt Offset," *IEEE Journal of Solid-State Circuits*, Vol. 34, No.3, March, 1999.
- [6] A. Bakker *et al.*, "A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset," *Digest of International Solid-State Circuits Conference*, pp. 156-157, Feb, 2000.
- [7] Rolf Schaumann, Mac E. Van Valkenburg, *Design of Analog Filters*, New York:Oxford, 2001.
- [8] G.-K. Dehng, J.-M. Hsu, C.-Y. Yang, S.-I. Liu, "Clock-deskew buffer using a SAR-controlled delay-locked loop," *IEEE JSSC*, vol. 35, pp. 1128-1136, August, 2000.
- [9] J. M. Carrillo, G. Torelli, R. Pérez-Aloe, and J. F. Duque-Carrillo, "1-V Rail-to-Rail CMOS OpAmp with Improved Bulk-Driven Input Stage," *IEEE JSSC*, vol. 42, pp. 508-517, March, 2007.