

行政院國家科學委員會專題研究計畫 期中進度報告

使用波束成形技術的 60GHz CMOS 寬頻無線通訊傳收機--子
計畫四：運用於 60GHz 寬頻無線通訊系統之高階傳收機電
路(2/3)

期中進度報告(完整版)

計畫類別：整合型
計畫編號：NSC 95-2220-E-002-005-
執行期間：95 年 08 月 01 日至 96 年 07 月 31 日
執行單位：國立臺灣大學電子工程學研究所

計畫主持人：林宗賢
共同主持人：李泰成

處理方式：期中報告不提供公開查詢

中華民國 96 年 05 月 30 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

使用波束成形技術的 60GHz CMOS 寬頻無線通訊傳收機

子計畫四

運用於 60GHz 寬頻無線通訊系統之高階傳收機電路

High-Tier CMOS Transceiver for A 60-GHz Broadband

Wireless Communication System

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 95 - 2220 - E - 002 - 005 -

執行期間：95 年 8 月 1 日至 96 年 7 月 31 日

計畫主持人：林宗賢 助理教授

共同主持人：李泰成 助理教授

計畫參與人員：邱威豪、陳昱志

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立臺灣大學電子工程研究所

中華民國 96 年 5 月 30 日

可供推廣之研發成果資料表

■ 可申請專利

■ 可技術移轉

日期：95年05月30日

<p>國科會補助計畫</p>	<p>計畫名稱：運用於 60GHz 寬頻無線通訊系統之高階傳收機電路 計畫主持人：林宗賢 助理教授 計畫編號：NSC 95 - 2220 - E - 002 - 005 學門領域：微電子學門</p>
<p>技術/創作名稱</p>	<p>I/Q 訊號校正電路</p>
<p>發明人/創作人</p>	<p>邱威豪、林宗賢</p>
<p>技術說明</p>	<p>中文： 本計劃發展了一精準 I/Q 訊號校正電路，能夠精確分隔出來自本地振盪源與訊號路徑的誤差量，因此調整 I/Q 訊號誤差量時可以增進校正之精確度；並且我們也同步發展了其他相關的子電路，可以比傳統之電路達到更佳的效果。</p>
	<p>英文： We have proposed an I/Q signal calibration architecture that can separate signal-path error from the one of the local oscillator. The associated building blocks are also developed. The simulation results indicate that the proposed method can achieve a better accuracy than conventional calibration techniques.</p>
<p>可利用之產業 及 可開發之產品</p>	<p>相關產品，包含所有需要多路相互對稱之電路，例如通訊系統中之 I/Q 訊號路徑。</p>
<p>技術特點</p>	<ol style="list-style-type: none"> 1. 同步發展一 50% 工作週期時脈產生器，可操作在廣域之頻率並且具有精準之校正結果。 2. 分離本地振盪源與訊號路徑的誤差量，提升校正可信度。
<p>推廣及運用的價值</p>	<ol style="list-style-type: none"> 1. 提升需相互對稱電路其校正的可信度與精確度。 2. 降低數位基頻電路的設計負擔，如繞線與面積等。 3. 運用於通訊系統時，可使通訊品質升級。

※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。

※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

※ 3. 本表若不敷使用，請自行影印使用。

中文摘要

近年來，無線通訊系統的應用更加廣泛，同時操作頻率也隨之上升。然而隨著製程技術的演進，包含漏電流等許多非理想效應，都將影響通訊系統的各子電路，尤其是作為訊號傳收的傳收機，必須操作在相當高的射頻頻率下，因此對於漏電流及元件不匹配等問題都十分敏感，所造成的 I/Q 訊號路徑不對稱問題，將傷害無線通訊的品質，所以其電路設計成為當前重要的研究議題。

在此子計劃的進度報告中，我們將對傳收機的接收端進行設計，而設計的目標則是將接收端的元件加以研討，其中包括了 RSSI 電路、低通濾波器與可調增益放大器等元件，以使接收端能夠操作在較高的頻率下，並且有較佳的效能，目前已完整設計低通濾波器的電路中，我們不但考量其線性度與寬頻設計的問題，並且我們加入自動頻率校正的機制，使其較能夠對抗製程變異等非理想效應，實際模擬是採以 0.18- μm 製程的設計作模擬，所設定的操作電壓為 1.8 V。於此條件下，在不同的 corner 以及溫度下完成了頻寬在 120 MHz \pm 5% 的低通濾波器，IIP3 可達到 20 dBm，功率消耗為 45 mW，主要晶片的面積為 1.2x1.2 mm²。

為了提升無線通訊的品質，我們將進一步提出 I/Q 訊號的校正電路，透過我們所發展的 I/Q 訊號的校正電路機制，我們可以將來自於訊號路徑與本地振盪源的誤差量分離出來，其好處在於，當校正 I/Q 訊號的不對稱時，以往的文獻大多是會利用到數位基頻電路部份作為校正的輔助，或者直接在進入數位基頻電路前作一次校正，然而 I/Q 訊號必須從本地振盪源傳送到後級如數位基頻電路，所以此段路徑上所有元件的誤差量將被包括在本地振盪源的誤差量內，這可能會使校正上出現誤判的情況，於頻率通道切換時，造成額外的正交相位誤差。而我們所設計的 I/Q 訊號校正電路，可以確實了解來自於本地振盪源的誤差量，因此不會過度誤判不同來源的誤差量，致使校正的精確度與可信度降低。在計畫中，我們亦提出許多新的校正子電路設計，可以提高校正的精細度，並且降低檢測電路的設計負擔。

在此子計劃進度報告當中，我們將列出已有完整設計的低通濾波器的設計結果，並且，我們將描述所設計的I/Q 訊號校正電路，目前 I/Q 訊號校正電路雖然仍在設計當中，但已有完整之機制，並且我們將在此份報告中，將新提出的關鍵子電路研究成果作完整說明。

Abstract

The applications for wireless communication system have been growing rapidly in recent years. The operating frequency is getting higher. However, with the process scaled, non-ideal influences include of leakage current and process mismatch affect the transceiver performance. The I/Q signal path mismatch degrades the performance of wireless communication. Therefore, well-designed transceivers are key to high-performance wireless communication systems.

In this report, we will discuss the design of important building blocks of a 60-GHz transceiver. The design target is to optimize the basic circuits of the receiver, including RSSI circuit, low pass filter, and variable gain amplifier, such that they can operate at the higher frequency and achieve a better performance. At present, the low-pass filter design has been finished and is under measurement. Besides the linearity and bandwidth of the filter, the automatic frequency tuning scheme is adopted to resist process variations and other non-ideal effects. The circuit is designed in the TSMC 0.18- μm CMOS process under a 1.8-V supply voltage. The filter's bandwidth is $120 \text{ MHz} \pm 5\%$ under various corners. The IIP3 is up to 20 dBm. The power consumption is 30 mW and the chip area is about $1.2 \times 1.2 \text{ mm}^2$.

To improve the quality of wireless communication, we further propose the I/Q signal calibration circuit. This calibration circuit can separate the error of signal path from the one of the local oscillator. The advantage is described as follows. The I/Q signals are calibrated by the digital basedband circuit in prior works. However, this error includes of path error due to the I/Q signal passes through a long path. As the result, incomplete calibration may occur. By using our proposed I/Q calibration approach, it can detect the error from the local oscillator accurately. The overall calibration accuracy is enhanced.

This progress report shows our research accomplishments during last year. We will present the results of various transceiver building blocks and the proposed I/Q calibration technique. The publications related to the research of this project will be presented at the end of this report.

目錄

封面頁

可供推廣之研發成果資料表

中文摘要.....	I
英文摘要.....	II
目錄.....	III
1. 前言與目的.....	1
1.1 子計劃概述.....	1
1.2 本篇報告結構.....	3
2. 接收端電路元件設計與成果.....	4
2.1 研究動機.....	4
2.2 架構簡介.....	4
2.3 模擬結果.....	10
2.4 預計規格表.....	12
3. I/Q 正交訊號校正技術.....	13
3.1 前言.....	13
3.2 I/Q 正交訊號不匹配現象.....	13
3.3 提出之 I/Q 正交訊號校正機制.....	15
3.4 相位校正電路之實現討論.....	16
3.4.1 類比基頻電路之相位校正設計.....	16
3.4.2 本地振盪源之相位校正設計.....	17
3.4.3 精確度提升之設計.....	21
4. 目前結論與成果.....	24
參考文獻.....	26
附錄 A. 論文成果發表摘要.....	27

1. 前言與目的

1.1 子計劃概述

此子計畫中高效能的OFDM中、基頻傳收機電路，如圖1.1所示，包含了：1. 適用於中頻(Intermediate Frequency, IF)、基頻(BaseBand, BB)之寬頻可調增益放大器(Variable Gain Amplifier, VGA)，2. 寬頻低通濾波器，3. RSSI電路，4. 適用於中、基頻之升、降頻混波器(Mixer)，5. 校正I/Q訊號誤差的I/Q訊號校正電路(I/Q Calibration)。

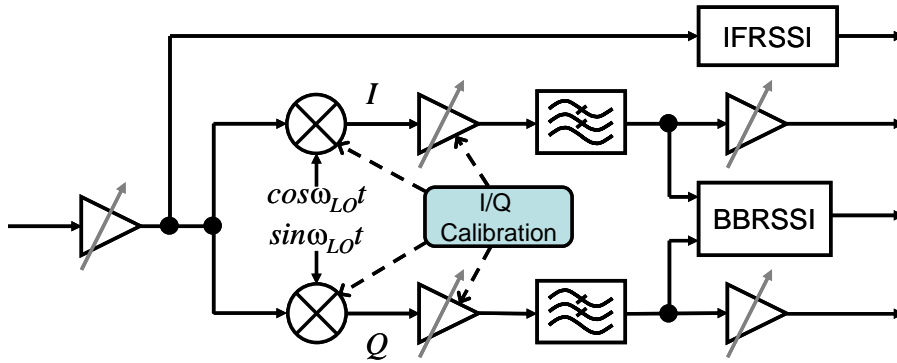


圖 1.1 中、基頻傳收機電路系統圖。

可調增益放大器為通訊系統中不可或缺之電路，如超寬頻帶(Ultra Wide Band)或光纖通訊(Optical Fiber Communication)等應用系統，皆需要非常寬頻的可調增益放大器。除了操作頻率及頻寬的考量之外，放大器的增益範圍必須能涵蓋信號的動態範圍(Dynamic Range)，在60-GHz傳收機的架構中，我們會將增益的可調範圍分配於中頻以及基頻當中；在此我們所採用之中頻頻率為5-GHz。中頻之可調增益放大器一般可採用可調負載(Tuned Load)電路來達到高頻操作，其增益控制大多不需要非常精確，而在基頻可變方面，則會需要較多的設計考量，例如必須有很大的頻寬（於本子計劃中為120 MHz），同時具有大範圍增益微調及直流偏移(DC Offset)消除的功能等。目前這方面的參考文獻尚屬有限[1,2]，而且系統規格及應用均不相同，在[1]當中並沒有特別考慮採用高通轉移系統來消除直流偏移，在[2]當中則採用了電阻電容的迴授網路來產生高通轉移系統。整體而言，這方面的電路還可以有更進一步的研究空間。

用於基頻之寬頻低通濾波器(Wide-Band Low Pass Filter)主要功能為通道選擇(Channel Selection)，因此其設計之要求是由無線通訊系統的相關規格所決定；於本計畫中，由於傳輸速率甚高，因此低通濾波器的操作頻寬也隨之上升。近幾年來有許多相關於寬頻低通濾波器的研究被發表，其中多半是以Gm-C濾波器(Gm-C Filter)為主[3,4]，然而Gm-C濾波器的線性度通常會較差，並且所容許的動態範圍較小，將使系統效能受到限制，在60-GHz OFDM系統傳收機的架構中，所需的基頻類比濾波器其規格要求甚高，尤其在線性度的要求上更為嚴苛，因此對於Gm-C濾波器的使用必須詳加評估；另一個設計方案為主動式電阻電容濾波器(Active-RC Filters)，雖然此類濾波器通常需要搭配一個相當高速的運算放大器[5]，可能會有相當的功率消耗，但是其在線性度方面有較好的效能，適合此子計劃中對於線性度的要求，因而在此子計劃中，我們是採用主動式電阻電容濾波器。

RSSI電路為可量測接收信號強弱的元件，接收器便是依此元件的量測結果作為調整信

號路徑上增益大小的參考依據，而使接收器後端所取得之信號能達到一個適當範圍。在RSSI的電路實現上，目前主要是以峰值檢測器(Peak Detector) [6]以及對數型放大器(Logarithmic Amplifier) [7]為主，不過因其設計的議題上主要是以改善RSSI的線性度(Linearity)和動態範圍這兩者為重點，所以通常會採用有較佳動態範圍的對數型放大器。

多數無線通訊系統僅使用基頻RSSI並且操作頻率不高，至於操作上，多數通訊系統皆只量測I (In-Phase, I)或Q (Quadrature, Q)其中一路訊號，然而這樣的電路架構在本子計畫中可能不盡適用，一個高效能的系統可能需要搭配中頻RSSI作為使用，並且在OFDM的調變情況下，信號強弱的變化濾可能相當大，若只針對I或Q其中一路訊號量測，將可能造成信號強度判別錯誤，進而導致系統效能下降，所以這些設計都需要有更進一步之研究；關於此部份的設計，我們已於前一期報告中提出，因此不再贅述。

升、降頻混波器為傳收機中之重要電路，一般可分為被動混波器及主動混波器兩種架構。在降頻部份的設計上，是以雜訊及線性度為主要考量，此部份目前是以基本的吉伯特混波器(Gilbert Mixer)來實作，這是因為此類設計本身便具有較好的二倍頻抵消效果，並且有較佳的增益與隔離(Isolation)效果，但於雜訊的問題上則必須作更深入的探討。

I/Q 訊號校正電路是此次子計畫的重要電路之一，尤其在通訊射頻頻率普遍較高的情況下，使用低中頻(Low IF)的接收端(Receiver)將面對嚴重的製程變異與雜訊問題，這使得正交的 I 訊號路徑與 Q 訊號路徑有著不匹配(Mismatch)的效應，諸如元件間的不匹配與增益不匹配(Gain Mismatch)所產生的相位誤差(Phase Error)與振幅誤差(Amplitude Error)，都將造成錯誤的鏡像成分(Image)的產生。這是因為，假設本地振盪源(Local Oscillator, LO)輸入到混波器的 I 訊號與 Q 訊號不是理想正交，而存在一相位誤差 ϕ ，並且亦有著振幅誤差 $(1+\alpha)$ ，則可以推導列式(1.1) [8,9]。

$$\frac{1+(1+\alpha)\times e^{j\phi}}{2}\times e^{j\omega_{LO}t} - \frac{1-(1+\alpha)\times e^{-j\phi}}{2}\times e^{-j\omega_{LO}t} \quad (1.1)$$

$$IRR = 20\log_{10}\left(\frac{1+(1+\alpha)\times e^{j\phi}}{1-(1+\alpha)\times e^{-j\phi}}\right) \quad (1.2)$$

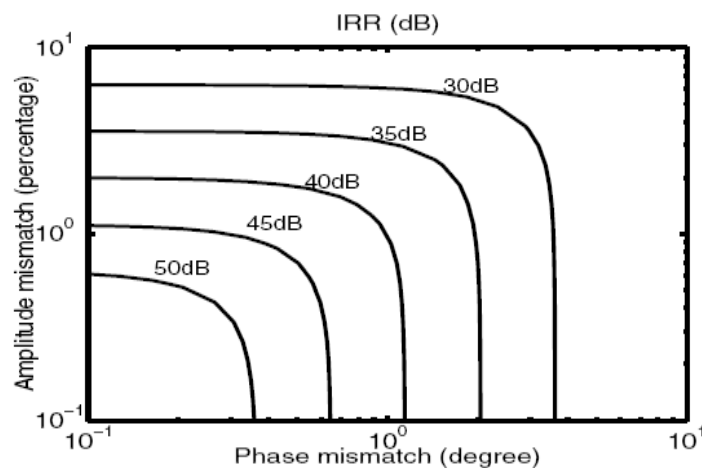


圖 1.2 相位與增益誤差所造成的不同鏡像排斥比例[10]。

圖 1.2 為參考[10]所得的結果，當中顯示 I/Q 訊號不匹配程度所造成的鏡像排斥比率(Image Rejection Ratio, IRR)，鏡像排斥比率的計算為式子(1.2)所示，當誤差越大時，第二

項次的比重將變得更加顯著，使得干擾源(Interferer)直接干擾所接收的目標訊號。因此，I/Q訊號的校正電路必須在不能過度消耗功率與面積的前提下被精確設計，如此才能提升接收端訊號的鏡像排斥比率。

1.2 本篇報告結構

在本篇進度報告當中，我們將針對目前的研究進度與成果作一完整說明。此次的研究設計重心為類比濾波器、I/Q訊號的校正機制與功能驗證。本篇報告的組織如下，首先我們將於第二章中針對所作的接收端基本元件進行介紹，當中將描述類比濾波器的設計與校正，並且列出在此方面的完整設計結果；接下來於第三章將針對本篇報告的另一個重點，I/Q校正技術，作一相關探討與分析，當中描述我們所提出的想法與設計方案，並且介紹為了達到更高的精確度，所設計的其他創新電路。最後，我們將於第四章就目前子計畫的成果作一介紹。

2. 接收端電路元件設計與成果

2.1 研究動機

用於基頻之寬頻低通濾波器其主要功能為頻道選擇(Channel Selection)，因此它的設計要求是由無線通訊系統相關規格所決定。在國科會的60-GHz超高頻無線傳送機計畫中，由於傳輸速率甚高，因此低通濾波器操作頻寬也隨之上升。

其系統架構如圖2.1所示，原本的60-GHz信號經由第一次降頻降到5 GHz，接著第二次降頻後，經過可調增益放大器(Variable Gain Amplifier, VGA)，頻道選擇濾波器等送入類比/數位轉換器。

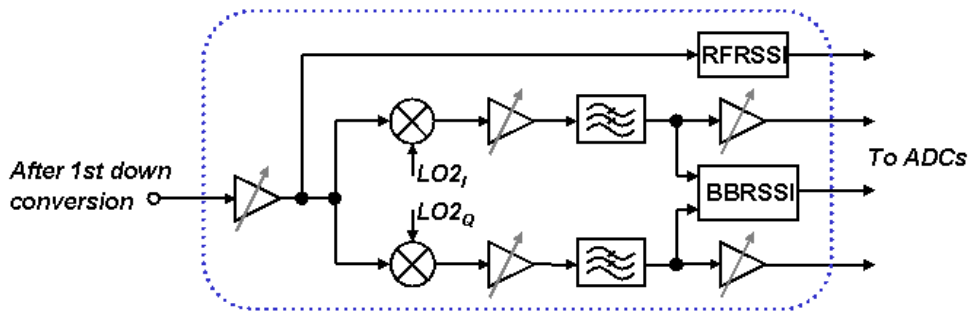


圖2.1 60GHz高速傳送機的基頻電路架構

考慮到系統的線性度以及動態範圍，主動電阻電容是濾波器是比較好的選擇，但此種濾波器的一大設計挑戰在於如何實現一個具有很大頻寬的運算放大器。為了要達到我們所需的規格，運算放大器的單一增益頻寬 (Unity-Gain Bandwidth) 大約需要達到2 GHz，同時還要考慮此電路在所有製程的corner下都還有足夠的相位邊際(Phase Margin)。

另外由於製程中電阻電容值的變動，RC時間常數最大可能會有40%的變動，因此還需要加入能夠自動校正頻率的輔助電路，克服這個問題，而在高頻寬的低通濾波器選擇適合且迅速的校正方式也是一大挑戰，尤其是校正的精準度必須能夠符合系統的需要。

2.2 架構簡介

圖2.2為濾波器的主體架構，採用Leap-Frog的濾波器合成方式，由於此種架構Multi-Feedback路徑的特色，經由公式推算得知在所有的濾波器架構中，Leap-Frog濾波器的頻率對電阻電容的變異靈敏度為最低[11]，因此決定使用此架構。

在頻率響應的選擇上，考量到在Stopband需要在180 MHz達到40 dB以上的衰減，若是採用柴比雪夫式的濾波器需要採用到七階轉移函數的規格，也就是在電路實現上需要七個運算放大器，在功率的考量上並不太適合。所以在此電路中選用了Elliptic的頻率響應，可以提高在stop-band的衰減量，因此在相同的規格下只需要五階的轉移函數，在功率上較為節省。

由圖2.3的Matlab模擬所示，可以明顯的看出Elliptic的頻率響應由於在轉移函數中有兩個zeros，使得在pass-band與stop-band的邊緣較為陡峭。

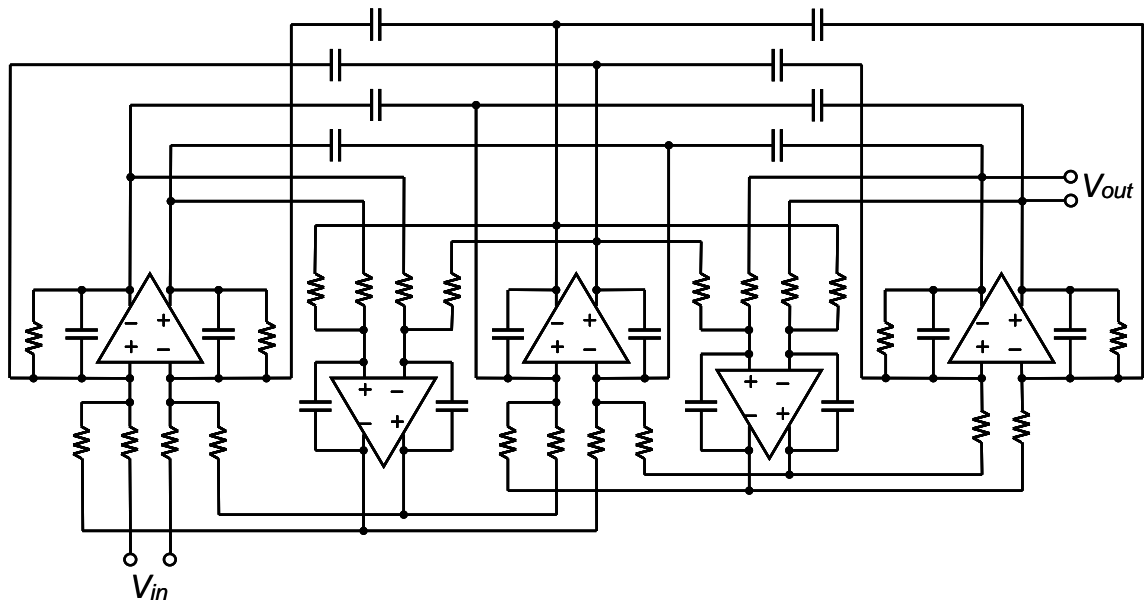
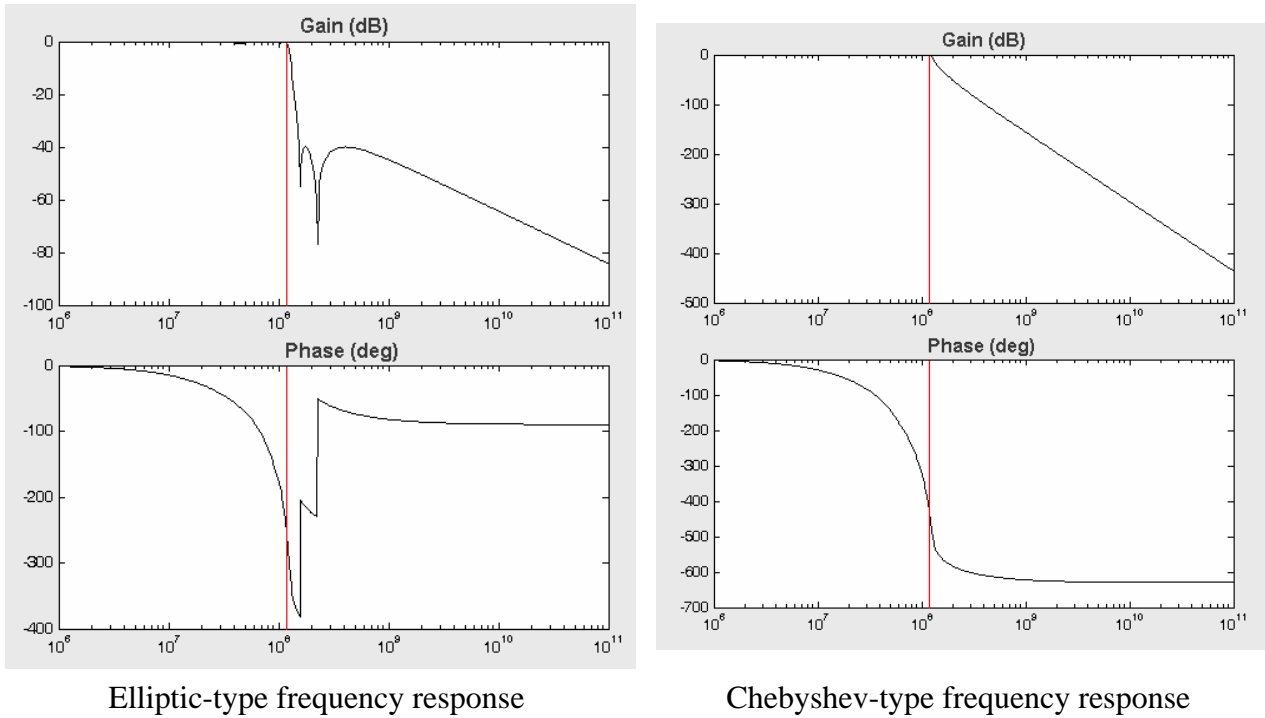


圖2.2 Leap-Frog Active-RC Filter



Elliptic-type frequency response

Chebyshev-type frequency response

圖2.3 濾波器的頻率響應圖

圖2.4為濾波器中採用的運算放大器架構[5]，由於電路操作頻率較高，所以在濾波器系統中的採用的電阻值很小，最後選用的nominal電阻值為5.2 kΩ，因此運算放大器必須採用兩級的架構，比較適合推動較小的電阻負載。

一般的運算放大器增加Miller電容來補償電路的相位。但是使用Miller補償電容的pole-splitting效應會把主極點往低頻推，因而使得電路的頻寬減少。在這個電路中採用電晶體feed-forward的補償方式，產生一個右半平面的零點(RHP zero)藉著調整這個零點的位置達到補償的效果。

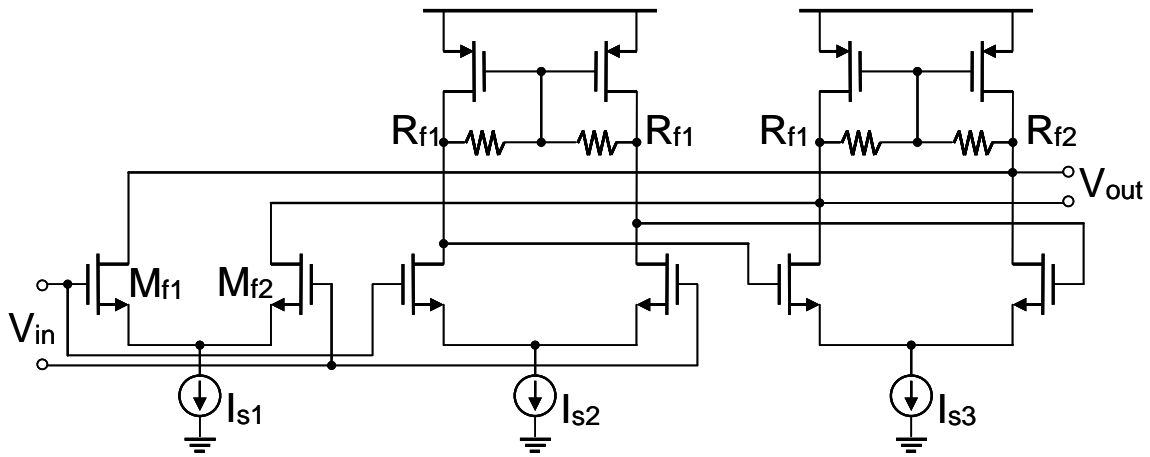


圖2.4 運算放大器

其等效電路如圖2.5所示，可以由此推導出其轉移函數，並且推導出右半平面零點的效果。

$$H(s) \cong -\frac{A_{v1}A_{v2} + A_{v3} \left(1 + \frac{s}{\omega_{p1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)} = -\frac{(A_{v1}A_{v2} + A_{v3}) \left(1 + \frac{A_{v3}s}{(A_{v1}A_{v2} + A_{v3})\omega_{p1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right)\left(1 + \frac{s}{\omega_{p2}}\right)} \quad (2.1)$$

$$\Rightarrow \omega_z = -\omega_{p1} \left(1 + \frac{A_{v1}A_{v2}}{A_{v3}}\right) \cong -\frac{g_{m1}}{C_{o1}} \left(\frac{g_{m2}}{g_{m3}}\right)$$

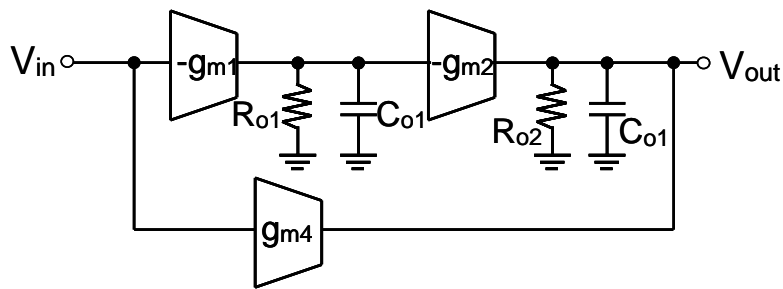


圖2.5 Feed-forward運算放大器的的等效電路

之所以採用feed-forward的頻率補償方式，是因為在這個120-MHz的低通濾波器中，需要有一個高頻寬的運算放大器。參考圖2.6可以瞭解，運算放大器的單增益頻寬會影響濾波器的頻率響應，使其在pass-band的邊緣有peaking的現象。因此在這個設計中，運算放大器需要在120 MHz仍有40 dB的增益，用single-pole的方式估計，運算放大器頻寬約需1.2 GHz以上。

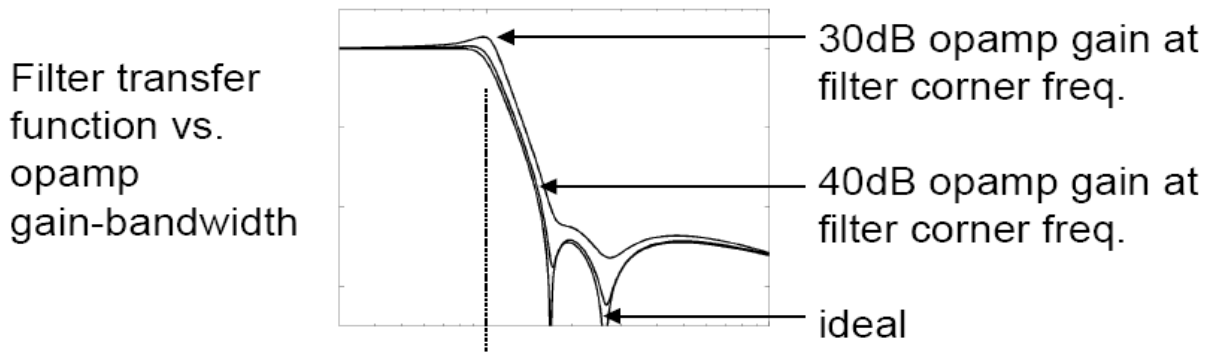


圖2.6 濾波器轉換函數與運算放大器的增益頻寬關係圖

圖2.4中的電阻是作為common-mode feedback之用，一般常用的common-mode feedback 因為loop gain較高所以非常精確的定義輸出common-mode電壓。但是另一方面在某些情形下，需要common-mode feedback的補償，以免造成輸出的common mode震盪，另外也有可能發生latch-up的現象，讓電路無法正常操作。因此在這個電路中採用local common-mode feedback的方式，可以避免上述兩個現象產生，只要在設計上注意輸出common-mode電路能夠使下一級在正常工作區域操作即可。

濾波器中使用電阻調整時間常數的方式有並聯與串聯兩種，如圖2.7，用串聯的方式作切換的優點是電阻值較小。但是在這個濾波器系統中，若是採用串聯的可切換電阻，在電阻間走線以及CMOS開關的寄生電容效應會影響濾波器的頻率響應（也就是圖2.7當中紅點區域的寄生電容），如圖2.8的黑色曲線所示，因此在此濾波器電路設計中不可以使用串聯切換的電阻，必須使用並聯切換電阻，如圖2.8紅色曲線所示，才是符合所需的頻率響應。

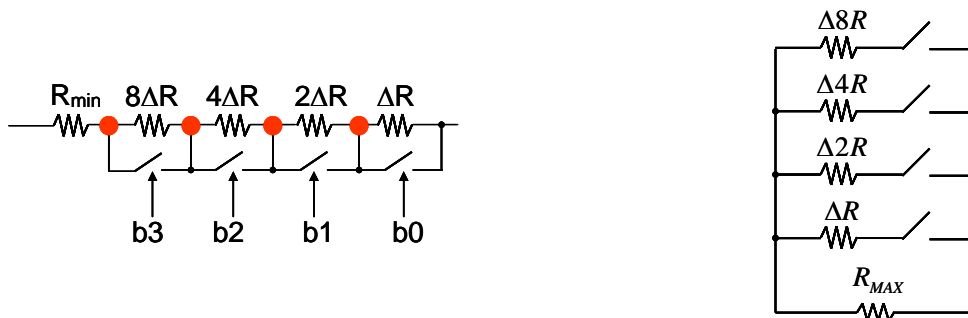


圖2.7 可變電阻的兩種組態：並聯與串聯

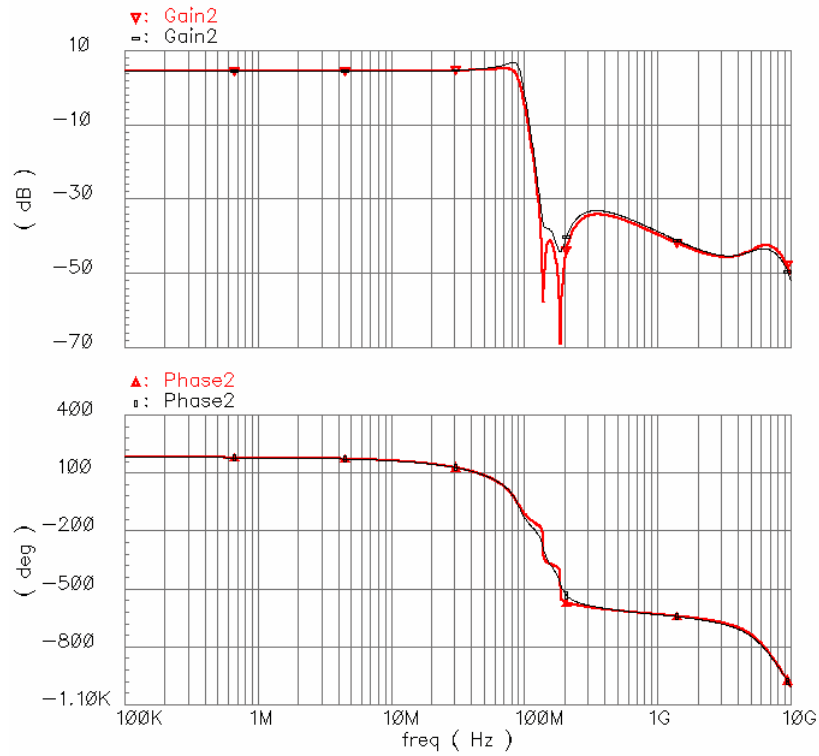


圖2.8 串聯切換電阻與並聯切換電阻的頻率響應比較

圖2.9為頻率校正電路，使用了master-slave的校正電路。由於在同一個晶片中電阻與電容的值會有同樣的偏移量，因此可以用一份複製的參考電阻、電容來達到校正頻率的目的。採用了類似digital DLL [12]的技巧來調整，相較於其他論文中採用的PLL-based來比較，因為可以使用靜態的CMOS數位電路，所以可以節省消耗功率。

圖2.9是頻率校正電路的電路圖，除了comparator與參考電阻、電容之外，其餘都是靜態的CMOS數位電路。

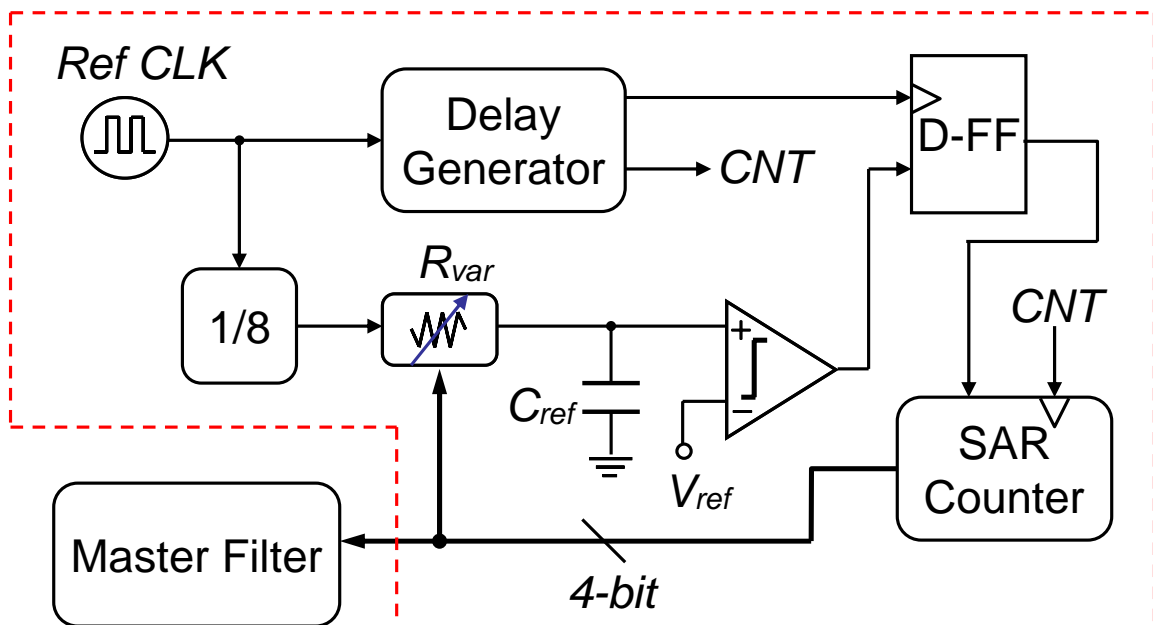


圖2.9 頻率校正電路

圖2.10是電路的時序圖，其中CNT是用來驅動counter的clock，b[0:3]是輸出信號，VIN是輸入參考頻率除八的波形，VOU是VIN經過電阻電容充電的結果，送到comparator正輸入端的波形，comparator輸出則是D，而LATCH CLK是delay generator輸出的波形，作為D flip-flop的clock訊號。

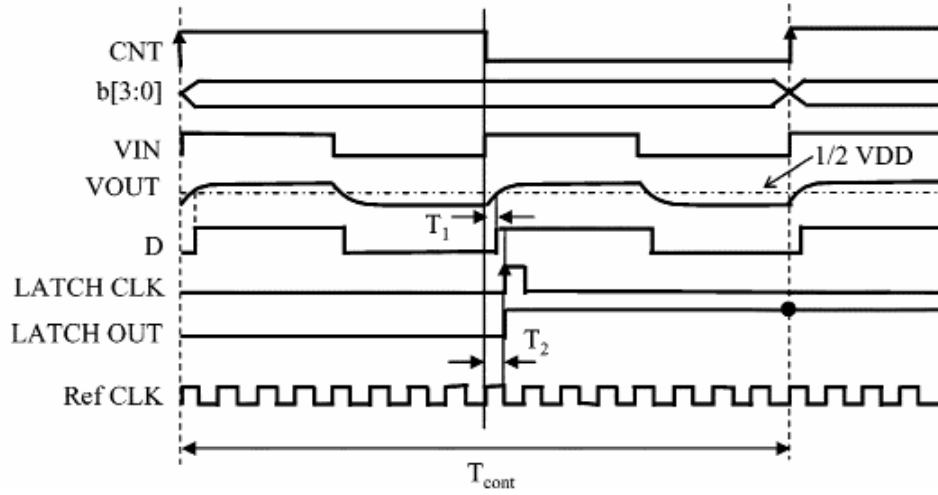


圖2.10 電路時序圖

其中 VOUT 由於經過透過電阻對電容充電，輸出波形的時間如下面方程式

$$VOUT = VDD \left[1 - \exp\left(-\frac{t}{R_{ref} \square C_{ref}}\right) \right] \quad (2.2)$$

假設 comparator 的參考電壓為 1/2 VDD，則圖十中的

$$T_1 = R_{ref} \square C_{ref} \square \ln 2 \quad (2.3)$$

又 delay generator 產生固定的 clock delay

$$T_2 = \frac{1}{2} \times \frac{1}{f_{ref}} \quad (2.4)$$

其中的 D flip-flop 具有 phase detector 的作用(比較 T1 與 T2 的差別)，然後輸出比較結果給 counter 計數，之後回授調整切換電阻的大小，直到 T1=T2 為止，便完成校正。當中的 Counter 改用了 SAR 的計數器[13]，如圖 2.11 所示，採用 SAR counter 可以較傳統的 binary counter 減少校正的時間，從 $O(2^N)$ 減少為 $O(N)$ 。

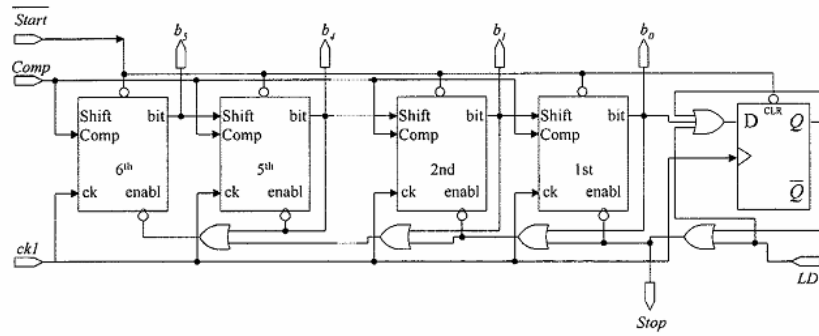


圖 2.11 SAR Counter

2.3 結果

濾波器以及校正電路輸出結果，由結果可以得知 pass-band 的誤差範圍都在 $120 \text{ MHz} \pm 5\%$ 以內。下表為模擬出來的結果，而圖 2.12 到 2.14 則是經過頻率校正後的頻率響應。

Corners	Tuning Code	Pass-band Bandwidth (Hz)
TT 60°	1000	123M
TT 27°	0111	122M
TT 0°	0111	119M
SS 60°	0011	121M
SS 27°	0010	121M
SS 0°	0001	122M
FF 55°	1101	115M
FF 27°	1100	120M
FF 0°	1100	115M

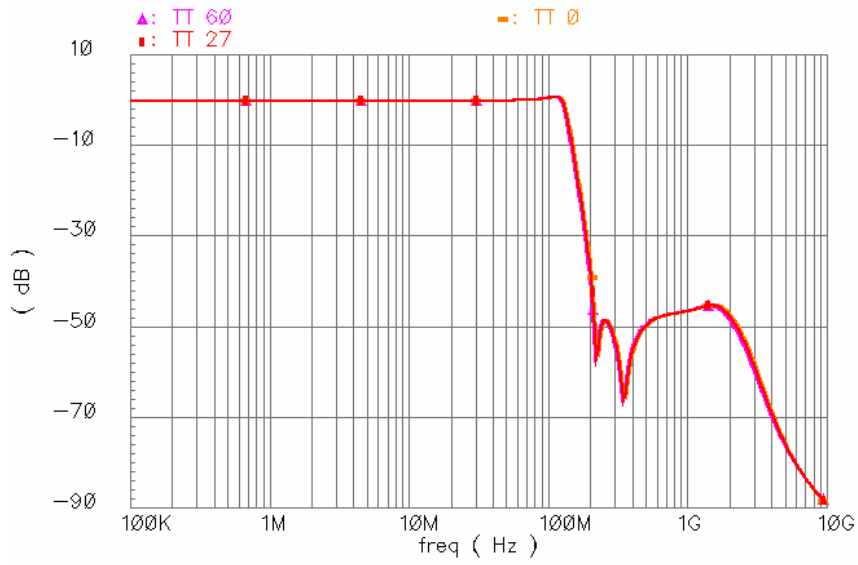


圖 2.12 濾波器在 TT 的三種溫度(攝氏 0~60 度)下的頻率響應

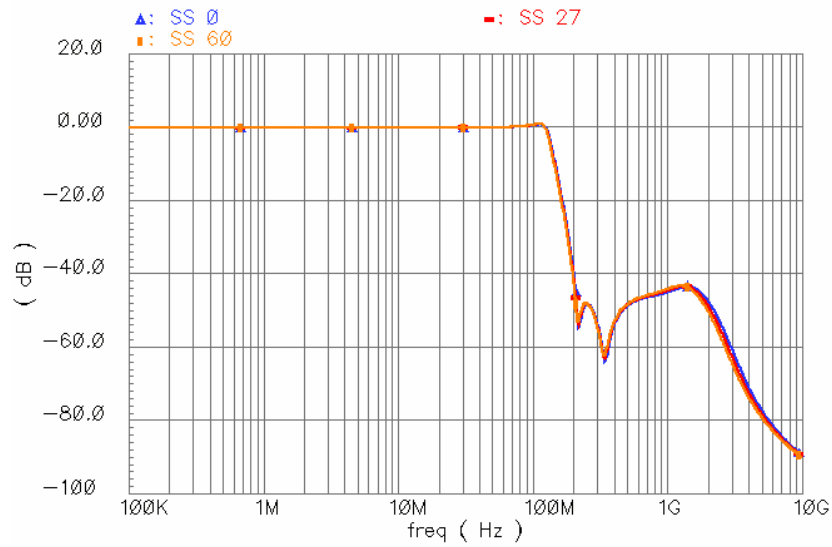


圖 2.13 濾波器在 SS 的三種溫度(攝氏 0~60 度)下的頻率響應

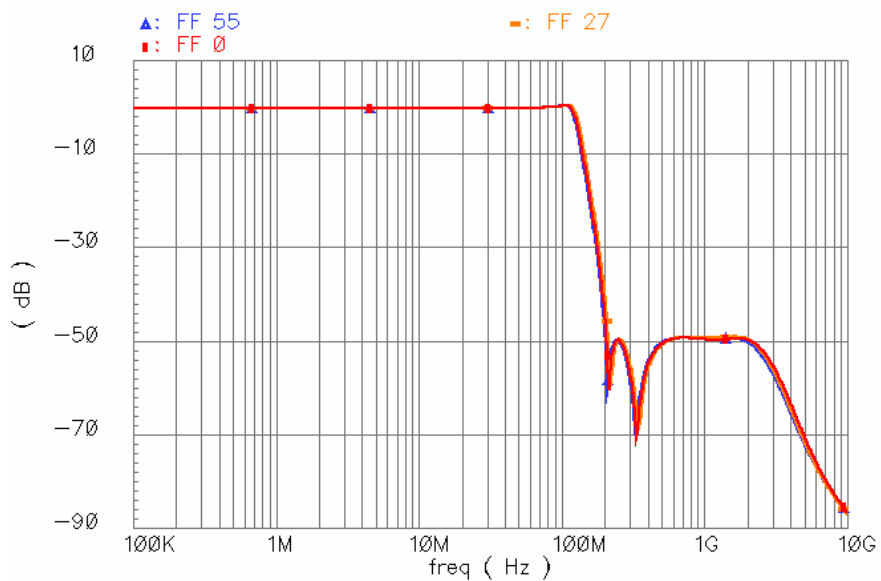
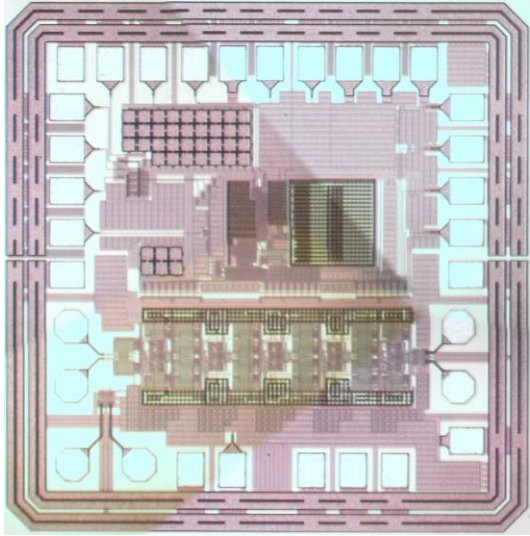


圖 2.14 濾波器在 FF 的三種溫度(攝氏 0~55 度)下的頻率響應

2.4 規格表與晶片圖

Process	TSMC Standard 0.18- μm CMOS	 <p>Chip Photo</p>
Power Supply	1.8 V	
Filter Order	5 (Elliptic)	
Bandwidth	120 MHz \pm 5%	
IIP3	20 dBm	
Power Consumption	45 mW (不包含數位電路 以及量測 Buffer)	
Chip Size	1.2 \times 1.2 mm ²	

3. I/Q 正交訊號校正技術

3.1 前言

I/Q 訊號的校正技術是通訊系統中不可或缺的重要關鍵，其能夠影響一個通訊系統的效能進而影響產品之市場競爭力，因此本子計劃的另一個重點就是在於發展高精確度之 I/Q 訊號校正電路。

本子計劃中所採用的接收端電路架構已描述於圖 1.1 與圖 2.1 中，經過其它子計畫中前端電路的第一次降頻動作後，訊號進入本子計劃的中頻可調增益放大器，並且經由混波器進行第二次降頻動作；這樣的架構可以將增益分配於各級，避免過高的增益設計於單一頻率之下。然而，由於本計劃為設計一高頻之射頻傳收機，這樣的架構亦需要相當高頻的本地振盪源。在 I/Q Demodulator 之架構下，當本地振盪源的 Quadrature 增益及相位不匹配時，系統之鏡像排斥比變差。對於高頻之本地振盪源而言，通常增益之誤差變動量較小，這是因為設計上通常可以採用較寬頻之元件設計，降低增益變化。而正交相位誤差通常會較為嚴重，這是因為在時域上的微小變化量，都將導致正交相位產生極大之誤差，因此必須額外設計 I/Q 訊號的校正技術，降低訊號之正交誤差。

3.2 I/Q 正交訊號不匹配現象

如圖 1.1 所示，I 訊號路徑與 Q 訊號路徑有許多相對稱之元件，但由於製程效應等之影響，兩條路徑上之元件其對稱性將受到影響，使得被傳送的訊號在進入數位基頻電路時，其相位正交與增益匹配的特性都已受到破壞。

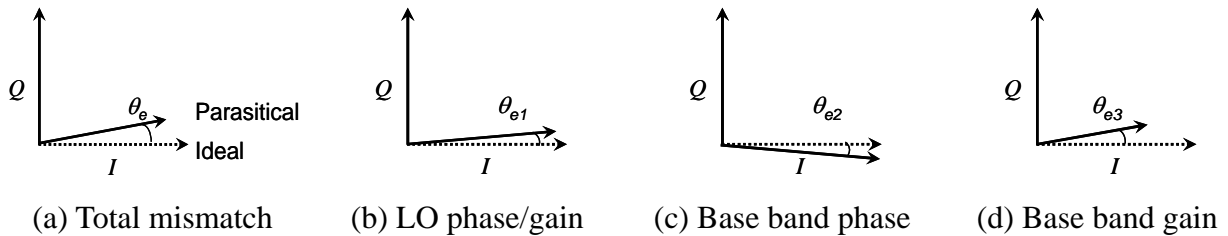


圖 3.1 I/Q 訊號不匹配之向量誤差表示。

圖 3.1 以向量表示正交訊號不匹配現象，圖 3.1(a)表示訊號在進入類比數位轉換器 (Analog-to-Digital Convert, ADC) 之前的相位正交特性與增益匹配變化，這一個結果通常來自於前述當中的兩個信號路徑其對稱性被破壞的結果，目前有許多相關研究的校正方案皆是以 3.1(a) 所見之誤差情況進行校正，圖 3.2(a) 為 [14] 當中的校正範例，利用一個鏡像排斥器 (Image Rejecter)，將所看到的正交兩路訊號進行反矩陣運算，若反矩陣中之參數適當，即使有誤差存在於此正交訊號當中，也可藉由反矩陣運算抵消，達到校正之效果，圖 3.2(b) 顯示此一校正範例是可被運用在數位基頻電路之前端或類比基頻電路之尾端進行，以類比數位轉換器為基準，將鏡像排斥器擺放於其前級或後級。

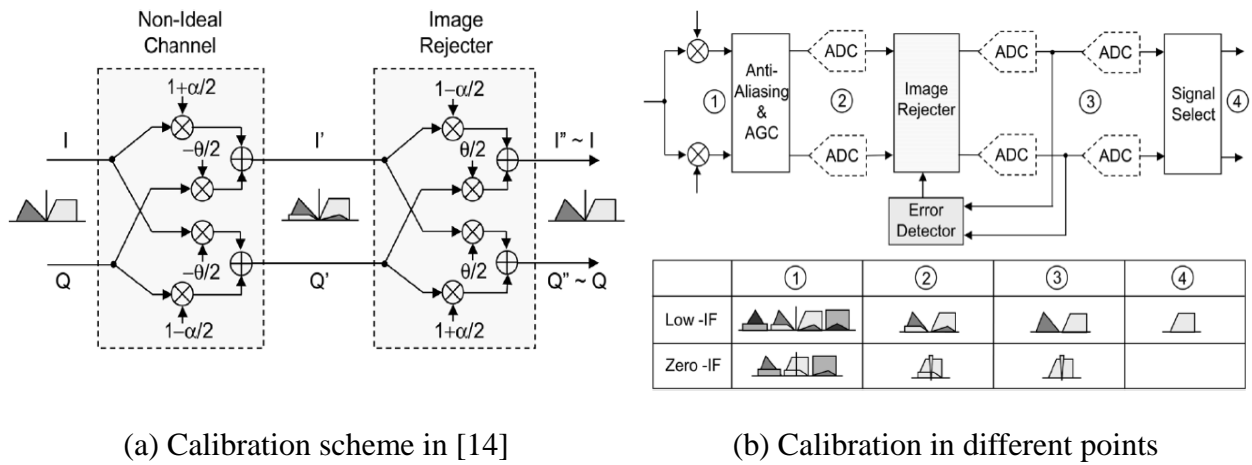


圖 3.2 於[14]當中的 I/Q 訊號不匹配之校正機制。

對於[14]所提出的方法，頻率變動將會造成校正結果改變，[14]假設了頻率雖然變動，但所產生的正交相位誤差量與增益誤差量並不會有巨大改變，事實上，此一假設對於一些數位接收機是較為有效的，因為數位接收機通常為寬頻之設計，然而對於高頻本地振盪源與使用類比濾波器的接收機來說，此一假設則需要再被探討，因此[14]當中也表示其精確度會於此情況下被影響。

由於在未來應用中，本地振盪源的頻率甚高，其所造成的不匹配現象也隨之提升，這是由於雖然頻率不斷升高，但元件的特性卻仍是造成同樣的絕對數值誤差，因此正交相位誤差所受到的影響是最嚴重的，至於增益方面，因為通常會設計在寬頻下也能操作，即是頻寬範圍內之增益值，因為電晶體操作在正常區間，所以變異性較小，圖 3.3 為[15]針對此點思考的研究成果，於圖 3.3(a)可清楚看到[15]於中頻處進行對本地振盪源的校正，這是因為若本地振盪源的頻率遠高於類比基頻，其所造成的正交相位誤差也較為大，因此選擇在此高頻處進行校正相位不匹配的問題；[15]另外將增益不匹配的問題於類比基頻電路處理，如此一來可以放鬆增益校正電路的頻寬設計問題，也能夠達到適當的校正效果，圖 3.3(b)是其校正的結果，雖然在高頻上校正可以解決頻率變動時所造成的誤差量，但仍會存在一些無法精確抵消的誤差量，這些誤差量會隨著頻率而變化，為了使頻率變動所造成的誤差量最小，[15]是選擇了在中間的頻率進行校正，使得因為頻率變動所造成的誤差量最小。

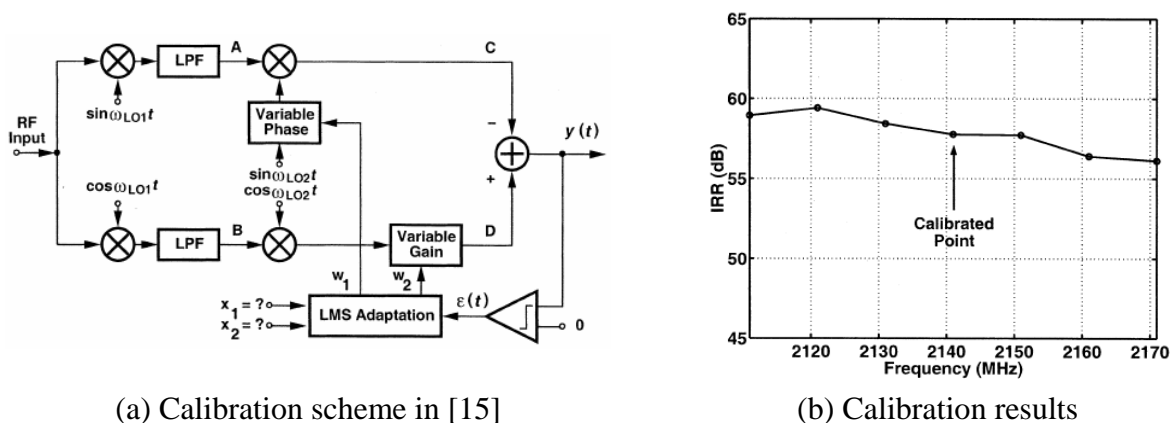


圖 3.3 於[15]當中的 I/Q 訊號不匹配之校正機制。

3.3 提出之 I/Q 正交訊號校正機制

透過前述之機制，對於正交訊號之誤差量都可以得到一定程度的校正效果，然而前述之機制中，都是利用最後所觀察出之誤差量進行校正，對於單點頻率之校正而言，這樣子的校正方式或可達到相當之效果，但是在較寬廣的頻率範圍下就可能較不適用，例如本子計劃中所設定的 120 MHz 基頻範圍便相當寬廣，因此僅是針對所看到的誤差量進行校正，將可能會有錯誤校正之情況產生，圖 3.1 亦說明了這個問題，在圖 3.1(b)中，可以看到本地振盪源產生了正交相位誤差 θ_{e1} ，透過混波器進行降頻後，這個誤差角度同樣會被表現在類比基頻電路上，然而，由於類比基頻電路本身亦具有相位上的誤差量 θ_{e2} ，因此兩者之誤差量會作累加，若將相位角度轉換為時域上的絕對值情況來觀察，假設來自本地振盪源的時域誤差量為 $t_{LO(e1)}$ ，則在降頻後於類比基頻表現之時域誤差量為 $t_{BF(e1)}$ ，其中降頻後的時域誤差量是與本地振盪源頻率 f_{LO} 及基頻之頻率 f_{BF} 其比值有關；此外，類比基頻電路本身所提供之時域誤差量為 $t_{BB(e2)}$ ，因此最後進入數位基頻電路前之時域誤差量為 $t_{TOTAL(e)}=t_{BF(e1)}+t_{BB(e2)}$ ，所以在[15]中，便是藉由調整 $t_{LO(e1)}$ 來間接改變 $t_{BF(e1)}$ ，使得 $t_{TOTAL(e1)}$ 被抵消為零，達到校正之效果。

進一步探討，事實上此一校正並非完全正確，以圖 3.1(b)與圖 3.1(c)而言，其所產生的誤差量可能剛好互相抵消，最後形成如圖 3.1(a)之情況，這是因為本地振盪源可能被過度的校正，或者只被少量的校正，為了解此一現象的影響，假設本地振盪源產生 1° 相位誤差時之時域誤差量為 $t_{LO(1)}$ ，其所在類比基頻產生之時域誤差為 $t_{BF(1)}$ ，若 α 為相對於 90° 的角度誤差，可以得到總合的誤差量為 $t_{TOTAL(e)}=(-1)\times\alpha\times t_{BF(1)}+t_{BB(e)}$ ，明顯可以得知，使用[15]所提出之方法，最終將使得本地振盪源其正交相位不容易剛好是一個 90° 角，所產生的 $t_{LO(\alpha)}$ 將隨著頻率變化而改變，此部份可用式子(3.1)來表示錯誤校正所產生之非理想效應，其中 θ_x 為在不同基頻頻率下所產生的相位誤差量，隨著基頻頻率的差異越大，其所產生的相位誤差量也隨之提升，與 3.3(b)之校正結果有一相符之結論；此外也可發現，若 f_{LO} 與 f_{BF} 之比值過大，於本地振盪源處校正錯誤時所產生之誤差量，在不同基頻頻率下被更大量的放大，但若 f_{LO} 不夠高， α 值必須增加才能夠抵消來自類比基頻的相位誤差，致使在不同基頻頻率下看到嚴重的相位誤差，不能符合寬廣基頻頻寬的設計。

$$t_{TOTAL(x)} = \frac{f_{LO(x)}}{f_{BF(x)}} \times t_{LO(\alpha)} + t_{BB(x)} \Rightarrow \theta_x = \frac{t_{TOTAL(x)}}{360 f_{BF}} \quad (3.1)$$

針對此一情形，其問題主要來自於類比基頻的相位誤差特性，即是類比基頻電路其依照不同基頻頻率所產生之相位誤差，是否能夠與本地震盪源降頻後之結果相抵消，若可以做到此一條件，則任一頻率下由本地振盪源所產生的誤差都能夠與類比基頻上的誤差相抵消，達到完美的校正效果，然而如類比濾波器之存在，便很難讓此一同量變化的條件成立，即使是使用了線性相位的類比濾波器，將 $t_{BB(x)}$ 降至最低，被錯估之校正量依然存在並隨著基頻頻率變化而移動，使得 $t_{TOTAL(x)}$ 仍是會大量改變，也就是說，使用線性相位的類比濾波器不一定能夠改善基頻頻率變化時所造成的 θ_x 變動。

既然無法保證抵消之情況成立，於本子計劃中決定將類比基頻電路之誤差分離出來，而不將其帶入本地振盪源之校正，其基本想法如圖 3.4 所示，首先將類比基頻電路與本地振盪源分隔開來，並且先對類比基頻電路進行校正動作，這邊是藉由類比數位訊號處理器 (Analog/Digital Signal Processing) 來對 I/Q 訊號路徑進行校正動作，其中包括了類比基頻路

徑上延遲不匹配與增益不匹配的問題都將在此步驟被完成校正。完成類比基頻電路的校正後，重新將基頻電路與本地振盪源連結起來，並開始進行本地振盪源的校正動作，由於已經先進行過類比基頻電路的校正動作，此時所看到的誤差量主要來自於本地振盪源之結果，也就是說，對於本地振盪源的誤差量估計，將不會如前述所說有過於低估或高估的問題發生，造成錯誤的校正，所以根據式子(3.1)觀察，在基頻頻率變動的情況下，其所產生之相位誤差將只來自於 $t_{BB(x)}$ 之部份，一般而言，此處的相位誤差多是來自於類比濾波器，但此問題可以透過線性相位的類比濾波器來達成，使之相位誤差保持在最佳狀況下。

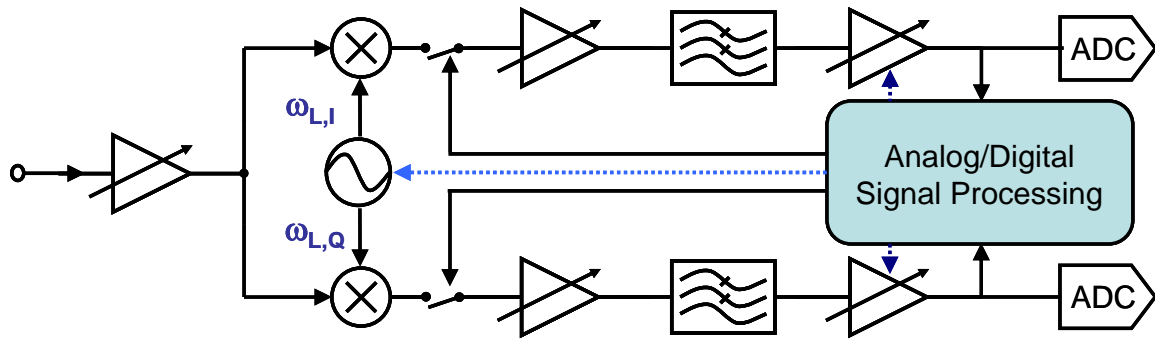


圖 3.4 所提出的接收端類比基頻電路 I/Q 訊號路徑校正。

3.4 相位校正電路之實現討論

3.4.1 類比基頻電路之相位校正設計

於前一年本子計劃提出一個能夠有效利用誤差量的放大技巧，如圖 3.5 所示，即是將 I/Q 訊號之基頻路徑各自打斷，並且自我迴授形成兩個振盪迴路，若兩條路徑之相位延遲時間不同，則可以利用相位對於振盪之微分關係，檢測其頻率之不同。由於頻率若有誤差，則兩條路徑上之頻率訊號其相位誤差也將會累積，因此可在多個週期之被累積到足以偵測之值，藉以提高校正精確度，並且由於誤差量會被自然累積，因而可以不需要仰賴高精確度的峰值檢測器，設計規格上自然可以較為放鬆。

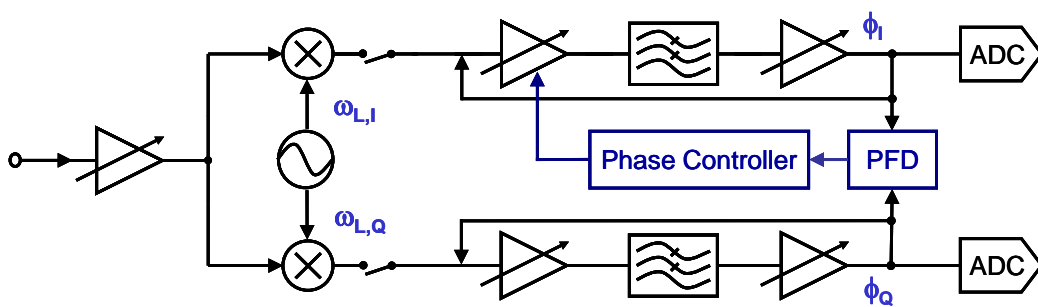


圖 3.5 前一期所提出的接收端類比基頻電路 I/Q 訊號路徑校正。

上述之方案雖然能夠放大誤差量，然而還有兩個必須考慮的問題。首先是大訊號操作與小訊號操作之差異性，於穩定振盪之情況中，將視振盪訊號為大訊號，雖然可以將所有節點訊號皆壓抑在小訊號情況，即是使所有電晶體都處於正常操作區間，但對於此一振盪訊號而言，其在峰值處仍有非線性之情況產生，此部份所造成的影響是否會降低校正之精確度是必須被進一步探討的；另一個值得注意的問題是，當類比基頻電路自我迴授後，是

否一定能夠產生振盪，由於振盪條件仍然必須滿足巴克豪森定理(Barkhausen Criteria)，因而此方法可能被限制在於，若不同通訊系統使用不同之類比基頻電路元件，如不同之濾波器或可調增益放大器，可能會造成其不滿足巴克豪森定理，無法產生振盪頻率而進行 I/Q 訊號之校正。

由於前期所提出之類比基頻 I/Q 訊號校正方案可能不盡然適用於所有通訊系統，因此本子計劃進一步提出另一校正方式，其結構如圖 3.6 所示，主要流程仍是延續前期之方法，將類比基頻部份與本地振盪源分開校正，於類比基頻的部份，本子計劃仍參考前期之作法，然而主要的不同之處在於，本子計劃是使用類似延遲鎖定迴路(Delay-Locked Loops, DLL)之操作原理，首先利用晶體振盪器所產生之訊號，將其經過衰減後送入類比基頻電路當中，以防止引起類比基頻電路操作不正常之情形，之後再於類比基頻電路之後端使用相位偵測器(Phase Detector, PD)進行相位偵測，藉以控制類比基頻電路中之元件其延遲特性，達到相位誤差校正之結果。

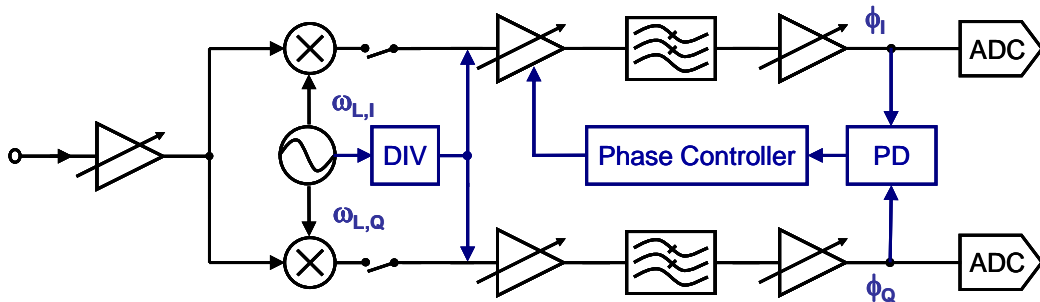


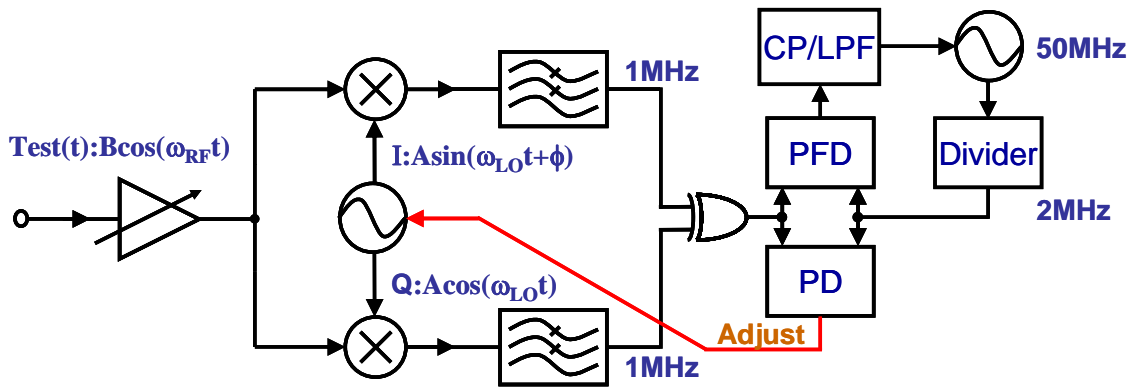
圖 3.6 本期所提出的接收端類比基頻電路 I/Q 訊號路徑校正。

在使用這個方法上，雖然無法如之前電路一般，利用頻率與相位之間的關係式，將相位誤差累積至足以偵測的情況，然而由於此時類比基頻電路可以操作在正常操作之區間，因此可同時進行增益值誤差之校正動作，所以此處需要被考慮的是相位檢測器的精確度問題，無論是鎖相迴路(Phase Locked Loops, PLL)又或是延遲鎖定迴路，都有可能因為各種非理想效應，於鎖定时產生一個相位誤差，為了解決這個問題，也可以在相位檢測器前方作一個切換開關，使 I 訊號與 Q 訊號所進入的相位檢測器輸入端被交換，降低由於相位檢測器本身不匹配所帶來的精確度誤差。

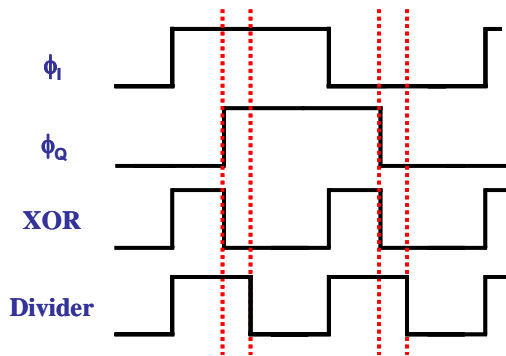
3.4.2 本地振盪源之相位校正設計

本地振盪源之相位校正通常是整個正交 I/Q 訊號校正的關鍵，這是因為隨著其本地振盪源頻率越高，在時域上所看到的誤差量便會越小，致使難以用一些數位電路作為輔助校正的系統。在此問題上，本子計劃是如同[15]一般，將頻率降頻至較低之基頻頻率，如此一來，便會如前述式子(3.1)一般，將時域上的誤差量以等比例之方式被放大，以本子計劃而言，當 5GHz 的本地振盪源頻率被降頻至 1MHz 時，可以將時域上之誤差量被放大約為 5000 倍，即是由 1° 誤差所代表的 0.55ps 時域誤差量，可被放大至 2.77ns 之時域誤差量，藉由這被放大的誤差量，便可以提供給數位電路進行校正。然而因為正交訊號是相差了 90° 的相位，因此實際上是無法直接用相位檢測器進行檢測相位的動作，在這問題上的解決方法上，本子計劃提出了兩種方案，首先是設計如圖 3.7(a)所示之區塊圖，當本地振盪源頻率訊號由混波器降頻後，其經過類比基頻電路徑進入 XOR 邏輯運算，此時會產生如圖 3.7(b)之倍頻頻率 $f_{XOR}=2 \times f_{BF}$ ，然而由於 I 訊號與 Q 訊號之相位並非完美正交，因此經過 XOR 邏輯運

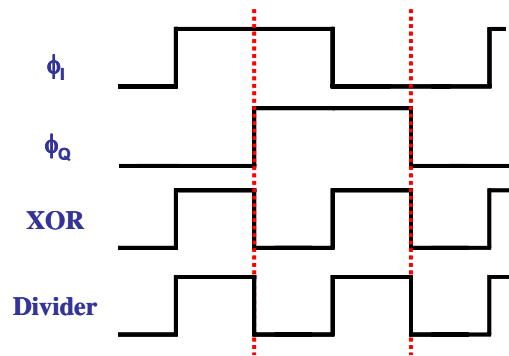
算後所產生之倍頻頻率訊號並非是完美 50% 的工作週期(Duty-Cycle)，所以可以利用除二之除頻器電路產生一個完美 50% 工作週期的訊號去與這倍頻訊號作比較，藉由相位檢測器找出不匹配的資訊，調整本地振盪源的正交相位誤差，而當完成校正動作後，便會形成如圖 3.7(c)之結果，倍頻頻率的訊號邊緣都與除頻器產生之訊號邊緣對齊。



(a) 使用鎖相迴路校正 I/Q 訊號路徑



(b) I/Q 訊號有相位誤差時之結果



(c) I/Q 訊號無相位誤差時之結果

圖 3.7 本期所提出的接收端本地振盪源 I/Q 訊號路徑校正。

使用圖 3.7 之方式，可以有效將原本相位檢測器無法直接檢測正交相位的問題作一個解決動作，然而其前提是在某一訊號邊緣已固定與 I 訊號或 Q 訊號之邊緣對齊，由圖 3.7(b) 可以注意到，所有的 I 訊號的正緣都與除頻器之正緣對齊，對了達到這個效果，本子計劃使用了鎖相迴路之機制，在校正之前先使用鎖相迴路使除頻器之輸出正緣與 I 訊號之正緣對齊，之後才開始進行校正。

另一個方案也是建立在偵測其工作週期是否為完美之 50%，然而使用之機制為利用工作週期校正(Duty Cycle Correct)之方式進行，其設計方法如圖 3.8 之電路結構，與圖 3.7 之結構相當相似，主要的不同之處是在於，圖 3.8 之方案是使用了一個 50% 工作週期時脈產生器(Duty-Cycle Clock Generator, DCCG)來替代鎖相迴路，之後便同樣將所產生的 50% 工作週期訊號送進相位檢測器作比較，作為調整本地振盪源正交相位誤差的依據；使用 50% 工作週期時脈產生器之好處在於其工作週期通常會十分精確的被鎖定在 50% 左右，而在鎖相迴路當中，可能必須考慮到參考頻率與振盪器頻率間的除數比所造成的相位雜訊問題，造成訊號之工作週期不完全鎖定在 50% 的範圍之間，此外，在如此低頻的參考頻率下，其迴路頻寬的設定必須要相當小，以 2 MHz 為參考頻率作為例子，其迴路頻寬通常最多僅能為其十分之一，即是 200 kHz 的迴路頻寬，這可能造成鎖定時間變得冗長，亦即是，在校正前的邊緣對齊動作會消耗過多的時間，拉長了校正所需時間，更甚者，若需要較有彈性的

校正頻率時，振盪器之設計也容易影響到鎖相迴路之整體參數，在設計上可能會有一些需要探討的部份；若使用 50% 工作週期時脈產生器來作為校正，通常是需要考慮其是否具備自動邊緣對齊之特性，因為在進行校正時，必須先固定其中一訊號之邊緣，目前雖然有許多工作週期之校正電路被發表，但多數之工作週期校正電路並未具備此一特性，因此無法使用在這個設計上。關於此一部份，本子計劃已在[16]發表了一個具備自動對齊參考訊號邊緣的工作週期產生器，圖 3.9 為其結構與時序的表示，藉由輸入之時脈訊號 CK_{IN} 其邊緣觸發電路產生一脈波訊號，藉由觀察 ϕ_e 大小來調整此一脈寬的寬度，最後可以得到一個 50% 工作週期且輸出邊緣與參考訊號邊緣對齊之訊號 CK_{OUT} 。

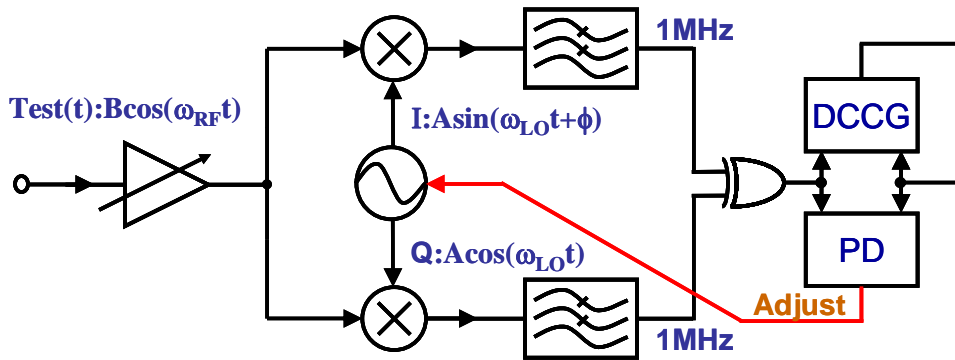
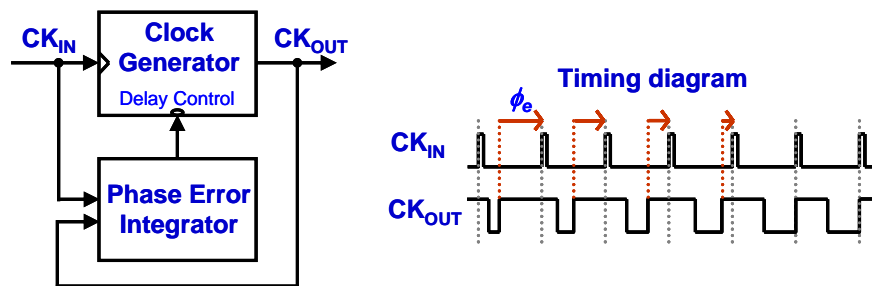
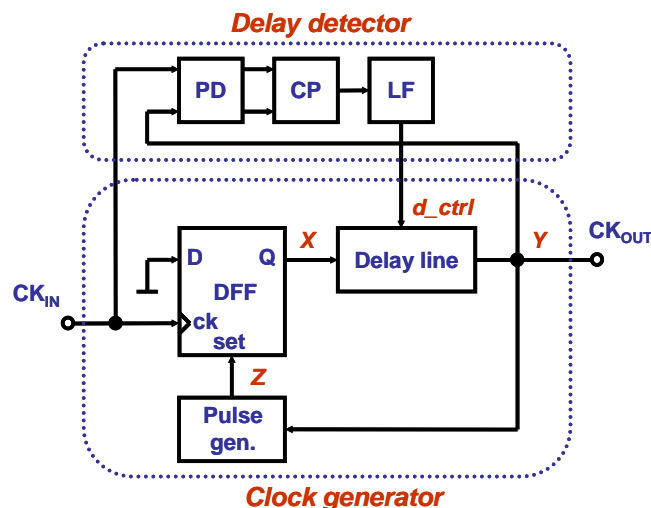


圖 3.8 使用 DCCG 作為接收端本地振盪源 I/Q 訊號路徑校正。



(a) DCCG 的基本模組結構與時序操作



(b) DCCG 的實作電路區塊

圖 3.9 本子計劃中於[16]所發表的 DCCG 其基本結構與運作。

在實際設計上，產生可變動脈波寬度的方式是為使用了可調變延遲時間的延遲線 (Delay Line)，如圖 3.10 所示之時序，時脈訊號觸發了一個轉態訊號走過延遲線，最後將 Y 點之訊號進行轉態為 Low，同一時間，此一訊號 Y 又再度將觸發 Z，使得另一個轉態訊號再度走過延遲線，最終會將 Y 點之訊號拉回 High；由於走過了同樣的延遲線，因此訊號在 Low 與在 High 的準位時間會相同，並且可以知道此延遲時間將直接影響脈波之寬度，因此藉由調整延遲線之延遲時間，可以改變脈波之工作週期寬度，圖 3.11 為此晶片之照片，其使用製程為 0.35- μm CMOS 製程，工作頻率範圍為 70 MHz ~ 500 MHz。

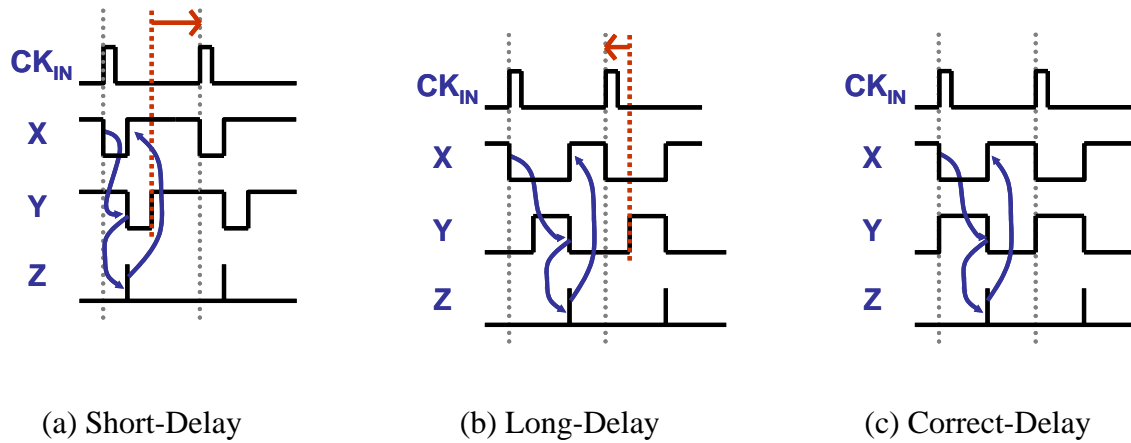


圖 3.10 脈波寬度調變相對於工作週期之結果。

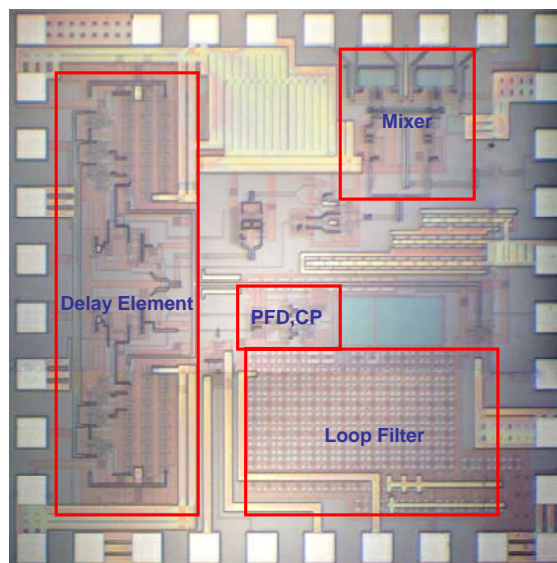


圖 3.11 於[16]中所量測之晶片照片。

3.4.3 精確度提升之設計

不論是使用鎖相迴路之機制，亦或是使用了 50% 工作週期脈波產生器之機制，其最主要之目的都是為了產生一個與 I 路徑訊號邊緣對齊之 50% 工作週期訊號，也是所提出的校正機制其關鍵設計之一，圖 3.12(a) 可以看出，若無法作到較精細的對齊動作，則除頻器輸出之頻率訊號相對於倍頻頻率之相位，將會產生一個位移，此一位移之誤差量會強制使相位檢測器錯誤調整了本地振盪源之正交相位，因此產生了如圖 3.12(b) 之情況，針對這樣的錯誤校正量，仍可以式子(3.1)簡單計算其所造成的本地振盪源誤差量；在本子計劃的的設計當中，由於設定具有相當高的 f_{LO}/f_{BF} 之比值(5000 倍)，因此這一段的誤差量通常只會微小影響本地振盪源之正交相位，以 100ps 的位移誤差而言，僅會在本地振盪源產生 0.036° 的影響，可以得知使用此種校正方式，可以利用 f_{LO}/f_{BF} 之比值，來壓低校正電路本身所產生的誤差量。

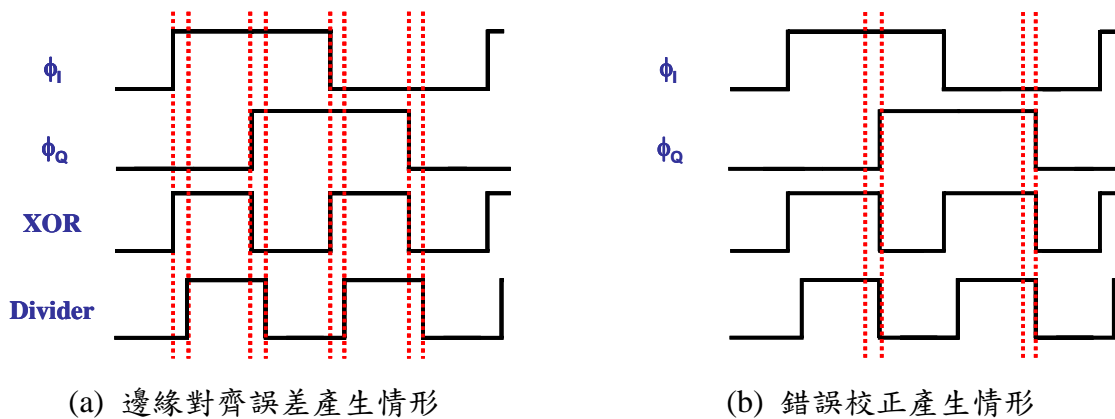


圖 3.12 邊緣對齊誤差所產生的校正誤差時序圖。

在一些校正要求中，使用的校正頻率可能會要求較高，例如需要快速的校正時，若使用 1-MHz 之頻率來作校正，可能會花費許多校正時間，而若能將校正頻率拉升到 50 MHz，則理論上校正之速度可以快 50 倍，這是因為數位電路的校正動作，通常是會在大約的週期數目內完成，所以若考慮到加速校正的時間時，將無法使用較大的 f_{LO}/f_{BF} 比值來壓抑校正電路本身所產生之誤差量，即是說，若要加快校正頻率至 50 MHz，則同樣有 100 ps 之位移誤差時，將會造成本地振盪源有 1.8° 的影響。

在鎖相迴路與所提出的 50% 工作週期時脈產生器中，由於相位檢測器與充電泵(Charge Pump, CP)之結構通常無法達到對稱，因而不匹配電流(Mismatch Current)會在迴路鎖定時造成一段固定相位誤差產生，這是因為迴路為了達到動態平衡，使流入與流出之電荷量相等，是故會如圖 3.13(b) 所示一般，若充電流較小時，即代表流入之電荷量較少，迴路自動延伸一段相位區間，使得充電流得以多注入更多的電荷量，與放掉的電荷量作一平衡，然而此段產生的相位誤差卻將使訊號邊緣之對齊產生了位移，這對多數電路來說並非是一個好現象，例如本子計劃所提出的 50% 工作週期時脈產生器便需要考慮到此一影響，從圖 3.9(a) 即可發現，若此一相位誤差產生，則 ϕ_e 永遠無法達到零，此意味著電路將無法使輸出訊號達到 50% 工作週期；為了解決這一個問題，本子計劃發展了另一個校正電路，錯誤相位檢測器(Error Phase Detector, EPD)，用以消除這個動態平衡下所產生的相位誤差，其主要構想在於，通常控制充電泵的脈波訊號是同時被關閉的，若能夠使其關閉時間不一致，則可以在抵消在正緣處的不一致現象，亦即將此相位誤差由正緣處搬移到負緣處；結合錯誤相位檢測器與相位檢測器之結構為如圖 3.13(a) 所示，除了正常輸入的相位檢測器外，額外使用

錯誤相位檢測器來偵測錯誤相位的資訊，當偵測出有錯誤相位的產生時，由錯誤相位檢測器所送出的訊號會改變其中一條脈波重置的時間，在完成校正後，可達到如圖 3.13(b)之結果，原本產生於正緣處的相位位移被挪動到負緣處，而有用的訊號正緣處則已得到對齊，因此不會有如圖 3.12 之非理想情況發生，提升了校正的精確度。

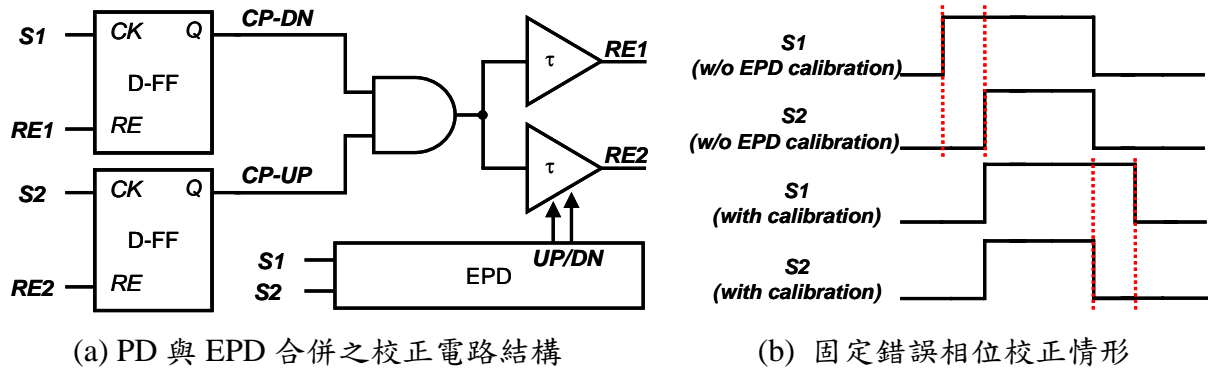
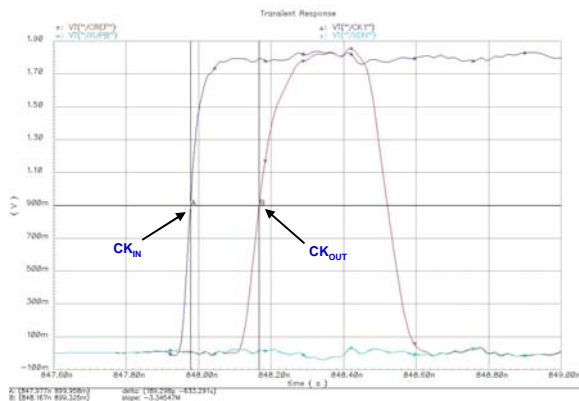
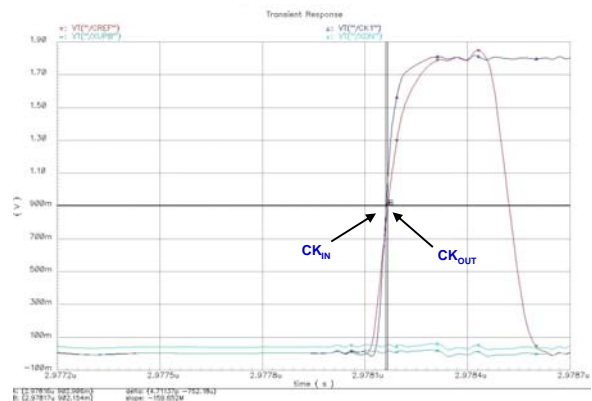


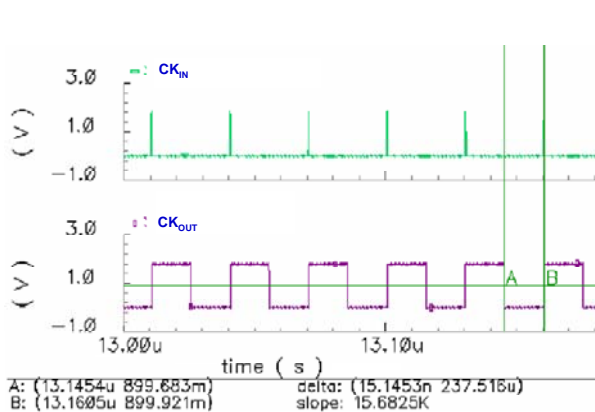
圖 3.13 使用 EPD 對邊緣對齊誤差進行校正之解釋圖。



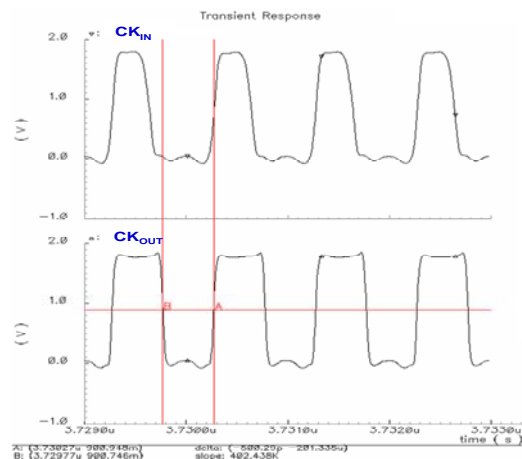
(a) 錯誤相位未被校正之結果



(b) 使用 EPD 電路校正之後的結果



(c) 於 33.33MHz 下未被校正之結果



(d) 於 1GHz 下以被校正之結果

圖 3.14 於 DCCG 中使用 EPD 的輸出結果。

實際模擬結果如圖 3.14 所示，是將此校正電路直接實作在 50%工作週期時脈產生器中，圖 3.14(a)為於 1-GHz 下未被校正前的訊號正緣對齊情形，明顯有一段相當大的相位誤差存在(約為 150ps)，而觀察此時鎖定在 33.33 MHz 時的輸出結果，可以發現在 1 GHz 下所

會發生的相位誤差在 33.33 MHz 下仍會發生，證明此段相位誤差是一個固定的相位誤差，因此若使用在 I/Q 訊號校正機制中，在遇到較高校正基頻頻率時，可能會嚴重降低其校正精確度，以 50 MHz 為例，其在本地振盪源所產生之誤差將達到 2.7° 的誤差量；之後在經過錯誤相位檢測器的運作與校正後，其所產生之結果如圖 3.14(b)所示，兩訊號之正緣處已被完全對齊，此時我們再觀察其於 1 GHz 下所鎖定的輸出訊號工作週期，如圖 3.14(d)所示，可以發現是幾近於完美的 50%，驗證了使用此正緣對齊校正機制的明顯好處，更使得 I/Q 訊號校正機制得以被高精確度的實現在較高的校正基頻頻率上，達到加速校正的效果。

4. 研究成果

本期報告之成果如表格 4-1 所示，在本期之報告中，我們提出了一套 I/Q 訊號校正機制與類比濾波器的校正設計，與以往研究最主要的不同之處在於，為了適應相當高頻的本地振盪源，並且相當寬頻的類比基頻電路，我們進一步將本地振盪源與類比基頻電路分開處理，避免錯誤的相位校正問題，雖然這可能會使得校正時間變得較為冗長，然而卻可以得到較精確之校正，並且可以適當調整校正之基頻頻率，加速校正速度。

於此接收機其校正電路實現上，因為不是使用 DSP 之方式處理，而是使用工作週期校正電路之方式，因此可以有較簡潔的電路結構，目前所使用的邏輯運算皆是相當簡潔之邏輯電路或常見之應用電路，並且我們在這些常見的電路結構上，加上部份創新之設計，提升這些傳統電路之效能，而這些創新與成果預計在完成設計後投稿國際期刊論文。

創新設計	特色/說明
1	<u>錯誤相位校正機制</u> ：新設計之Error Phase Detector，可以校正錯誤相位問題，使用在DCC或PLL相關電路下，可以提升其精確度或改善Spur之問題。
2	<u>延遲時間延伸機制</u> ：含Single Edge Trigger Delay Line，避免了Pull-UP與Pull-DN之不匹配問題，可提升DCC之精確度與鎖定頻率範圍。
3	<u>結合相位檢測器之重定時序機制</u> ：當DCC操作在較高之頻率時，可以降低除頻器所帶來的Jitter效應，降低輸出訊號之Jitter。
4	<u>LO至Analog Base-Band之I/Q訊號校正機制</u> ：將LO降頻後的I/Q訊號於Analog Base Band處轉為倍頻頻率，再以DCC的方式來進行校正，此部份可利用LO頻率與Base Band頻率之比值，來壓抑校正電路之誤差。若希望加速校正時，可提高基頻頻率，而在校正電路誤差之壓抑方面，可以使用錯誤相位檢測(EPD)機制來壓制。
5	<u>類比濾波器使用SAR演算法校正機制</u> ：傳統方式使用Sequential的運算，在此我們運用SAR的Binary方式來加速完成校正。

本子計劃目前已發表的相關論文成果則列表於表格 4-2，目前多與本地振盪源(鎖相迴路)之設計有關，這是因應我們所設計的校正機制所需；未來我們將全力將此期所提出之機制實現出來，進行中的部份主要是接收機的基本電路方塊，並且繼續研究是否有更好的校正機制與電路設計方式，當中包括了在校正類比基頻電路其 I/Q 訊號路徑時，是否能夠進一步加速校正之速度，以及是否有其他適合的子電路來操作此一類型的 I/Q 訊號校正，以完成一個高精確度且快速的 I/Q 校正電路，並應用至各通訊系統上。

	論文
1	T.-H. Lin, C.-C.Ching, and W.-H. Chiu, "A CMOS Synchronous 50% Duty-Cycle Clock Generator," submitted to <i>IEEE Trans. Circuits and Systems I</i> .

2	T.-H. Lin, R.-L.Hsu, C.-L. Li, and Y.-C. Tseng, "A 5-GHz 192.6-dBc/Hz/mW FOM, LC-VCO System with Amplitude Control Loop and LDO Voltage Regulator in 0.18- μ m CMOS, submitted to <i>IEEE Microwave and Wireless Components Letter</i> (under revision).
3	T.-H. Lin and C.-L. Ti, "Dynamic Current-Matching Charge Pump and Gated-Offset Linearization Technique for Delta-Sigma Fractional-N PLLs," submitted to <i>IEEE Trans. Microwave Theory and Techniques</i> .
4	T.-H. Lin and C.-C. Chi, "A 70-490 MHz 50% Duty-Cycle Correction Circuit in 0.35- μ m CMOS," <i>IEEE A-SSCC</i> , pp. 91-94, Nov. 2006.
5	C.-L. Ti and T.-H. Lin, "A 2.4-GHz 18-mW Two-Point Delta-Sigma Modulation Transmitter for IEEE 802.15.4," accepted to <i>IEEE VLSI-DAT</i> , April 2007.
6	R.-L. Syu, C.-L. Li, and T.-H. Lin, "A 5-GHz CMOS Frequency Synthesizer with Triode Regime Biased LC-VCO for Low Phase Noise," <i>VLSI Design/CAD Symposium</i> , pp. 125-128, Aug. 2006.

參考文獻

- [1] F. Lee, D. Wentzloff, and A. Chandrakasan, "An Ultra-Wideband Baseband Front-End," *IEEE RFIC Symposium*, pp. 493-496, June. 2004.
- [2] Chia-Hsin Wu, Chang-Shun Liu, and Shen-Luan Liu, "A 2GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Ethernet," *IEEE ISSCC*, pp. 484-485, Feb. 2004.
- [3] S. Pavan, Y. P. Tsividis, K. Nagaraj, "Widely Programmable High-Frequency Continuous-Time Filters in Digital CMOS Technology," *IEEE J. Solid-State Circuits*, pp. 503-511, April. 2000.
- [4] Navid Foroudi and Tadeusz A. Kwasniewski, "CMOS High-Speed Dual Modulus Frequency Divider for RF Frequency Synthesis," *IEEE J. Solid-State Circuits*, pp. 93-100, Feb. 1995.
- [5] J. Harrison and N. Weste, "A 500 MHz CMOS Anti-Alias Filter Using Feed-Forward Op-Amps with Local Common-Mode Feedback," *IEEE ISSCC*, pp. 132-133, Feb. 2003.
- [6] T. Zhang, W.R. Eisenstadt, and R.M. Fox, "A Novel 5GHz RF Power Detector," *ISCAS 2004*, pp. 897-900, May. 2004.
- [7] Hong-Sun Kim, M. Ismail, and H. Olsson, "CMOS Limiters with RSSIs for Bluetooth Receivers," *MWSCAS 2001*, pp. 812-815, Aug. 2001,
- [8] I. Elahi, K. Muhammad, and P. T. Balsara, "I/Q mismatch compensation in a 90nm low-IF CMOS receiver," *IEEE ISSCC*, pp. 542-616, Feb. 2005.
- [9] I. Elahi, K. Muhammad, and P. T. Balsara, "I/Q mismatch compensation Using Adaptive Decorrelation in a Low-IF Receiver in 90nm CMOS Process," *IEEE J. Solid-State*, pp. 395-404, Feb. 2006.
- [10] M. Hajirostam and K. Martin, "An analog-digital adaptive image-reject technique for quadrature receivers," in *Proc. Eur. Conf. Circuit Theory and Design 2005*, pp. 281-284, Aug. 2005.
- [11] R. Schaumann and M. V. Valkenburg, Design of analog filters. *Oxford University Press, Inc*, 2001.
- [12] T. Oshima, K. Maio, W. Hoie and Y. Shibahara, "Novel Automatic Tuning Method of RC Filters Using a Digital-DLL Technique," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 2052 - 2054, Nov. 1985.
- [13] G-K Dehng, J-M Hsu, C-Y Yang, and S-I Liu, "Clock-deskew buffer using a SAR-controlled delay-locked loop," *IEEE J. Solid-State Circuits*, vol. 35, no. 8, pp. 1128 - 1136, Nov. 1985.
- [14] S. Lerstaveesin, et. al, "A Complex Image Rejection Circuit With Sign Detection Only," *IEEE J. Solid-State Circuits*, vol. 41, pp. 2693-2702, Dec. 2006.
- [15] L. Der, et. al, "A 2-GHz CMOS image-reject receiver with LMS calibration," *IEEE J. Solid-State Circuits*, vol. 38, pp. 167-175, Feb. 2003.
- [16] T.-H. Lin and C.-C. Chi, "A 70-490 MHz 50% Duty-Cycle Correction Circuit in 0.35- μ m CMOS," *IEEE A-SSCC*, pp. 91-94, Nov. 2006.

附錄 A. 論文成果發表摘要

IEEE A-SSCC, Nov. 2006

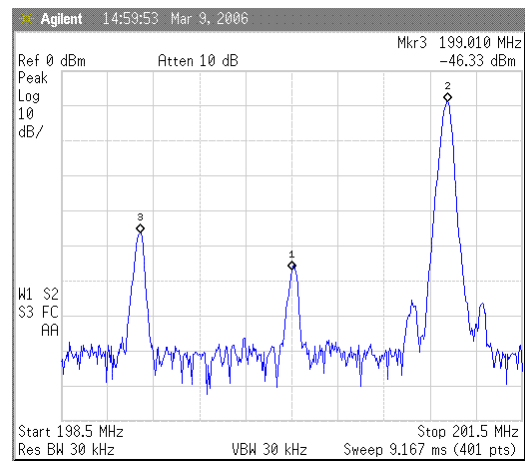
「A 70-490 MHz 50% Duty-Cycle Correction Circuit in 0.35- μ m CMOS」

T.-H. Lin and C.-C. Chi

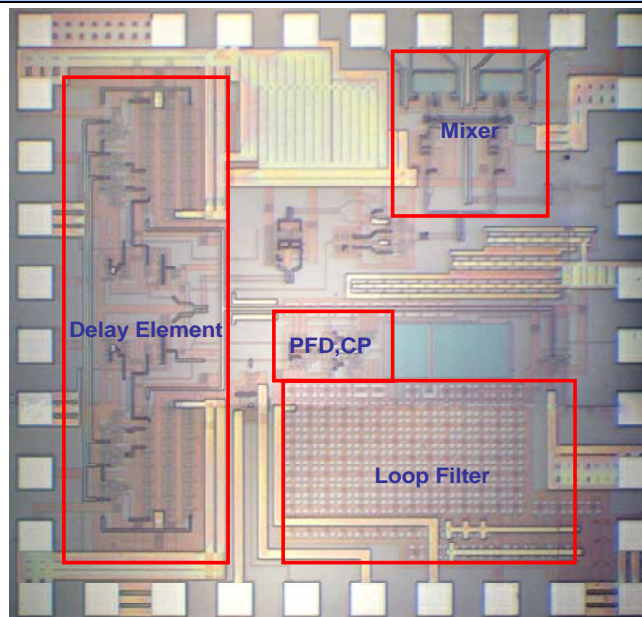
Abstract- a 50% duty-cycle correction (DCC) circuit is reported in this paper. The proposed DCC circuit consists of a clock generator and a delay detector. The clock generator is edge-triggered by the input and produces an output whose pulse width is adjusted to half of the signal period by the delay detector. Meanwhile, the input phase information is maintained. The circuit is implemented in a 0.35- μ m CMOS process. To evaluate the output duty-cycle accuracy, a single-sideband mixing test method is adopted. This circuit operates from 70 MHz to 490 MHz, and accommodates duty cycles ranging from 10% to 90%. The output signal is corrected to $50\% \pm 2\%$. Operated from a 3.3-V supply, the circuit dissipates 8 mA at 490 MHz.

成果

Process	TSMC 0.35- μ m CMOS
Supply Voltage	3.3 V
Current Consumption	6 ~ 8 mA
Operating Frequency	70 ~ 490 MHz
Output Duty-Cycle Error	$< \pm 2\%$
Max. Input Duty Cycle	$> 90\%$
Min. Input Duty Cycle	$< 10\%$



晶片圖



「 A 2.4-GHz 18-mW Two-Point Delta-Sigma Modulation Transmitter for IEEE 802.15.4 」

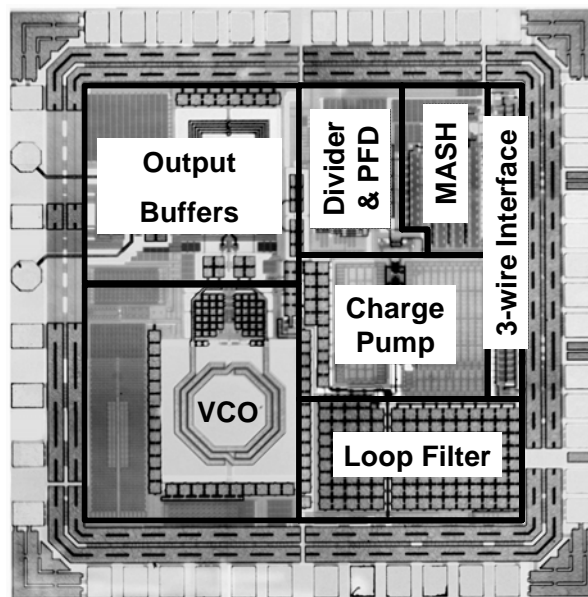
C.-L. Ti and T.-H. Lin

Abstract- a 2.4-GHz two-point modulation transmitter (TX) is reported in this paper. The TX is based on a delta-sigma fractional- N PLL to reduce chip area and power consumption. In addition, the chosen architecture prevents the transmission data rate from being limited by the PLL bandwidth. To alleviate the non-linearity problems of a conventional fractional- N PLL, linearization techniques are adopted. The TX is designed to operate in the 2.4-GHz ISM band, and is capable of delivering a data rate more than 2 Mbps. Implemented in the TSMC 0.18- μm CMOS process, the TX consumes 18 mW under a 1.4-V supply voltage.

成果

Process	TSMC 0.18- μm CMOS	
Supply Voltage	1.4 V	
Frequency Band	2.4 GHz ISM Band	
Power Consumption	< 18 mW	
PLL Phase Noise	-123 dBc/Hz @ 1 MHz	
Settling Time	20 μs	
Transmit Data Rate	> 2 Mbps (up to 4 Mbps)	

晶片圖

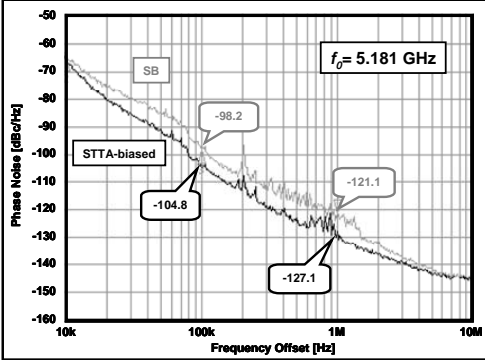
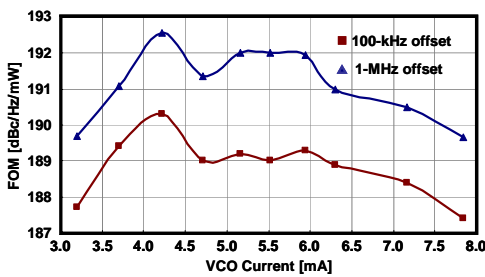


「A 5-GHz CMOS Frequency Synthesizer with Triode Regime Biased LC-VCO for Low Phase Noise」

R.-L. Syu, C.-L. Li, and T.-H. Lin

Abstract- to reduce phase noise degradation from oscillator tail current sources, this paper presents employing triode MOS transistors to bias an LC-VCO. The VCO system also includes an amplitude control loop and a voltage regulator to endure PVT variations and to enhance circuit PSRR. Fabricated in a 0.18- μm CMOS process, the measured results show the adopted topology achieves a better phase noise than the conventional saturation current source does. At 5.181 GHz, the VCO system demonstrates a phase noise of -104.8 dBc/Hz at 100-kHz offset, and -127.1 dBc/Hz at 1-MHz offset, while dissipates 4.2 mA from a 1.8-V supply voltage. The corresponding FOMs at 100-kHz and 1-MHz offset are 190.3 and 192.6 dBc/Hz/mW, respectively.

成果

Process	TSMC 0.18 μm CMOS		
Supply Voltage	1.8 V		
Frequency Tuning	5.6% (5.25 GHz ~ 5.55 GHz)		
Power Consumption	VCO	0 mW ~ 16.5 mW	
	VR	0.34 mW	
	PLL	15 mW	
	Total	15.84 mW ~ 31.84 mW	
Phase Noise	-104 dBc/Hz (100 kHz) -127.1 dBc/Hz (1 MHz)		
FOM	190.3 dBc/Hz/mW (100 kHz)		

晶片圖

