

行政院國家科學委員會專題研究計畫 成果報告

以硬體實現時域有限差分的光電元件模擬 研究成果報告(精簡版)

計畫類別：個別型
計畫編號：NSC 95-2221-E-002-285-
執行期間：95年08月01日至96年07月31日
執行單位：國立臺灣大學光電工程學研究所

計畫主持人：邱奕鵬

計畫參與人員：碩士班研究生-兼任助理：吳啟宏、綦凱宏

報告附件：國外研究心得報告
出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中華民國 96 年 08 月 16 日

行政院國家科學委員會補助專題研究計畫 成果報告
 期中進度報告

以硬體實現時域有限差分的光電元件模擬

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 95-2221-E-002-285

執行期間：95年8月1日至96年7月31日

計畫主持人：邱奕鵬

共同主持人：

計畫參與人員：吳啟宏、蔡凱宏

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：國立台灣大學光電工程學研究所

中華民國 96 年 8 月 15 日

使用可程式化邏輯陣列實現時域有限差分法

摘要

我們利用 FPGA 來縮短 FDTD 的運算時間，首先設計 FPGA 專注在 FDTD 的運算；並透過時脈分配設計成管線化，縮短指令的運算時間；再搭配 Block RAM 雙埠及高速的特性減少 FDTD 處理資料讀取的時間；最後再加入平行運算到設計中；綜合以上各項方法可以使速度明顯提升。數值表示方法是使用 IEEE-754 32 bit 的單精確度浮點數的規格。

結果顯示，即使在沒有平行處理的情況下，將 FPGA 設計在 100 MHz 的工作頻率，在 1D FDTD 的結果中，運算速度約是一般 2.01 GHz 個人電腦的 30 倍；在 2D FDTD 的結果大約是 15 倍，當 FPGA 跟一般個人電腦工作在相同的頻率下，FPGA 的速度可以一般個人電腦的數百倍。最後在 1D FDTD 中加入兩組平行運算處理後，在使用兩組平行運算處理後，計算速度大約可以增加為兩倍。

Abstract

We use FPGA to reduce FDTD computation time. First, FPGA is designed to dedicate to FDTD calculation. Second, pipelining is achieved by means of clock arrangement to reduce computation time of instruction. Third, data access time is reduced by handling recursive calculation and temporary value with high-speed dual-port Block RAM. Finally, parallelism is added into design. Combining the strength above, the computation is greatly speeded up. The numerical representation complies with the IEEE-754 32 bit single-precision floating-point specification.

Our results show that the computation speed of 1D FDTD simulation is 30 times faster than that of an ordinary 2.01 GHz personal computer when FPGA operated at clock rate of 100 MHz, and 15 times faster for 2D FDTD simulation even without parallelism. Equivalently, it can be hundreds times faster at the same clock rate. Finally, computation speed is doubled approximately by using two parallel computation units for 1D FDTD simulation.

Keywords: 時域有限差分法、可程式化邏輯陣列、電磁與光電模擬、硬體計算、專用架構、管線化、平行處理。

Keywords: Finite-difference time-domain method (FDTD), field programmable gate array (FPGA), electromagnetic and optoelectronic modeling, hardware computing, specific hardware, pipelining, parallel computing.

前言

FPGA 簡介

FPGA 的全名是 Field Programmable Gate Array 由具有 Lookup Table 為基本單元的可組態邏輯區塊 (CLB) 及開關陣列所組成，基本規劃為 SRAM 的架構，具有可重複程式規劃的優點。以硬體描述語言所完成的電路設計，可以經過簡單的合成與佈局，燒錄至 FPGA 上進行測試，是現代 IC 設計驗證的技術主流。本文採用的是 XC3S1500 的 FPGA。與電腦相較，運用 FPGA 做計算具有三大優點：

- 一、資源集中。電腦的軟硬體是多用途的設計，資源分散，於計算上常伴有多餘動作，效率低；但 FPGA 的計算則是專注在計算並最佳化，可以非常有效率執行。
- 二、平行運算。FDTD 非常適合平行運算，但是以電腦的架構，必須多個 CPU 或多部電腦才可做到；反觀一顆 FPGA 上就可有多個乘法器同時運算，可輕易達到平行計算。
- 三、管線化。在 FPGA 上可藉由時脈的分配，達到管線化：利用這設計，一組輸入進入管線的同時，可以得到另一組已完成運算的結果，其速度又可大幅提升。上述三種效果相乘，FPGA 可以在低時脈達到數十倍於電腦的計算速度。

研究方法

設計流程

首先請參考設計流程圖 1，一開始先做初始化的動作，初始化的動作包括決定電場的來源是點波源或者是一個穩定的電磁場、設定空間及時間的參數及各項係數，接著將初始化的設定值預先寫入到來源

Block RAM 中以供讀取運算，先做磁場的運算，接著做電場的運算，然後一直做疊代運算，直到 Time Step 達到設定值為止，整個程式才算執行完畢。

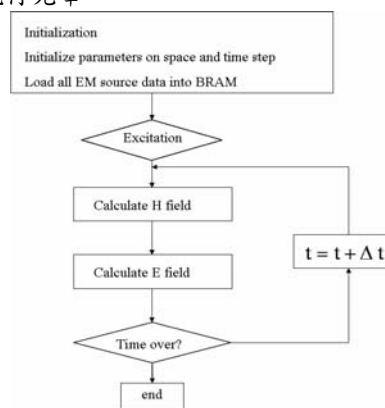


圖1: FDTD Flow Chart

Block RAM

Block RAM 是 Xilinx 的 FPGA 所內建的記憶體，具有雙埠和高速的特性，其雙埠的資料讀寫路徑如圖2，可以依自己的需要設定，在 Block RAM 雙埠中的任一埠執行讀取和寫入資料都是獨立且同步的操作，雙埠的優點讓 Block RAM 可以從其中任一埠寫入資料，同時從另一埠讀出資料，大大縮減資料經由控制作讀取或寫入動作的時間。

Block RAM 提供三種操作模式讓使用者依據不同需要來選擇操作模式，我們的設計全部採用 Write First Mode 的 Block RAM 的設定，所以會比較好控制。參考圖3 Write First Mode 的時序圖，其動作原理就是先將資料寫入到 Block RAM，再將值從 DO 的訊號腳讀出。在控制訊號方面，首先將 EN 訊號致能，下一個時序再致能 WE 的訊號，在致能 WE 的訊號的時候，配置想要寫入到 Block RAM 的位址，同時也可透過 DO 訊號腳將剛才寫入的值讀出做其它的處理。

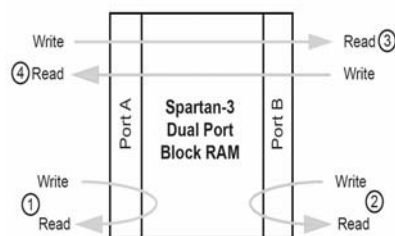


圖2: Block RAM Data Paths

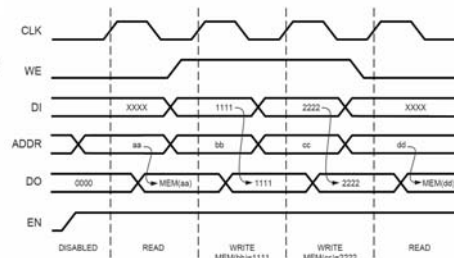


圖3: Block RAM Write First Mode Timing Waveform

由於 FDTD 的計算原理需要將每個格點的資訊都儲存在記憶體中，包括來源、電磁場強度，介電常數等，在電腦的軟體寫作過程當中，記憶體的存取控制大部分都是經由 CPU 來控制完成，程式設計者需要做的工作大部分是在處理陣列上面。而在 FPGA 的設計中，設計者則需要考慮記憶體的存取控制方式及時間，也因為可以自己設計記憶體的存取，可以使整個演算法更加的有效率，但是也會使設計更為複雜。

FDTD 的系統建置，將來源分為兩種設計，第一種是在 Time Step = 0 時，在空間上已經存在有初始場值如圖4所示；另一種是在同一空間輸入一個隨時間變化的點波源設計如圖5。

2D FDTD 的系統建置，以 TM case 為基礎，將來源分為兩種設計，一種是在 Time Step = 0 時，在空間上已經存在有初始場值；另一種是在同一空間輸入一個隨時間變化的點波源設計。

記憶體配置是設計 FDTD 中最重要也最複雜的部份，記憶體是用 FPGA 上的 Block RAM，容量小但是存取速度快，在設計中主要用來處理管線式的設計以及存取疊代運算的結果。

將 FPGA 上的 Block RAM 分為三大部分，來源 (Source)、輸出 (Output) 和暫存區 (Temp)，來源儲存初始資料，輸出儲存運算結果，暫存區儲存上一個 Time Step 場的結果和給另外一個場計算的值。

在儲存來源的資料方面，先計算好各種需要的常數，然後將結果儲存到指定的來源 Block RAM 中，利用暫存 Block RAM 儲存前一個 Time Step 的資料，經過管線化處理後，結果就被儲存到輸出和暫存

Block RAM 中。

以 1D FDTD 為例，在圖6中，FPGA 開始計算 H 時會先讀取來源 Block RAM 上的資料，跟 Previous H 以及 Tmp E Block RAM 上的資料運算後將結果寫到 Output H 和 Tmp H 的 Block RAM 中，這樣算完成一個 H 的週期計算，之後計算 E 時再從 Tmp H 的 Block RAM 中讀回所需要的值，跟 Previous E Block RAM 上的資料運算後將結果寫到 Output E 和 Tmp E 的 Block RAM 中，這樣算完成一個 E 的週期計算，如此不斷的重複算，直到所有的格點做完運算為止。最後再經由傳輸介面將結果輸出做分析。在設計的過程中，首先利用 Xilinx 所提供的 IP 產生器，產生可相容於 IEEE-754 標準規格的浮點數減法器、加法器和乘法器，並將其嵌入到 FDTD 中，同時使用管線化設計的設計如圖7，將 FDTD 方程式中所需的各種運算串接在一起。

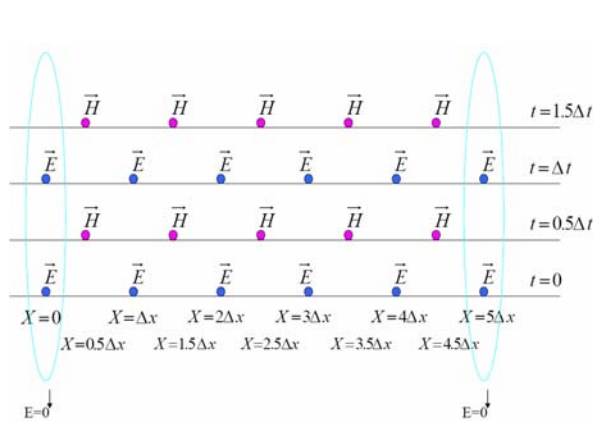


圖4: 1D Initial field

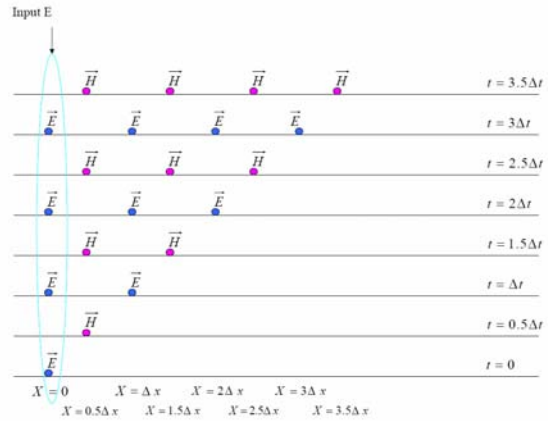


圖5: 1D Point Source

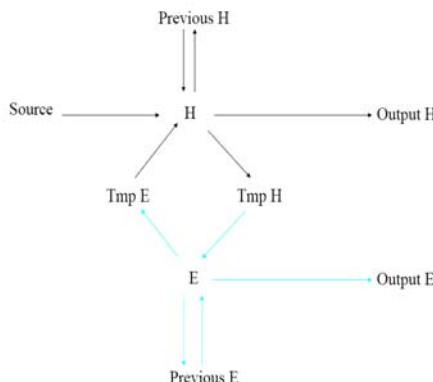


圖6: 記憶體配置

$$E_{(t,n)} = C_a \times E_{(t-1,n)} + C_b \times (H_{(t-0.5,n+0.5)} - H_{(t-0.5,n-0.5)})$$

$$H_{(t+0.5,n)} = D_a \times H_{(t+0.5,n)} + D_b \times (E_{(t,n+0.5)} - E_{(t,n-0.5)})$$

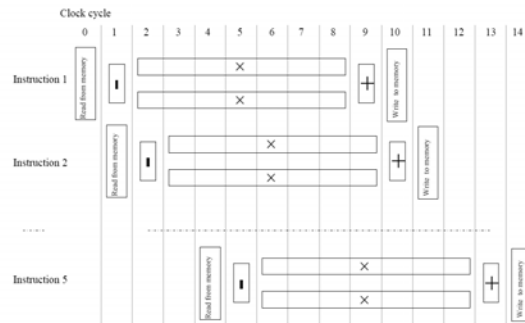


圖7: 1D FDTD Pipelining Design

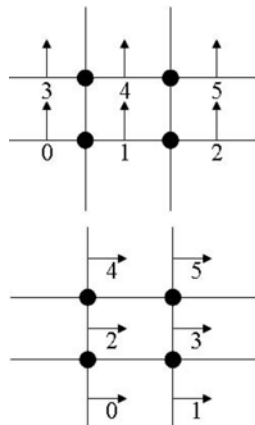


圖8: TM case, 黑色圓點表示 Ez, 箭頭朝上的是 Hy, 箭頭朝右的是 Hx

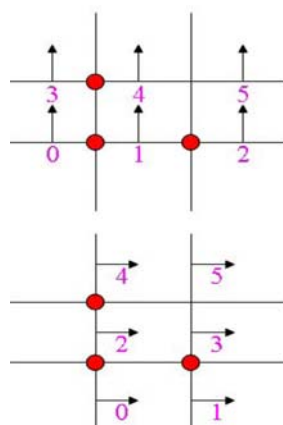


圖9: 有初始場值的系統, 紅色圓點表示已有電場存在的位置

以2維 FDTD TM case 為例，總共會有 E_z 、 H_x 、 H_y 三個方程式，黑色圓點表示電場的位置，箭頭朝右表示 H_x ；箭頭朝上表示 H_y ，參考圖8 和推導出的 TM case 方程式，來設計存取的記憶體位址，以求得正確的結果。

設計有初始場值的系統時，紅色圓點表示已有電場存在的位置，參考圖9 並配合 TM case 的 H_x 方程式求解，同理可求得 H_y 的解，再求得 E_z 的解，最後將 3 個方程式整合成為一個系統。

點波源系統設計步驟跟已有初始場值的系統相同，不同的是點波源假設的紅色圓點只有一點，而且會隨著時間做更新，波源會隨時間慢慢往外擴散開。

當我們使用 VHDL 完成 FDTD 的設計後，先在電腦上進行編譯和合成，並且在實際燒錄至 FPGA 之前先於電腦上進行模擬，模擬的主要功用是為了要知道我們所設計的電路結果是否真的跟我們所預期的相同。模擬成功之後便可實際進行燒錄之工作，將我們所設計的電路燒在 FPGA 中，就可以利用連接線將 FPGA 與電腦連接，將運算結果回傳至電腦，最後將結果加以視覺化。

平行運算

FDTD 是一種需要大量的記憶體和重複疊代運算的演算法，為了要減少計算時間，可以採用平行架構來處理 FDTD。一般常用的平行化架構有兩種：

1. 分享式記憶體
2. 分散式記憶體

分享式記憶體(shared memory)如圖10a)。這種架構主要是應用在多核心的電腦中，將需要計算的陣列分成許多區域後，再交付給不同的核心各自運算，利用多工平行的方式來減少計算時間。但是使用這種架構必須要考量到演算法本身能否分割運算。如果陣列的計算跟陣列不同位置的元素有關係時，整個陣列無法同時一起運算時，那麼就必須再做特殊處理。但是整體的計算，仍是在同一台電腦中，如果程式需要龐大的記憶體時，超過該電腦的負荷，仍會發生記憶體不足的問題。

另一個方法是分散式記憶體(distributed memory)，如圖10b)，將多台電腦連接起來，形成許多個節點。每一個節點有各自的記憶體和 CPU，計算的同時也傳遞彼此節點所需的資料。

在本研究中是採用分散式記憶體，在 FDTD 演算法中，如圖11很容易就可以將原來的 FDTD 拆成兩組平行的 FDTD 方塊 P1 和 P2，就可以完成平行運算。

在計算 H 時，必須等 P1 的最後一個 cell 的 E 計算完後，並將其值覆寫到 P2 的第一個 cell 的 E 後，P1 和 P2 才可以同時進行 H 的運算；在計算 E 時，必須等 P2 的第一個 cell 的 H 計算完後，並將其值覆寫到 P1 的最後一個 cell 的 H 後，P1 和 P2 才可以同時進行 E 的運算；如此就可以完成平行架構的設計。

而且利用 FPGA 可以輕易的達到同時運算多個方程式，便可以同時處理多個 Cell，比起個人電腦需要一個一個 Cell 循序的運算，這樣的平行運算可以大幅度的增加 FDTD 的效率。

比起叢集電腦，FPGA 的資料在同一塊電路板內傳輸，更可以減少因為高速運算所造成的傳輸線效應，平行效果更佳。本研究以 1D FDTD 為例，使用兩組平行運算，計算時間比未加平行運算時約可以減少一半。在 1D 和 2D 的 FDTD 模擬中，所需的記憶體並不會太大，並不一定需要使用平行運算，但是若是 3D 的運算，不論是記憶體或是運算時間都會大增，所以建議使用平行運算。

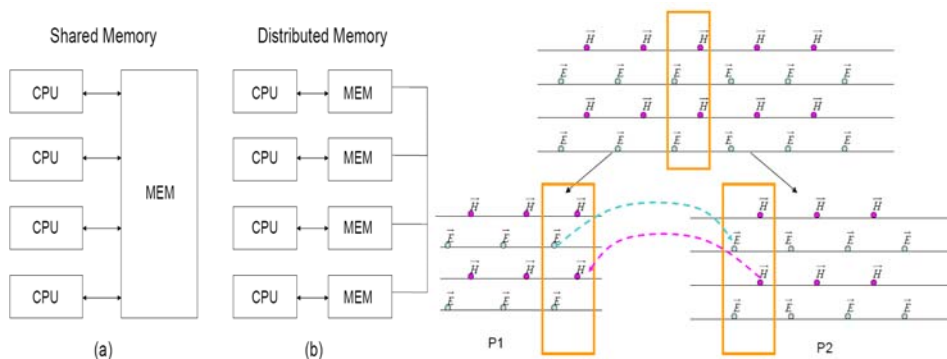


圖10：平行運算模型

圖11：FDTD 的平行化設計架構

結果

比較 1D FDTD 的運算效能時請參考圖 12，當 FPGA 設定在 10 MHz 的工作頻率，執行效率約為 Matlab 程式的三倍，若將 FPGA 往上提升到 20 MHz 的工作頻率，效率會變為 6 倍，再將 FPGA 的工作頻率慢慢往上提升，本實驗板可支援至 100 MHz，就會有 30 倍的效果。

在 2D FDTD 時，將 FPGA 往上提升到 100 MHz 的工作頻率，也有 15 倍的效果產生，如圖 13。

以 1D FDTD 為例，若將 FPGA 的工作頻率提升到 PC 的 2G MHz；將可以加速 600 倍，這是未加平行處理的結果，在加入 2 個平行處理後，速度可以提升 2 倍，就可以輕易地達到 1000 倍以上的效果。

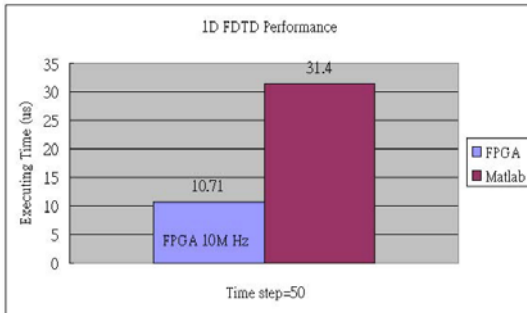


圖12: 1D FDTD, Time Step=50 的執行速度比較圖, FPGA=10 MHz, AMD 2.01G 1.5GB RAM

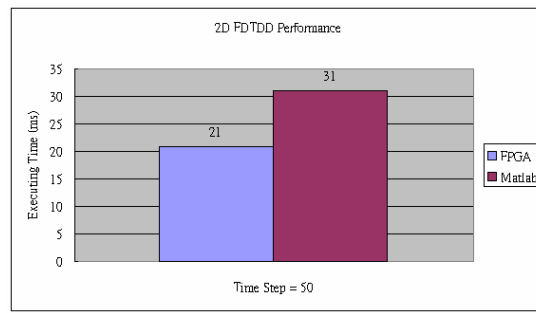


圖13: 2D FDTD, Time Step=50 的執行速度比較圖, FPGA=10 MHz, AMD 2.01G 1.5GB RAM

結論

FPGA 不像一般電腦是多用途的設計，資源分散，計算上常有多餘動作導致效率低。FPGA 可以完全專注在計算方面，所以可以非常有效率地執行 FDTD 的計算，並將一個複雜的運算分解，藉由時脈的分配及輸入的控制，達到管線化的設計，並利用 Block RAM 雙埠及高速的特性縮短記憶體存取的時間，最後在 1D FDTD 中加入兩組平行運算處理後，約可以再減少一半的計算時間。

FPGA 可以完全專注在計算方面，所以可以非常有效率地執行 FDTD 的計算，藉由時脈的分配及輸入的控制，達到管線化的設計，並利用 Block RAM 雙埠及高速的特性縮短記憶體存取的時間，

即使在沒有平行處理的情況下，也可以使其加乘效果可以達到相同時脈時，FPGA 的計算速度是一般個人電腦的數百倍。使用 IEEE-754 單精確度浮點數的數值表示法，使系統能在精確度與成本上取得一個平衡點。並加入 SPI 的輸入介面及透過 VGA 輸出介面將結果讀出分析，完成 FDTD 的模擬系統。短期而言，可以加速本實驗室電磁模擬之速度，增加研究的成效；長期而言，對於產業的發展也會有正面的助益。

參考文獻

- [1] A. Taflove and S. C. Hagness, Computational Electrodynamics: The Finite-Difference Time-Domain Method, 3rd ed., Boston: Artech House, 2005.
- [2] Xilinx, Inc., <http://www.xilinx.com>.
- [3] W. Chen, P. Kosmas, M. Leeser, and C. Rappaport, "An FPGA implementation of the two dimensional finite-difference time-domain (FDTD) algorithm," 12th, ACM/SIGDA International Symposium on Field-Programmable Gate Arrays (FPGA), 2004
- [4] H. Suzuki, Y. Takagi, R. Yamaguchi and S. Uebayashi, "FPGA implementation of FDTD algorithm," IEEE, Microwave Conf. Proc. APMC. Vol.5, pp.1-4, 2005.

行政院國家科學委員會補助國內專家學者出席國際學術會議報告

96 年 8 月 15 日

附件三

報告人姓名	邱奕鵬	服務機構 及職稱	臺大光電工程學研究所 助理教授
時間 會議 地點	95 年 10 月 8-12 日 Rochester, 紐約	本會核定 補助文號	95-2221-E-002-285
會議 名稱	(中文) 美國光學學會年會暨光學新領域國際研討會 (英文) OSA annual meeting and Frontiers in Optics		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>10 月 4 日深夜出發，同日晚上抵達舊金山，在舊金山期間觀光並拜訪朋友。7 日晚由舊金山起飛，8 日早上抵達美國紐約的 Rochester 會議中心，註冊並開始參與會議，10 月 12 日會議結束，下午到紐約市，於隔天與光電軟體 RSoft 公司的副總 Z. Huang 博士聚餐，討論分享目前光電發展及模擬分析軟體的進展，並參訪哥倫比亞大學及該公司(哥大光學實驗室與 RSoft 兩者有密切的合作關係)。於 10 月 14 日搭機離開紐約，16 日清晨抵達桃園國際機場。</p> <p>二、與會心得</p> <p>美國光學學會(OSA)是世界上最大的光電領域的專業組織，此次適逢 90 周年年會並舉辦“光學新領域(Frontiers in Optics)”、“雷射科學(Laser Science)”、“有機光電(Organic Photonics and Electronics)”、“光學製造與測試(Optical Fabrication and Testing)”“視覺(Vision)”等國際研討會。其中最主要的會議是光學新領域(Frontiers in Optics)，有來自世界各地的專家學者發表許多目前在光電領域的最新研究課題與研究成果，所以收穫頗豐。例如：超穎物質(metamaterials)的研究，會中有各式各樣的新結構與分析方法；金屬周期結構的計算中跟法國的 Philippe Lalanne 討論，回來後有新的想法，目前已有結果發表在 conference 並投稿至 OSA 的期刊。此外在討論 Vision 中對於眼睛老化的成因與目前各種光學矯正方式也是很新奇。最令我印象深刻的是利用多次反射做成的超薄焦距可調的鏡頭，已及一家公司在矽積體光學上精密的做各種元件。總之，各式各樣新穎的研究，讓人每天都過得非常充實，甚至很多時候因為好的演講同時舉行，恨不得自己有分身可以全部聽講吸收。另外見到許多國際著名的光電研究機構與公司也在此展覽，發表各種相關的設備及延攬人才。</p> <p>三、建議</p> <p>此次與會發現，與 CLEO 或 OFC 的會議比較，我國出面人員並不如預期多，然而光學新領域這個會議介紹了近來光電最新的發展，很值得國內相關學者專家與會。</p> <p>四、攜回資料名稱及內容</p> <p>會議論文集光碟一片。</p> <p>五、其他</p>			

行政院國家科學委員會補助國內專家學者出席國際學術會議報告

96 年 8 月 15 日

附件三

報告人姓名	邱奕鵬	服務機構 及職稱	臺大光電工程學研究所 助理教授
時間 會議 地點	95 年 10 月 8-12 日 Rochester, 紐約	本會核定 補助文號	95-2221-E-002-285
會議 名稱	(中文) 美國光學學會年會暨光學新領域國際研討會 (英文) OSA annual meeting and Frontiers in Optics		
<p>報告內容應包括下列各項：</p> <p>一、參加會議經過</p> <p>10 月 4 日深夜出發，同日晚上抵達舊金山，在舊金山期間觀光並拜訪朋友。7 日晚由舊金山起飛，8 日早上抵達美國紐約的 Rochester 會議中心，註冊並開始參與會議，10 月 12 日會議結束，下午到紐約市，於隔天與光電軟體 RSoft 公司的副總 Z. Huang 博士聚餐，討論分享目前光電發展及模擬分析軟體的進展，並參訪哥倫比亞大學及該公司(哥大光學實驗室與 RSoft 兩者有密切的合作關係)。於 10 月 14 日搭機離開紐約，16 日清晨抵達桃園國際機場。</p> <p>二、與會心得</p> <p>美國光學學會(OSA)是世界上最大的光電領域的專業組織，此次適逢 90 周年年會並舉辦“光學新領域(Frontiers in Optics)”、“雷射科學(Laser Science)”、“有機光電(Organic Photonics and Electronics)”、“光學製造與測試(Optical Fabrication and Testing)”“視覺(Vision)”等國際研討會。其中最主要的會議是光學新領域(Frontiers in Optics)，有來自世界各地的專家學者發表許多目前在光電領域的最新研究課題與研究成果，所以收穫頗豐。例如：超穎物質(metamaterials)的研究，會中有各式各樣的新結構與分析方法；金屬周期結構的計算中跟法國的 Philippe Lalanne 討論，回來後有新的想法，目前已有結果發表在 conference 並投稿至 OSA 的期刊。此外在討論 Vision 中對於眼睛老化的成因與目前各種光學矯正方式也是很新奇。最令我印象深刻的是利用多次反射做成的超薄焦距可調的鏡頭，已及一家公司在矽積體光學上精密的做各種元件。總之，各式各樣新穎的研究，讓人每天都過得非常充實，甚至很多時候因為好的演講同時舉行，恨不得自己有分身可以全部聽講吸收。另外見到許多國際著名的光電研究機構與公司也在此展覽，發表各種相關的設備及延攬人才。</p> <p>三、建議</p> <p>此次與會發現，與 CLEO 或 OFC 的會議比較，我國出面人員並不如預期多，然而光學新領域這個會議介紹了近來光電最新的發展，很值得國內相關學者專家與會。</p> <p>四、攜回資料名稱及內容</p> <p>會議論文集光碟一片。</p> <p>五、其他</p>			