

行政院國家科學委員會專題研究計畫成果報告
具有智慧型天線的寬頻 CDMA 基地站收發機之研製(II) — 子計畫四:用於第
三代行動通訊系統之編碼與調變(II)

Coding and Modulation for the Third Generation Mobile Communications

計畫編號：NSC 89-2219-E-002-020

執行期間：88 年 8 月 1 日至 89 年 10 月 31 日

主持人：林茂昭 國立臺灣大學電信所

計畫參與人員：翁詠祿、陳添輝、張勝吉、李珍鳳、謝春勇 國立臺灣大學電信所

一、中文摘要

在本年度計畫中,我們針對獨立衰退通道 (independent Rayleigh fading channel)分析一個具有低製作複雜度,強大錯誤更正能力的籬柵碼(trellis code)架構。它的編碼器是在[1]的迴旋碼 C 和信號點對應器間夾多個迴旋處理器及信號點對應器。此碼比具有迴旋處理器的籬柵碼有較大的符元距離,但有較大的解碼延遲。此外,我們亦致力於以 FPGA emulator 完成具有迴旋處理器的二元迴旋碼,它只需要 16 個狀態就達到傳統 256 狀態點的二元迴旋碼的除錯性能。

英文摘要

In this project, we analyze a powerful trellis coding scheme with relatively low complexity of implementation for independent Rayleigh fading channels. The encoding is implemented by inserting multiple pairs of delay processors and signal mappers between the encoder of the convolutional code C and the signal mapper in the conventional TCM [1]. The trellis code has larger symbol distance and longer decoding delay than that of the trellis code with a convolutional processor. In addition, we also focus on using FPGA to implement a 16-state binary convolutional code with a convolutional processor whose error performance is better than a conventional convolutional code with a 256-state trellis.

二、計劃的緣由與目的

在無線通訊,傳輸通道通常不甚理想,因此必須採用適當的錯誤更正碼以及調變方式以維持傳輸的

可靠度。在錯誤更正碼和調變的設計上,我們可以將它們分開或加以整合設計,各具不同的優缺點。將錯誤更正碼和調變分開設計,亦即對解調所得之數據加上錯誤更正碼,其頻寬效率(bandwidth efficiency)通常會很低。編碼調變(coded modulation)[1]是一種將錯誤更正碼與調變合併設計之技術,具有高頻寬效率且可維持良好之傳輸可靠度。在上一年度計畫,我們針對加成性白色高斯雜訊通道分析具有迴旋處理器(convolutional processor)的籬柵碼(二元迴旋碼及編碼調變)及其解碼方法。它在低製作複雜度下就具有強大錯誤更正能力。在本年度計畫,我們針對獨立衰退通道設計籬柵碼。我們已知具有迴旋處理器的籬柵碼有大的自由距離(free distance),因此我們對具有迴旋處理器的籬柵碼在獨立衰退通道做模擬,它具有不錯的錯誤性能但不夠好。這是由於在獨立衰退通道設計籬柵碼,我們希望籬柵碼具有大的符元距離(symbol distance)而不是自由距離。對二元迴旋碼使用 BPSK 調變,其自由距離和符元距離是一樣的;但對編碼調變系統,其自由距離和符元距離是不一樣的。因此我們針對具有多重延遲處理器(delay processor)及信號點對應器(signal mapper)的籬柵碼分析其在獨立衰退通道及 AWGN 通道的性能。這種籬柵碼一般說來比具有迴旋處理器的籬柵碼有較大的符元距離,但有較大的解碼延遲。由模擬結果知,所設計出具有多重延遲處理器及信號點對應器的籬柵碼在獨立衰退通道中具有優越的性能。此外,在本計畫中我們也致力於以 FPGA emulator 完成具有迴旋處理器的二元迴旋碼,它只

需要 16 個狀態就達到傳統 256 狀態點的二元迴旋碼的除錯性能。

三、研究方法與成果

A. 具有多重延遲處理器及信號點對應器的籬柵碼

其系統方塊圖如圖 1 所示。其中 C 為傳統的二元迴旋碼， $Q(i)$, $i=1, \dots, L$, 為延遲處理器[2]， $\omega(i)$, $i=1, \dots, L-1$ 為信號點對應器，可用矩陣 $K(i)$ 表示其輸出關係。根據信號點對應器 $\omega(L)$ 的型式，我們可以設計出編碼調變系統及二元迴旋碼。

編碼調變系統

令 $L=2$ ，C 為碼率 2/3 的傳統二元迴旋碼，

$$K(1) = \begin{pmatrix} 1 & 0 & 0 \\ 1 & 1 & 0 \\ 1 & 1 & 1 \end{pmatrix}$$

$\omega(2)$ 為 8PSK 具有如 [1] 的對應(mapping)。

二元迴旋碼

令 $L=2$ ，C 為碼率 2/4 的傳統二元迴旋碼，

$$K(1) = \begin{pmatrix} 1 & 0 & 0 & 0 \\ 1 & 0 & 1 & 0 \\ 1 & 1 & 0 & 0 \\ 1 & 1 & 1 & 1 \end{pmatrix} \quad K(2) = \begin{pmatrix} 0 & 0 & 0 & 1 \\ 0 & 1 & 0 & 1 \\ 0 & 0 & 1 & 1 \\ 1 & 1 & 1 & 1 \end{pmatrix}$$

解碼

其解碼可使用 C 的腓特比解碼器或者軟式輸出腓特比解碼器再加上一些解碼過硬的或軟的訊息來解碼，對編碼調變系統及二元迴旋碼，我們考慮 C 的狀態數有 4 及 16 個狀態，亦即記憶體數(memory bit) ν 為 2 及 4，由圖 2，我們發現在獨立衰退通道中具有優越的性能。另外由圖 3 和圖 4，我們發現此碼在加成性白色高斯雜訊通道也有不錯的性能。

B. 具有迴旋處理器之二元迴旋碼的解碼器之電路設計

為設計適合於單晶片之解碼器電路，我們專注於具有迴旋處理器的編碼調變系統二元迴旋碼，且採用軟式決策(soft decision)。在本年度裡，我們專注於碼率(code rate) $R=2/4$ 、 $\nu=4$ 之具有迴旋處理器的二元迴旋碼之解碼器電路設計。經由模擬結果顯

示，如圖 5，使用量化層數(quantization level) $Q=16$ 之解碼錯誤率相對於 $Q=\infty$ 之解碼錯誤率幾乎相等。所以為了確保採用軟式決策之解碼器錯誤性能優於 256 個狀態點之傳統的迴旋碼解碼器錯誤性能，我們使用量化層數 $Q=16$ 。另外，在腓特比演算法中，我們必須必須儲存每個狀態點所對應之存活路徑(survivor path)。若路徑很長，則需要很大的記憶體容量。因此，我們必須在路徑達到某一長度時加以截斷。當我們截斷最前面之分枝時，須將它的資料去出來，然後路徑繼續前進。一般而言，路徑之截斷長度(truncation length)須大於等於 5K。經由模擬結果，如圖 6，我們取截斷長度為五個位元組(5 bytes)。另外，如圖 7，模擬結果顯示用來儲存分枝計量之位元數需 11 位元。

圖 8 為此迴旋碼之解碼系統方塊圖。我們採用將接收資料先存在記憶體，然後再分別計算各個位元計量(bit metric)，或者分枝計量(branch metric)，以節省為儲存計量之記憶體的使用量。對於圖 8，接收端之 r_a 為 4 組含有雜訊之接收資料，經過 1 個、2 個、 \dots 、8 個延遲單元，分別產生 r_b 、 r_c 、 \dots 、 r_h 和 r_i 。 r_a 、 r_b 、 \dots 、 r_h 和 r_i 分別為腓特比解碼器的輸入資料。 u_1^* 和 u_2^* 為腓特比解碼器之解碼輸出，通常 $u_1^* = u_1$ ， $u_2^* = u_2$ 。我們將 u_1^* 和 u_2^* 輸入編碼器重新編碼成

$$b_1^* = Q_3 \oplus Q_2 \oplus u_2^*$$

$$e_2^* = Q_3 \oplus Q_0 \oplus u_2^*$$

$$i_3^* = Q_3 \oplus Q_2 \oplus Q_1 \oplus Q_0 \oplus u_2^* \oplus u_1^*$$

皆為經過延遲一個 λ 的資訊位元。經過迴旋處理，我們可以得到這些用來計算位元計量或者分枝計量的資訊位元。

圖 9 為 $\nu=4$ 之腓特比解碼器的方塊圖。由於只有 16 個狀態點，因此，只需要 16 個 ACS 單元(Add, Compare, and Select Unit)即可求得 16 個下次狀態點之計量及路徑之資料 p_0, p_1, p_2, \dots , 及 p_{15} 。其中，位元計量之算法為：當位元為 1 時計量為 15，位元為 0 時計量為 $2r$ ， r 為量化器的輸出。因此，位元總計量最大為 $4 \times 30 \times 3 = 360$ ，至少須有 9 位

元。而分枝計量最大為 $4 \times 30 \times 9 = 1080$ ，至少須有 12 位元，這和模擬結果相符。此外，我們採用暫存器交換(register exchange)方式來儲存路徑資料。圖 10 為依據上述方法設計出之電路圖，而使用的模擬軟體為 Altera 之 MaxplusII。根據測試結果，16 狀態點之二元迴旋碼的解碼器解碼速率為 20Mbit/s。

四、結論與討論

目前，我們已完成具有多重延遲處理器及信號點對應器的籬柵碼在獨立衰退通道的分析，它比具有迴旋處理器的籬柵碼有較大的符元距離，但具有較長的解碼延遲，我們亦完成具有迴旋處理器之二元迴旋碼使用硬式迴授(hard feedback)的解碼器電路。未來，我們將繼續設計出具有軟式回授(soft feedback)的解碼電路。此外，我們亦將針對相關衰退通道 (correlated Rayleigh fading channel) 設計出適當的二元迴旋碼及編碼調變系統。

五、Reference

- [1] G. Ungerboeck, "Channel coding with multilevel/phase signals," IEEE Trans Inform. Theory, vol. 28, pp. 55—66, Jan. 1982.
- [2] J.Y. Wang and M.C. Lin, "On constructing trellis codes with large free distances and low decoding complexities," IEEE Trans. Commun., vol.45, no.9, pp.1017-1020, Sept. 1997.
- [3] J. Hagenauer, "Source-controlled channel decoding," IEEE Trans. Commun., vol. 43, no. 9, pp. 2449—2457, Sept. 1995.

六、圖表

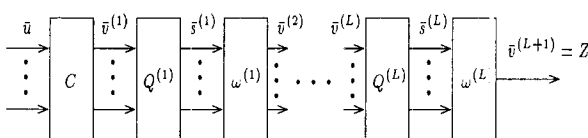


Fig. 1: Encoding structure of a trellis code with multiple delay processors and signal mappers.

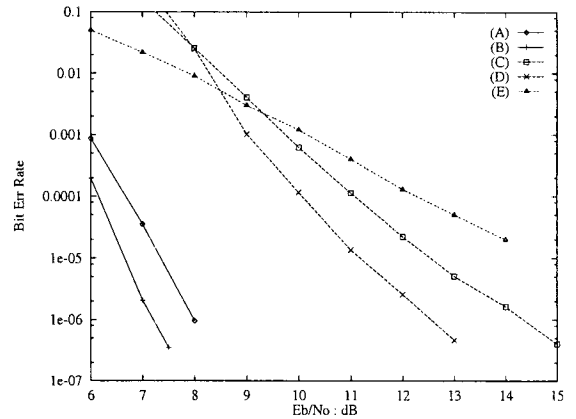


Fig. 2: Simulation results for the trellis codes in the Rayleigh fading channel (with SOVA).

- (A):binary code, $\nu=2$. (B):binary code, $\nu=4$.
 (C):coded modulation, $\nu=2$. (D):coded modulation, $\nu=4$. (E):Zehavi's BICM, $\nu=3$.

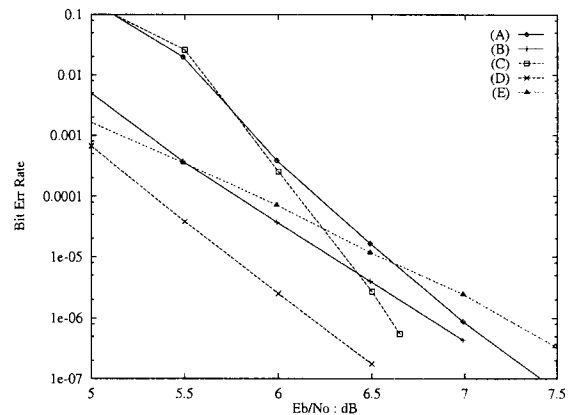


Fig. 3: Simulation results for coded modulation.

- (A): $\nu=2$, without SOVA. (B): $\nu=2$, with SOVA.
 (C): $\nu=4$, without SOVA. (D): $\nu=4$, with SOVA.
 (E):Ungerboeck's TCM, $\nu=4$.

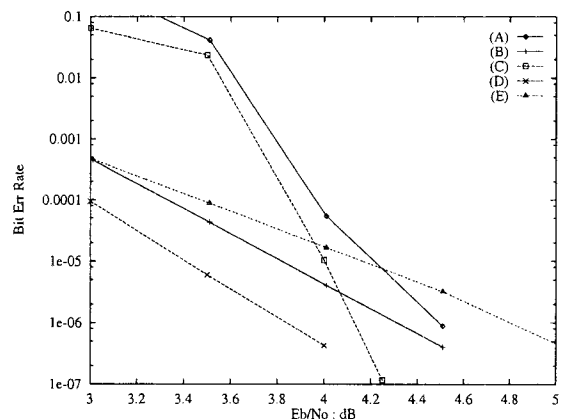


Fig. 4: Simulation results for binary codes.

- (A): $\nu=2$, without SOVA. (B): $\nu=2$, with SOVA.
 (C): $\nu=4$, without SOVA. (D): $\nu=4$, with SOVA.
 (E):conventional convolutional code, $\nu=6$.

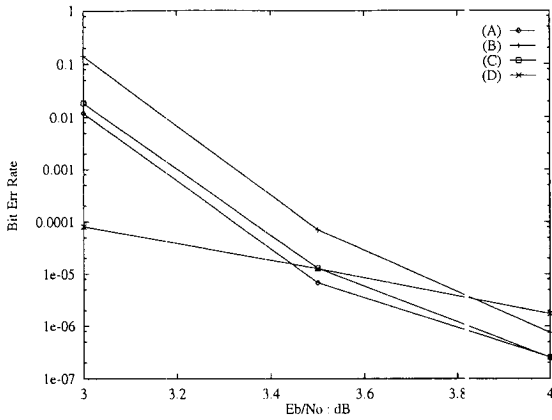


Fig. 5: Simulation results for a binary convolutional code with different quantization levels ($\nu=4$ $\lambda=40$). (A): $Q=\infty$. (B): $Q=8$ (C): $Q=8$ 16. (E): conventional convolutional code with $\nu=8$.

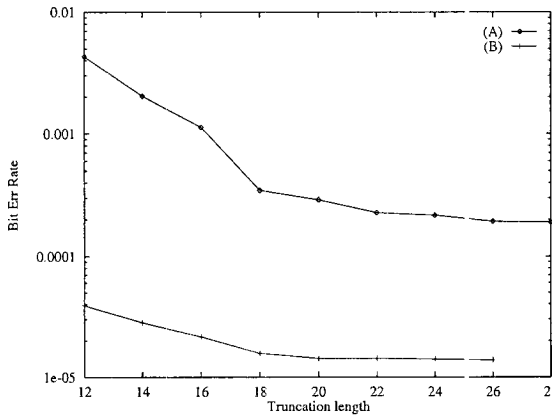


Fig. 6: Simulation result with different truncation lengths. ($E_b/N_0=3.5$.)

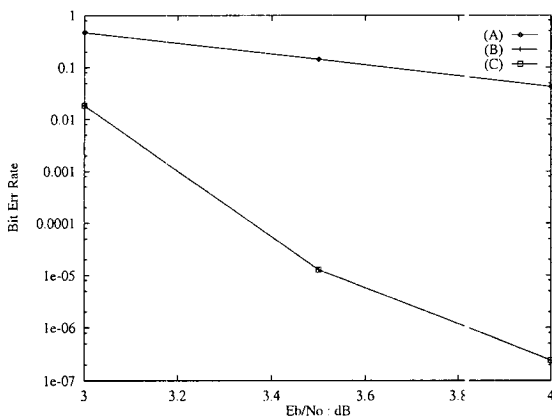


Fig. 7: Simulation results with different memory bits for saving path metrics. (A) 10 bits. (B) 11 bits. (C) 12bits.

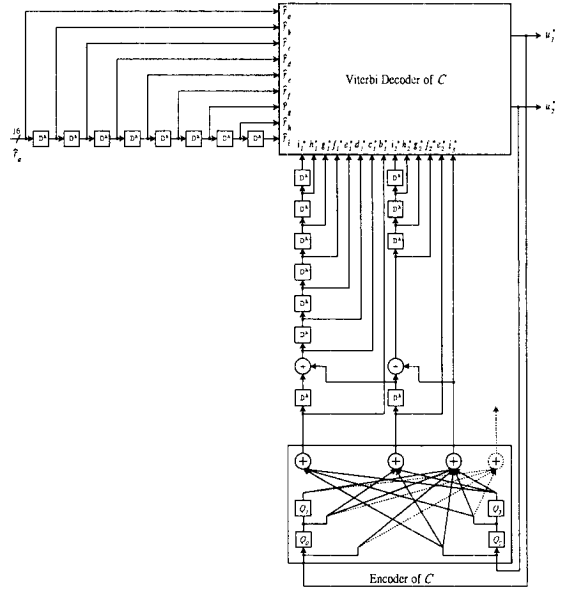


Fig. 8: Block diagram of decoding system of a 16-state binary convolutional code with a convolutional processor.

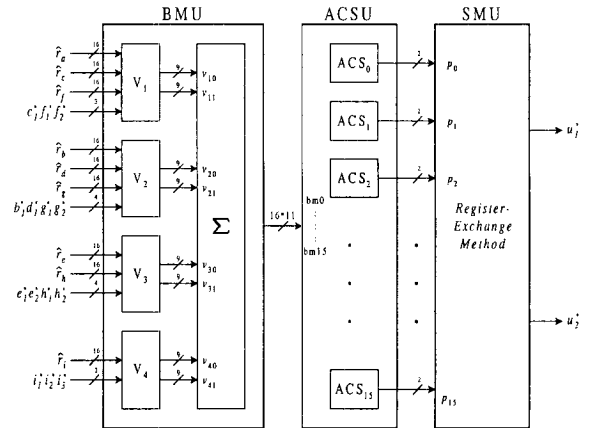


Fig. 9: Block diagram of Viterbi decoder of a 16-state binary convolutional code with a convolutional processor.

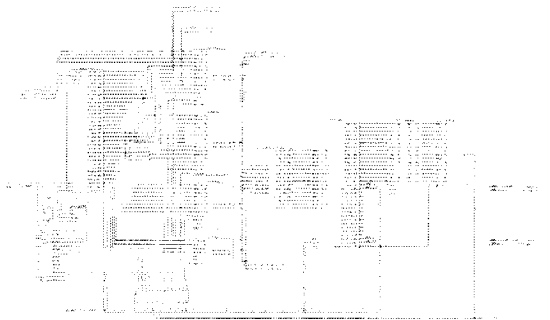


Fig. 10: The circuit of a 16-state binary convolutional code with a convolutional processor.