

# 行政院國家科學委員會專題研究計畫成果報告

K-頻段無線收發關鍵元組件之研究（總計畫）(1/3) (2/3) (3/3)

Key Devices and Components for K-band Wireless Transceiver (1/3) (2/3) (3/3)

計畫類別：整合型計畫

計畫編號：NSC 88-2219-E-002-016

NSC 88-2219-E-002-017

✓ NSC 89-2219-E-002-041

執行期間：87年8月1日至90年7月31日

整合型計畫：總計畫主持人：王暉

子計畫（一）主持人：許博文

子計畫（二）主持人：吳瑞北

子計畫（三）主持人：王暉

子計畫（四）主持人：瞿大雄

子計畫（五）主持人：呂學士

子計畫（六）主持人：陳俊雄

子計畫（七）主持人：劉深淵

子計畫（八）主持人：孟慶宗

處理方式： 可立即對外提供參考

一年後可對外提供參考

兩年後可對外提供參考

（必要時，本會得展延發表期限）

執行單位：國立台灣大學電信所

中華民國 90 年 10 月

## K-頻段無線收發關鍵元組件之研究-總計畫(1/3)(2/3)(3/3)

NSC 88-2219-E-002-016

NSC 88-2219-E-002-017

NSC 89-2219-E-002-041

本整合型計畫的目標為：研發 20-26GHz (K-頻段) 無線收發器之相關元組件技術，藉研究經驗的交流與結合，來建立與提升國內在此一頻段之技術，並培養國防及工業單位急需的微波元組件之設計、分析及製作專業人才。

本計畫主要集中於 K-頻段元、組件的研究，以各項波導、天線、主動元件、被動組件的分析、設計，製作與量測為重點，理論與實驗並重，來發展出相關的微波技術，以作為分析與設計各項元、組件的主要依據。

本跨校整合型計畫一項總計畫及八項子計畫，分別由台大電機系、電信工程研究所教授（七位）及中興大學電機系教授（一位）主持。本年度個別的目標及完成項目分述於下，至於詳細的內容，請參閱各子計畫的完整報告。

# 行政院國家科學委員會專題研究計畫成果報告

K-頻段無線收發關鍵元組件之研究(1/3) (2/3) (3/3)

子計畫一：K-頻段雙頻印刷天線(1/3) (2/3) (3/3)

Key Devices and Components for K-band Wireless Transceiver (1/3) (2/3) (3/3)

Sub-Project 1 : A K-Band Dual-Frequency Printed Antenna (1/3) (2/3) (3/3)

計畫編號：NSC 89-2219-E-002-012、NSC 89-2219-E-002-018

NSC 89-2219-E-002-039

執行期限：87年8月1日至90年7月31日

主持人：許博文 國立台灣大學電信工程學研究所

計畫參與人員：湯慶仲、呂世文、楊智翔 台大電機系暨電信所

## 一、中英文摘要

### 中文摘要

為配合整合型計畫各子計畫之平面結構，本子計畫研究供21~23GHz及24~26GHz兩頻段均能使用之平面型印刷天線。採用之天線為共面波導鑽入之環狀槽孔耦合微帶天線。此天線，在不使用寄生元件時，即可比一般直槽耦合微帶天線多數倍的適用頻寬。經由適當之設計，環狀槽孔及微帶天線之操作頻率可分別落於需要的兩頻段內而達到雙頻操作之目的。本研究之理論分析採用以屋頂形函數為基底之動差法，而實驗試錯法被用來做細部設計以彌補在K-頻段時理論之不足。計畫第一年以建立理論模型及實驗平台為主，第二年進行細部設計，第三年則完成符合規格之雛型成品。本報告為本計畫第三年之研究成果報告，利用前二年所建立之理論模型及實驗平台，在K-頻段加以細部微調，獲得相當不錯的設計結果。  
(關鍵詞：共面波導，環狀槽孔，微帶天線。)

### Abstract

To match the common planar structure in all the sub-projects of this integrated research project, we study in this sub-project a dual-band printed antenna that could be used in both 21 to 23 GHz and 24 to 26 GHz frequencies. The proposed antenna is a coplanar waveguide fed slot-loop coupled microstrip antenna. Without using any parasitic elements, this antenna can have a bandwidth several times wider than any typical slot coupled microstrip antenna. Also,

the operating frequencies of the slot-loop and the microstrip antenna can be adjusted to lie separately in the two desired frequency bands. The theoretical analysis is based on the method of moments using rooftop basis functions, while the experimental trial and error will be called upon in the actual design to compensate for the discrepancy between theory and experiment in K-band. The method of analysis and the experimental setup had been established in the first year, the detailed design had been processed in the second year, and a prototype antenna that meets the design specifications has been completed in this (third) year. This report summarizes the final year's research results that by using the analysis method and the experimental setup developed in the previous years, we have tuned the antenna design in the K-band to a satisfactory result.  
(Keywords: Coplanar Waveguide, Slot-Loop, Microstrip Antenna.)

## 二、計畫緣由與目的

由於本子計畫所屬之整合型計畫係以平面結構為主幹，而串接各元組件(子計畫)之波導為共面波導(Coplanar Waveguide)或微帶線(Microstrip Line)，因此本計畫選擇以共面波導為鑽入線(Feedline)，嘗試設計能同時使用在21-23 GHz及24-26 GHz兩頻段之平面型印刷天線(Printed Antenna)。

近年來，有越來越多的人使用共面波導作為微帶天線(Microstrip Antenna)之鑽入

線，尤其是在毫米波(Millimeter Wave)頻段時[1]-[3]。在共面波導鑄入式微帶天線中，天線及其鑄入線分別置於同一片介質基板(Dielectric Substrate)之兩側，而兩者間之耦合(Coupling)係經由位於接地金屬面上連結在共面波導尾端之開槽(Slot)來達成。開槽之型式有很多種，最常見的包括：簡單開路直槽(Simple Open End)[1], [2], [4]、電容或電感型直槽(Inductive or Capacitive Slot)[3], [5]以及小環狀槽孔(Small Slot-Loop)[6]等。雖然共面波導鑄入式微帶天線相當有用，然而由於其有效頻寬(Bandwidth)甚窄[3]-[5]，其應用自然受到限制。一個典型的共面波導鑄入式矩形微帶天線的頻寬大約只有 2%而已。增加微帶天線頻寬的方法有許多種，例如：增加介質基板厚度或加入寄生元件(Parasitic Element)。然而基板太厚容易產生表面波(Surface Wave)而降低天線效益(Antenna Efficiency)，而寄生元件卻會使得天線構造變得複雜而難以製作，因此這兩種方法都有其應用上的限制。為了增加頻寬以滿足設計之需求，本研究採用大型環狀槽孔(Large Slot-Loop)作為共面波導與微帶天線間之媒介，其基本構造請參見圖一。

在圖一中，大型環狀槽孔之功用並非僅只於增加微帶天線之頻寬而已，它本身亦可自成一個環槽天線(Slot-Loop Antenna)。適當選取環槽之週長以及微帶天線之寬度，使它們所對應之共振頻率(Resonant Frequency)分別落於本計畫所要求之21-23 GHz 及 24-26 GHz 內，則雙頻操作之需求亦可同時滿足。

除了頻寬及雙頻操作之考慮外，尚有其它之設計需求，例如天線增益(Gain)、電壓駐波比(VSWR)等。由於本計畫主持人及參與計畫之研究生們對共面波導鑄入式印刷天線之設計與研究已有相當經驗[4],[5],[7]，因而能順利完成符合本計畫需求之「K-頻段雙頻印刷天線」供整合型計畫其他子計畫之用。

### 三、研究方法及成果

本研究採用以屋頂型函數(Roof-Top

Functions)為基底(Basis)之動差法(Moment Method)做為理論分析之基礎。此法在我們先前所發表之文章中有詳盡之描述[4], [7]，在此僅簡述其原理及步驟如下：

1. 假設介質基板及接地金屬板均為無限大。
2. 利用等效原理(Equivalence Principle)，將槽孔用金屬板封住，其上、下各放置大小相等方向相反之面磁流，如此則整個空間被區分成兩個半空間，其一為半自由空間，另一個為含接地介質板之半空間。
3. 在微帶天線面上放置面電流。
4. 寫出代表邊界條件之電磁場方程式：天線面上切線電場為零；槽孔面上、下切線磁場連續。
5. 由 2、3 之半空間及電、磁流，利用格林函數技巧(Green's Function Technique)將 4 中之方程式化成積分方程式。
6. 以屋頂型函數為基底，用動差法求解 5 中之積分方程式，則天線面上之面電流、槽孔面上之面磁流、以及天線之輸入阻抗(Input Impedance)、共振頻率(Resonant Frequency)、輻射場型(Radiation Pattern)等即可求出(詳見[4], [7])。

本計畫亦須進行實驗，以實驗來驗證理論之正確性。設計時，理論的誤差(如無限大介質基板之假設、介質基板之介電常數不隨頻率而改變等)，將以實驗試錯法來改正。

本報告為本計畫最後一年(第三年)之研究成果報告。本年度主要工作為利用前二年所建立之理論分析模型及實驗平台，經由細部設計及反覆的實驗試錯在 K-頻段完成與實驗結果相符的離型天線。由於理論分析的種種假設在 K-頻段時未必成立，理論僅能提供初步概念，細部設計須靠實驗來作微調，因此過程中遭遇一些困難，然而我們終於克服困難在本(第三)年度獲得相當不錯的結果。

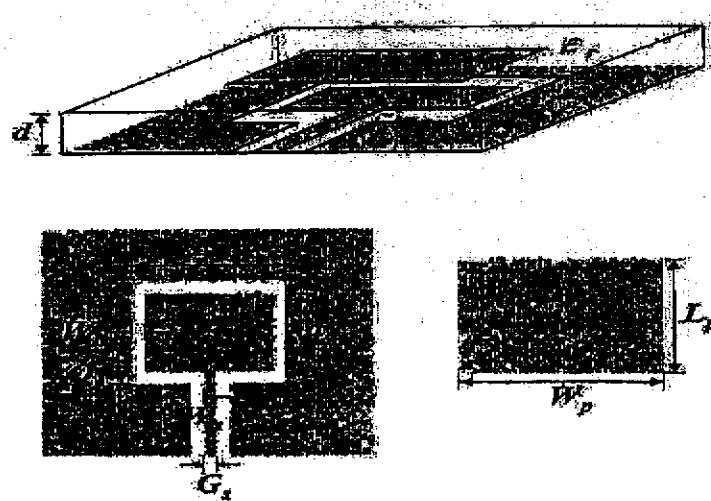
### 四、結論與討論

本計畫前二年度之主要工作在完成理論分析模型、建立實驗平台及進行初步細

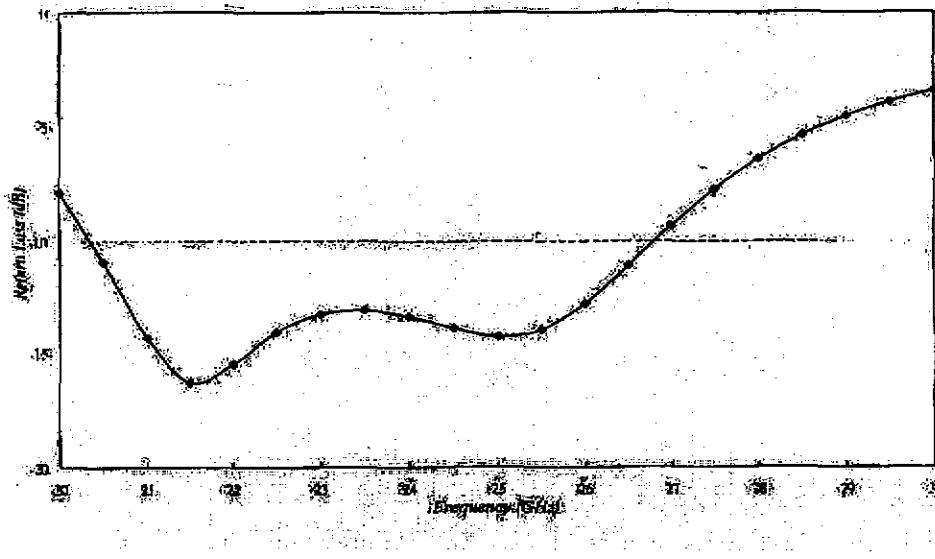
部設計，本年度則完成符合在K-頻段雙頻規格之實驗設計。進行理論分析前，我們先對大型環槽耦合微帶天線做可行性實証研究，獲得相當不錯的結果，並將其實際應用於2.4GHz之設計[8]。接著採用以屋頂型函數為基底之動差法做分析，配合圖一之結構做修正。由數值分析所完成之初步設計如圖二所示。圖二中我們很清楚地看到頻率(21-23GHz及24-26GHz)及電壓駐波比(VSWR < 2.0)均能滿足設計需求，然而該分析設計是在假設介質基板為無限大及其介電常數不隨頻率而改變的情況下所得到的，在實際情況下是否與分析所得結果相同仍有待實驗証實。在本年度的一連串實驗中，我們發現結果與分析確有一些差異，然而分析確提供了我們設計上非常最重要之參考。從圖二的設計參數加以實驗微調我們得到了如圖三相當不錯的實驗結果。圖三同時也顯示出理論與實驗的誤差。本計畫之詳細理論、實驗及參數研究等請參考另行繳交國科會之完整報告。

## 五、參考文獻

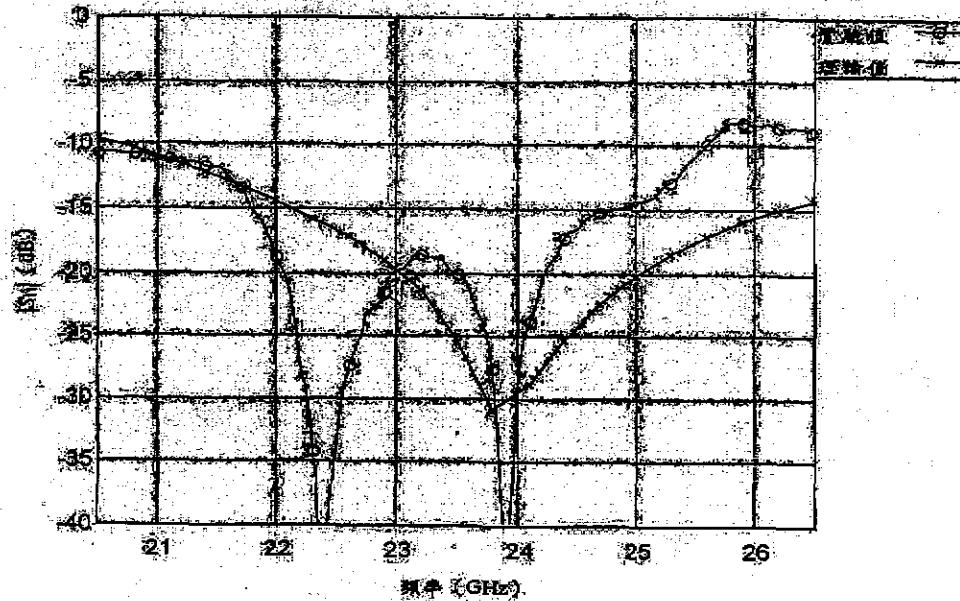
- [1] M. I. Aksun, S. L. Chuang, and Y. T. Lo, "On slot-coupled microstrip antennas and their applications to cp operation-theory and experiment," *IEEE Trans. Antennas Propagat.*, vol. AP-38, pp.1224-1230, Aug. 1990.
- [2] M. I. Aksun, S. L. Chuang, and Y. T. Lo, "Coplanar waveguide-fed microstrip anten-
- nas," *Microwave Opt. Tech. Lett.*, vol. 4, no. 8, pp. 292-295, July 1991.
- [3] W. Menzel and W. Grabherr, "A microstrip patch antenna with coplanar feed line," *IEEE Microwave and Guided Wave Lett.*, vol. 1, no. 11, pp. 340-342, Nov. 1991.
- [4] S. M. Deng, M. D. Wu, and Powen Hsu, "Analysis of coplanar waveguide-fed microstrip antennas," *IEEE Trans. Antennas Propagat.*, vol. AP-43, no. 7, pp. 734-737, July 1995.
- [5] S. M. Deng, M. D. Wu, and Powen Hsu, "Impedance characteristics of microstrip antennas excited by coplanar waveguides with inductive or capacitive coupling slots," *IEEE Microwave and Guided Wave Lett.*, vol. 5, no. 11, pp. 391-393, Nov. 1995.
- [6] L. Giauffret and J. M. Laheurte, "Study of various shapes of the coupling slot in CPW-fed microstrip antennas," *IEEE Trans. Antennas Propagat.*, vol. AP-45, no. 4, pp. 642-647, Apr. 1997.
- [7] Tzung-Fang Huang, Shih-Wen Lu, and Powen Hsu, "Analysis and design of coplanar waveguide-fed slot antenna array," *IEEE Trans. Antennas Propagat.*, vol. AP-47, no. 10, pp. 1560-1565, Oct. 1999.
- [8] Shih-Wen Lu, Tsung-Fang Huang, and Powen Hsu, "CPW-fed slot-loop coupled patch antenna on narrow substrate," *IEE Electronics Letters*, vol. 35, no. 9, pp. 682 - 683, April 1999.



圖一、共面波導鎖入環狀槽孔耦合微帶天線構造圖



圖二、初步理論設計結果之輸入端頻率反應



圖三、從圖二設計參數經實驗微調後之結果

$G_s=2.5\text{mm}$ ,  $W_s=0.25\text{mm}$ ,  $L_p=2.1\text{mm}$ ,  $W_p=4\text{mm}$ ,  $L_s=5\text{mm}$ ,  $d_s=2.3\text{mm}$ ,  $O_s=0.5\text{mm}$ ,  $W_f=0.5\text{mm}$ ,  $d=1.58\text{mm}$ ,  $\epsilon_r=2.6$ ,  $\tan\delta=0.0022$ .

# 行政院國家科學委員會專題研究計畫成果報告

K-頻段無線收發關鍵元組件之研究-子計畫二：

共面波導雙工器 (1/3) (2/3) (3/3)

Coplanar Waveguide Diplexer

計劃編號: NSC 88-2219-E-002-011

NSC 89-2219-E-002-021

NSC 89-2219-E-002-040

執行期限: 87 年 8 月 1 日至 90 年 7 月 31 日

主 持 人: 吳瑞北 台灣大學電機系教授

## 一、中文摘要

關鍵詞：邊緣耦合、間隙耦合、微機電、共面波導、雙工器

本計畫採用間隙耦合型結合邊緣耦合型濾波器，設計了中心頻率分別在 31GHz 及 28GHz 的一組發射及接收的濾波器。並且應用微機電低損耗、低色散、低輻射的特性，來製作所設計的濾波器，量測的結果比模擬的結果中心頻率低了 0.5GHz 左右；另外，在通帶的部分，量測的插入損比模擬的結果少了 0~3dB 左右，結果比傳統的平面濾波器的 11dB 來得好。接著我們結合這組濾波器形成一雙工器，並且用微機電技術製作，在發射端 31GHz 的部分，量測的插入損大約比模擬的結果少 4dB 左右；對於接收端 28GHz 的部分，量測結果約比模擬的少 3dB 左右，而這兩的頻帶的隔絕損大約都在 30dB 以下。

## 英文摘要

Keywords: edge-coupled, gap-coupled, Micro-Electro-Mechanical, coplanar waveguide, diplexer

The filter type adopted in this project is composed of gap-coupled lines and edge-coupled lines. Two filters with center frequency equal to 31GHz and 28GHz are designed for the transmitting band and receiving band, respectively. With the advantages of low loss, low dispersion and low radiation, the MEMS (Micro-Electro-Mechanical System) was used to fabricate the filters. The measured center frequency of the filter was slightly lower than the simulation one. In addition, the measured insertion loss in the passband was smaller than the simulation results ranging from 0 to 3dB. This result is better than the traditional planar circuit filter which exhibit 11dB for the insertion loss in the passband. Then, the filters are combined to form the diplexer and fabricated with MEMS technique. In the transmitting band of 31GHz, the measured insertion loss is less than 4dB as compared to the simulation results. And in the receiving band of 28GHz, the measured insertion loss is 3dB smaller than the simulation results. Also, the isolation between the two channels is below 30dB.

## 二、計畫緣由與目的

傳統的窄通共面波導濾波器之平面結構，其基板的介質損耗及輻射損，使得其Q值相當低，無法達到濾波器在截止頻帶有相當陡峭的頻率響應，同時在通帶時也會有相當大的插入損耗(insertion loss)。本計畫引進微機電的技術，發展橫切面圖如圖一的共面波導結構，此結構的基板已幾乎蝕刻殆盡，且上下均有金屬封閉；如此，其介質損耗及輻射損會降至最低，進而提高了傳輸線的Q值，達到雙工器中窄通濾波器的嚴格要求。

## 三、微機電的製程方法

對於電路蝕刻方面，本文所採用的微機電技術有：一、乾式蝕刻法 RIE(Reactive Ion Etcher)及二、溼式蝕刻法 KOH 溶液兩種。對於採用溼式蝕刻法時，溶液的濃度及當時的溫度和壓力都是重要的因素。對於中層共面波導電路的製作，則是採用標準的 photolithographic 方法，鍍上的金厚度大約為  $2\mu m$  左右，足以滿足金在此頻段 skin depth 的限制，詳細的資料請參考完整報告{1}。

## 四、模擬和量測的結果與討論

### 1. 微機電共面波導濾波器：

我們設計了兩個 Ka-band 的濾波器，一個中心頻率在 28GHz 作為接收端濾波器，另一個中心頻率在 31GHz 作為發射端濾波器；此兩者用來組成一個雙工器，可供商用的 LMDS (Local Multipoint Distribution System) 使用。濾波

的規格如下所示：

$f_0$ (GHz)	BW(%)	Ripple(dB)	$f_c$ (dB)	order
28	3	0.05	30(30)	3
31.5	3	0.05	30(20)	3

濾波器實際電路的尺寸和結構圖如圖二所示，其中尺寸有兩個規格，一個是發射端 31GHz 濾波器的尺寸，另一個是接收端 28GHz 濾波器的尺寸；值得一提的是基於製程上的限制，這些電路的尺寸，最小的槽線寬都不得小於  $10\mu m$ ，以免造成製造上的誤差。這些電路我們都使用 Sonnet EM 進行分析；量測的方式是採用  $150\mu m$  pitch-to-pitch 的探針，於 HP8510C 向量網路分析儀進行量測，此外，我們於量測的過程中，也採用了 TRL 校準方式，量測和模擬的結果將如下所示。

對於圖二的直線型 31GHz 濾波器，其模擬及量測結果如圖三所示，由圖可以看出，量測的結果比模擬的結果中心頻率低了  $0.5GHz$  左右，這可能是由於在模擬時，我們並沒有考慮薄膜的效應所致；另外，在通帶的部分，量測的插入損比模擬的結果少了  $0\sim 3dB$  左右，這是由於我們模擬時，並沒有考慮轉接部分介質的損耗。附帶說明的是，在低頻截止帶部分，量測的結果和模擬的結果有著相當大的差異，我們推測這應該是由於量測所造成的誤差，或者有可能是封裝結構的寄生模所致。圖四為直線型 28GHz 濾波器的模擬和量測結果的比較圖，由圖我們也可以看出，量測的結果比模擬的結果中心頻率低，且在通帶也有很大的損耗。

另外，為了消除微機電封裝效應的寄生模影響，我們也設計了兩個折曲型濾波器，其尺寸及結構突如圖五所示；圖六為 31GHz 直線型和折曲型濾波器的比較圖，由圖我們可以看出，在低頻截止帶的部分，折曲型的濾波器比

直線型的濾波器好，其反射損約有 40dB 左右，比直線型的 15dB 來的好。

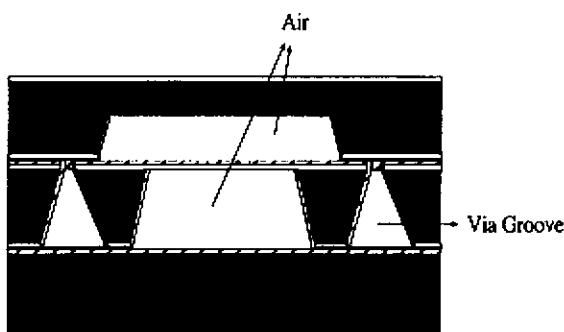
## 2. 微機電共面波導雙工器：

微機電共面波導雙工器的設計，只要將兩個微機電共面波導濾波器並接起來，並將兩個濾波器折曲以避免其重疊，即可達成所需的雙工器。值得注意的是，由於第一段耦合線被折曲，所以其長度要稍微調整，但是必須維持的條件是：每一段共振長度必須符合  $\theta_0 = \pi$  (rad) at  $\omega_0$ 。圖七為此雙工器的上視結構圖。圖八為雙工器模擬和量測結果的比較圖，由圖我們觀察到，發射端 31GHz 量測的插入損大約為 3dB 左右，而模擬的結果大約為 1dB 左右；接收端 28GHz 量測的插入損大約為 4dB 左右，而模擬的結果大約為 1dB 左右；這樣的差異乃是由於我們在模擬的時候，並沒有考慮轉接部分的損耗，且實做電路時，下面空腔的金屬兩側並沒有封裝，以致造成損耗。

## 五、參考文獻

- (1) 吳瑞北等，共面波導雙工器，國科會專題研究報告，NSC 88-2219-E-002-011。

## 六、附圖

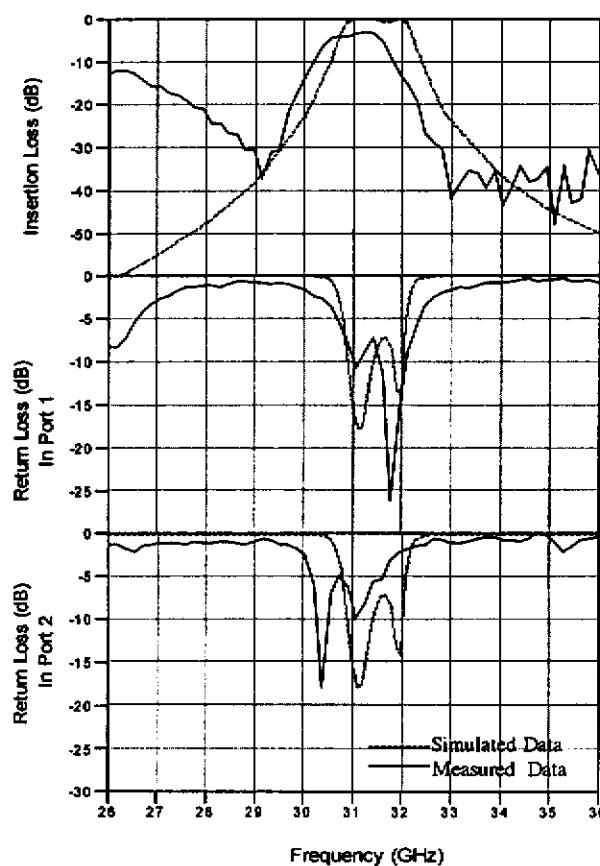


圖一、微遮蔽線的橫切面結構圖

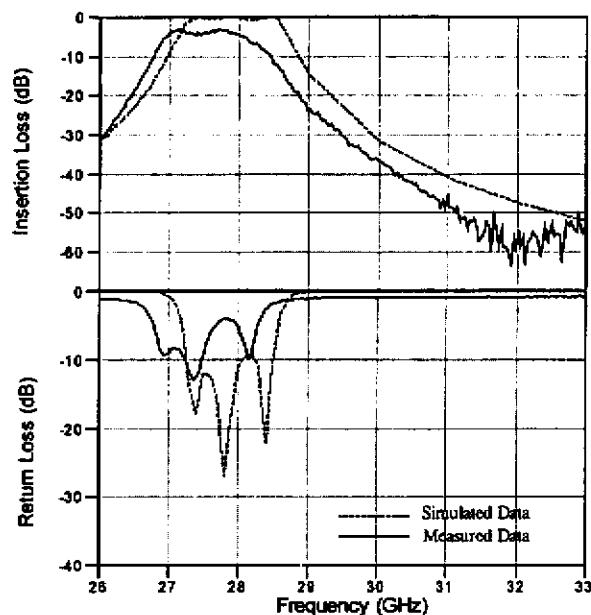


$f_0(\text{GHz})$	$W$	$S$	$Sc$	$Lc$	$L1$	$GI$	$L2$
28	800	80	40	2400	5000	100	5120
31.5	800	80	40	2100	4420	140	4520

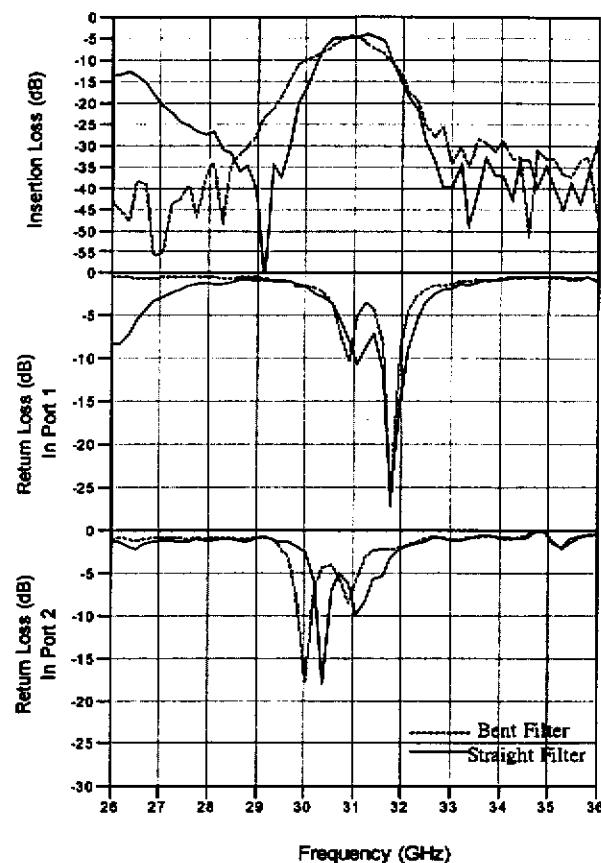
圖二、直線型微機電共面波導濾波器的平面結構和尺寸。



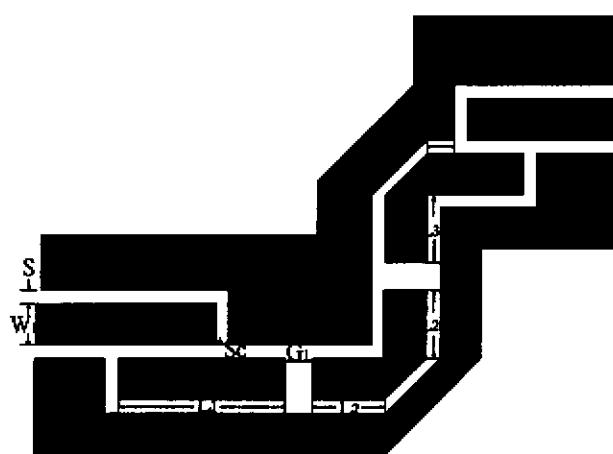
圖三、31GHz 發射端濾波器：直線型的模擬和量測結果比較圖。



圖四、28GHz 接收端濾波器：直線型的模擬和量測結果比較圖。

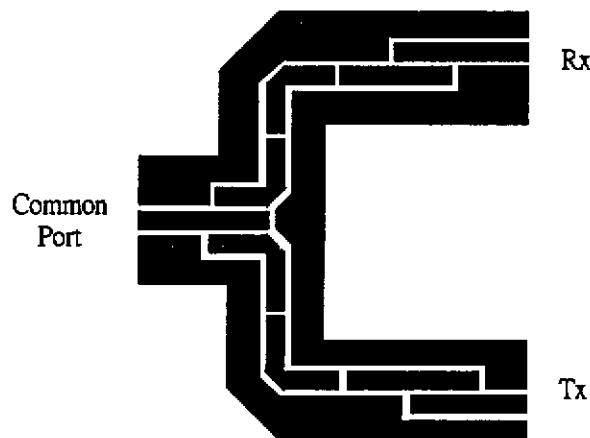


圖六、微機電共面波導耦合線之橫切面圖

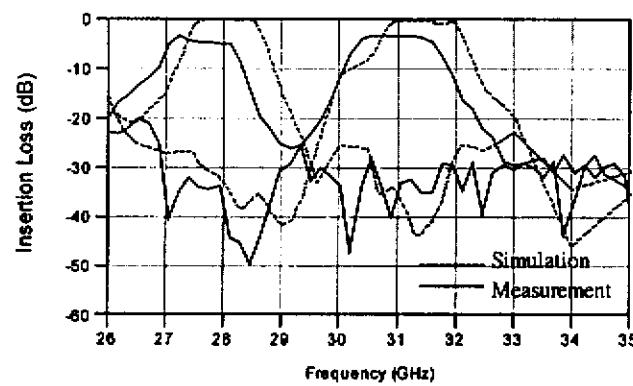


$f_0$ (GHz)	W	S	Sc	Lc	LI	GI	L2	L3	L4
28	800	80	40	2400	5000	100	2320	1700	500
31.5	800	80	40	2100	4400	140	2100	1400	500

圖五、折曲型微機電共面波導濾波器的平面結構和尺寸。



圖七、微機電共面波導雙工器之上視圖。



圖八、微機電共面波導雙工器：模擬和量測結果的比較圖。

「K-頻段無線收發關鍵元組件之研究」子計畫三：  
升降頻器之研製

Research and Development of Down- and Up-Converters

計畫編號：NSC 88-2219-E-002-015

NSC 88-2219-E-002-020 ,NSC 89-2219-E-002-042

執行期限：87年8月1日至90年7月31日

主持 人：王暉 國立台灣大學電信所教授

E-mail : hueiwang@ew.ee.ntu.edu.tw

計畫參與人員：林坤佑，連俊憲，鄧國樑，魏淑芬，陳柏佑，王祥旭，林義翔

王毓駒，蔡作敏 國立台灣大學電信所

一. 中文摘要（關鍵詞：K-頻段，單晶微波積體電路、降頻器、升頻器、收發機。）

technologies. The components will include low noise amplifiers, mixers and IF amplifiers.

本計畫預備研究及設計 K-頻段(21-26 GHz)之降頻器與升頻器元組件。該元組件係應用於微波電信機之傳送接收器。製作此微波電路晶片，將使用國外之砷化鎵單晶微波電路之代工之高速場效電晶體製程與異質接面雙極性電晶體製程。此升降頻器中之電路將包含低雜訊放大器、混波器及中頻放大器等。

在此三年計畫中，元件模型、電路設計及佈局、晶片製作與測試均將進行。第一年計畫中，將用現有之模式進行單一功能電路之初步設計，同時設計測試電路、而後製作第一循環之晶片。第二年度除繼續進行電路量測工作外，並利用 0.15 微米高速場效電晶體以及異質接面雙極性電晶體的製程，進一步設計各項單一及多功能晶片。第三年計畫中則加入製作在 K 頻帶的低雜訊放大器與單平衡混頻器模組，以及 20 兆赫的介電質振盪器。

**Abstract ( Keywords : K-band, MMIC, Downconverter, Upconverter, Transceiver.)**

This project is aimed at the development and the design of K-band (21-26 GHz) downconverter and upconverter components for microwave radio transceiver applications using commercial foundry GaAs MMIC process

In this 3-year project, device modeling, MMIC design, chip layout, fabrication and chip evaluation will all be exercised. In the first year, we have completed individual single-function components based on existing models. Part of the circuits have been measured. In second year, in addition to the on going chip measurement effort, we used the 0.15- $\mu$ m PHEMT and HBT MMIC processes to further develop the various single- and multi-functional MMIC chips. In the third year we designed and produced K band low noise amplifier and single balance mixer module, and 20GHz dielectric resonator oscillator.

二. 計畫緣由與目的

The goal of this project is to push the MMIC frequency converters design technology to K-band (20-30 GHz) and demonstrate the up-and down-converters implemented in MMIC chips. We used of the accessible MMIC processes to develop to learn the MMIC design and modeling techniques.

This project provided a starting point of

frequency converter MMIC development to K-band frequency in Taiwan and also established the infrastructure in our institute.

### 三. 研究方法與結果

#### (1) Device model investigation

For each solid-state device, the device figure of merit (FOM) need to be calculated in order to decide the circuit topology. So we need to perform the device dc and RF characterization and generate the model.

#### (2) Circuit simulation, detailed design and layout

In MMW frequency, the EM analysis of entire matching structure may be needed.

#### (3) Circuit fabrication and evaluation

We plan to use the 0.15 micron PHEMT MMIC process and get the chip fabricated through CIC of National Science Council.

#### (4) Refine device models for next iteration

We investigate the measure data and compare with the simulated results and then conduct the necessary model refinement.

#### (7) LNA

The low noise amplifier was designed using four-finger 120- $\mu\text{m}$  PHEMT to operate at 21 to 26 GHz. Fig. 1(a) show the chip photo. At 24 GHz, the small signal gain is 16.4 dB and input/output return losses are 7.5/11.6 dB.

#### (8) Driver Amplifier

The driver amplifier was designed using 120- $\mu\text{m}$  PHEMT to drive 300- $\mu\text{m}$  PHEMT. Fig. 2(a) show the chip photo of two-stage single-ended PA, the single-end amplifier demonstrated a small signal gain of 19 dB at 24 GHz. The power performance of the single-ended one has a 1-dB compressed power

point ( $P_{1\text{dB}}$ ) of 14.6 dBm at 22 GHz.

#### (9) Mixer

The subharmonically pumped mixer used two anti-parallel diodes each with four gate fingers of 40  $\mu\text{m}$  width to operate from 21 to 26 GHz of RF frequency. Fig. 3(a) show the chip photo of the subharmonically pumped mixer. The measured conversion loss is 12 dB for up conversion and 14 dB for down conversion.

#### (10) IF Amplifier

Five PHEMTs with a total gate periphery of 660  $\mu\text{m}$  were used. Both microstrip line and GCPW are used to form the artificial gate and drain transmission lines. They are periodically loaded with the capacitive gate and drain impedance of the FET's forming lossy transmission line structures of different characteristic impedance and propagation constant. The resultant effective input and output propagation structures acted as gate and drain lines. The chip photos are shown in Fig. 4(a) and 4(b). The microstrip-line design demonstrated a small signal gain of  $12 \pm 2.5$  dB, and the GCPW design has a small-signal gain of  $10 \pm 0.5$  dB.

In addition, we also complete the circuit designs using the GCS HBT process and TRW 0.15- $\mu\text{m}$  PHEMT process.

#### (11) LNA and single balance Mixer

The single balance mixer is just different from the subharmonically pumped mixer described. The designed single balance mixer uses 90 lange coupler and then the signal through the schottky diode to produce the intermodulation signal and filter out the IF signal what we design for. The layout of the whole module and measurement results of the two circuit are shown in Fig. 5(a). The small signal

gain >20dB between 21~26GHz and return loss of the input and output also >10dB in band. The conversion loss of the mixer is 10dB loss roughly in the LO power 10dBm situation and LO to RF isolation is 5dB and LO to IF isolation is 35dB.

### (12) DRO

Using the characteristic of the source feedback to produce the instability of the chip and the design of the matching circuit of the drain end to make the circuit to operate in linear oscillation region of operating frequency. The DRO module picture is shown in Fig. 6(a). Dielectric resonator is put on a 50 ohm microstrip line which is on Teflon substrate. The DRO chip photo is shown in Fig. 6(b). The initial test result is the spectrum of the DRO and the output power is 5.7dBm.

**Table 1**

**First year MIC and MMIC design summary**

MMICs		
	DESCRIPTION	PERFORMANCE
LNA001	◆ 1-stage SE, 120- $\mu$ m PHEMT ◆ microstrip line design	G = 9 dB NF = 2.3 dB @24 GHz
LNA002	◆ 2-stage SE, 120- $\mu$ m each stage ◆ microstrip line design	G = 17.8 dB NF = 3.2 dB @ 24 GHz
Mix001	◆ 4-finger, 40- $\mu$ m gate-PHEMT diode ◆ singly balanced design with a Lange coupler	Conversion loss = 8 dB with RF @ 24 GHz, IF @ 2.5 GHz at LO of 10 dBm
Mix002	◆ 4-finger, 40- $\mu$ m gate-PHEMT diode ◆ singly balanced design with a modified Rat-race	Conversion loss = 9 dB with RF @ 20 GHz, IF @ 1 GHz at LO of 10 dBm
Mix004	◆ 4-finger, 40- $\mu$ m gate-PHEMT diode ◆ subharmonically pumped mixer for both up and down-frequency conversion	Conversion loss = 12~13 dB for up and 11~13 dB for down-conversion with LO of 7dBm
PA001	◆ 1-stage ◆ 6-finger, 300- $\mu$ m	G = 6.5 dB @24GHz

PA002	◆ 2-stage SE, 0.12mm driving 0.3 mm	PAE = 26.9% G = 13.3 dB @24GHz PAE = 19.3%
PA003	◆ 2-stage balanced design, 0.12 mm driving 0.3 mm	G = 12.9 dB @24GHz PAE = 21.4%
WAMP	◆ SE, 6-finger, 300- $\mu$ m gate-PHEMT	G = 15.61 dB
MICs		
Mixer	◆ Doubly balanced diode mixer ◆ Both up and down-frequency conversion	Conversion loss = 15 dB for up and 12 dB for down-conversion with LO of 4dBm

**Table 2**

**Second year MMIC design Summary**

0.15- $\mu$ m PHEMT Process		
	Description	Simulated Results
FIL001	◆ Active filter ◆ 4-finger, 120- $\mu$ m PHEMT ◆ microstrip line design	G = 7 dB @19 GHz
LNA	◆ 4-finger, 120- $\mu$ m PHEMT ◆ microstrip line design	G=21 dB, NF=1.7 dB @ 24 GHz
Mixer	◆ 4-finger, 40- $\mu$ m gate-PHEMT diode ◆ singly balanced design with a Lange coupler	Conversion loss < 10 dB Return loss > 10 dB
HBT Process		
	Description	Measured Results
VCO	◆ 12- $\mu$ m <sup>2</sup> emitter area HBT ◆ microstrip line design	Frequency : 29 GHz Power : -5 dBm

**Table 3**

**Third year MMIC design Summary**

0.15- $\mu$ m PHEMT Process		
	Description	Simulated Results
LNA and Mixer	◆ 4-finger, 120- $\mu$ m PHEMT for LNA ◆ Schottky Diode for Mixer ◆ microstrip line design ◆ singly balanced design with a Lange coupler for Mixer	G=22dB NF=1.7dB @23GHz for LNA Conversion loss = 8dB Return loss >10dB for Mixer
DRO	◆ DR for resonator ◆ microstrip line design	Output power 2.7dBm

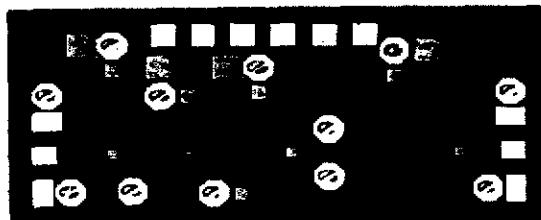


Fig. 1(a) The chip photo of two-stage LNA.



Fig. 2(a) The chip photo of two-stage PA.

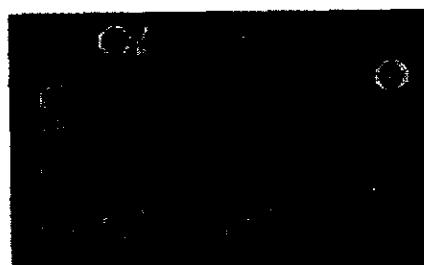


Fig. 3(a) Chip photo of the subharmonically pumped mixer.

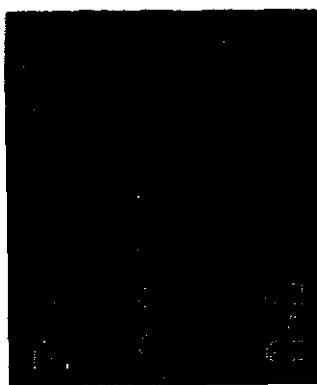


Fig. 4(a) The chip photo of the microstrip-line DA.



Fig. 4(b) The chip photo of the GCPW DA.

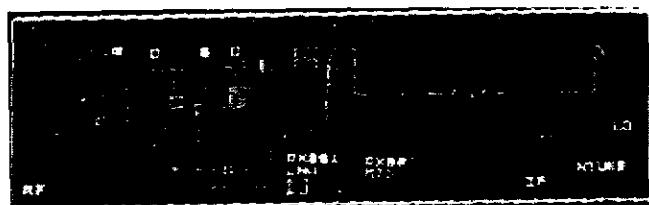


Fig. 5(a) The Layout of LNA and Mixer.

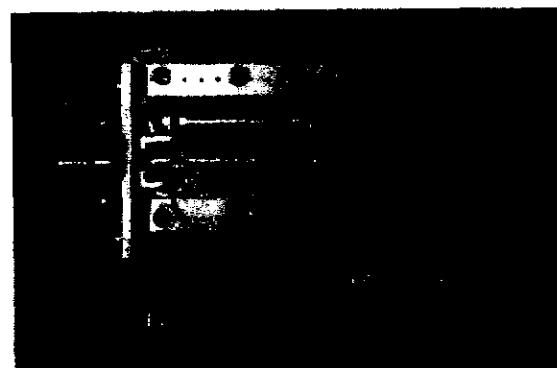


Fig. 9(a) The photo of the DRO Module.

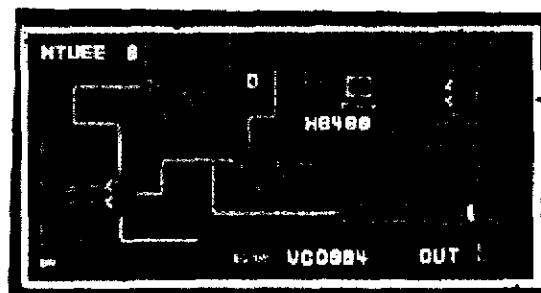


Fig. 9(b) The photo of the DRO chip.

# 行政院國家委員會電信國家型科技研究計畫成果報告

K-頻段無線收發關鍵元組件之研究(1/3) (2/3) (3/3)-子計畫四：  
頻率倍頻器之研製(1/3) (2/3) (3/3), Study of Frequency Multiplier (1/3) (2/3) (3/3)  
計畫編號：NSC88-2219-E-002-014, NSC88-2219-E-002-019, NSC90-2219-E-002-043

執行期限：87年8月1日至90年7月31日

計畫主持人：瞿大雄 教授 國立台灣大學電信工程學研究所

## 一、摘要

本計畫旨在建立頻率倍頻器相關之理論分析、模擬、製作與實驗量測。本報告係敘述三年之研究成果，主要包含兩項，一為使用CIC之PML GaAs PHEMT MMIC製程，研製3 至18 GHz六倍倍頻器模組之設計、模擬及量測結果。該倍頻器模組包含一3 至6GHz二倍倍頻器、6至18GHz三倍倍頻器以及一17 至22GHz緩衝放大器。二為提出一新的自振倍頻器電路與分析方法，並應用於主動天線陣列。該自振倍頻電路可輸出較高之倍頻功率。電路係以harmonic-balance方法分析，其量測結果和模擬結果相當吻合。據以研製之主動式倍頻天線陣列，可經由改變各個振盪器之自由振盪頻率，以掃瞄天線輻射場型之方位角度。

關鍵字：倍頻器，自振倍頻器，主動倍頻天線陣列。

## 英文摘要

The purpose of this three-year research project is to develop the basic theory, design, implementation and experimental measurement of frequency multiplier circuits. In this report, two major results are presented. One is the design, simulation and measurement results of a k-band PHEMT MMIC frequency multiplier using CIC PML GaAs foundry. The second result is to develop a new circuit and analysis method for a coupled active multiplier antenna array. This method combines harmonic-balance method and weakly couple oscillator dynamic theory to give a well prediction of the second harmonic output power, locking bandwidth, matching condition and phase distribution between array elements. An X-band active multiplier antenna

array is fabricated and its measurement results shown in good agreement with simulation results.

Key words: multiplier, self-oscillating multiplier, active multiplier antenna array.

## 二、計畫緣由及目的

無線收發機中，本地振盪器之相位調變雜訊和頻率調變雜訊，對信號品質影響甚巨，尤其是在毫米波段中。因此設計上多採用較低頻之頻率合成器，再經多級倍頻器，以達到較高之工作頻率。

本報告主要敘述兩項研究成果，一為以 HEMT 電晶體作為非線性元件及放大元件，設計主動式倍頻器。二為以自振倍頻器架構，設計主動式倍頻天線陣列。主動式倍頻器之優點為：(1)效率較被動式高，(2)需較低之輸入功率，(3)轉換損失較低。而自振倍頻器，則具有(1) 較高之倍頻輸出功率，(2)較低之雜訊。

## 三、研究方法與成果

本節將分別敘述研製之k-頻段倍頻器MMIC及主動式倍頻天線陣列。

### 3.1 k-頻段倍頻器

設計係使用 HP/Libra 軟體進行 HEMT 於偏壓點之線性與非線性特性，以及電路分析，MMIC 佈局以及設計法則檢驗，則使用 Cadence 軟體。各相關之 MMIC 設計及量測結果分述如下。

#### A. 二倍倍頻器

偏壓點選擇為 B 類放大器偏壓點，設計選用 8 指(finger)  $400 \mu m$  HEMT 元件。匹配電路方面，輸出端設計使用 LC 串聯共振器，以使其在共振頻率

入端係使用低通型式之匹配電路，以阻絕二倍頻出現於輸入端。

圖一為其之 MMIC 佈局圖。圖二為輸入功率 10.84dBm 時，輸出功率之頻率響應，顯示輸出功率約 0dBm~5dBm，因此轉換損失約為 10~15dB。圖三為輸入功率 10.84dBm，輸入頻率 2.81GHz 時，其輸出頻譜，顯示二倍頻對基頻拒斥比約 20dB，對三倍頻拒斥比則約 33dB。

### B. 三倍倍頻器

偏壓點選擇為 A 類放大器偏壓點，元件選擇 6 指  $180\ \mu m$  之 HEMT。匹配電路之輸出端使用 LC 串聯共振器，以在共振頻率時，提供短路阻抗。輸入端則使用低通型式匹配網路，以阻絕高次諧波出現至輸入端。圖四為 MMIC 佈局圖。圖五為輸入功率為 10.61dBm 時，輸出功率之頻率響應，顯示輸出功率約 5dBm~1dBm，因此轉換損失約為 5~11dB。圖六為輸入功率 10.61dBm，且輸入頻率為 5.71GHz 時，量得之輸出功率頻譜，顯示對基頻拒斥比約為 15dB，對二倍頻拒斥比約 20dB，對四倍頻拒斥比則約 23dB。

### C. 緩衝放大器

緩衝放大器設計選擇 A 類放大器偏壓點，同時使用損失匹配，以達到較佳之輸出端匹配。元件選擇 6 指  $150\ \mu m$  HEMT 元件。圖七為 MMIC 佈局圖。圖八為量測之穿透係數(S21)，該量測與模擬結果相近。

## 3.2 主動式倍頻天線陣列

主動式倍頻天線陣列係由多個自振倍頻器組合，以下分別敘述其原理與量測結果。

### A. 自振倍頻器

圖九為設計之自振倍頻器電路，其中傳輸線 L1 係用以提供振盪所須之負阻抗，L21 及 L22 長度約為振盪波長之  $1/4$ 。輸出端則考慮適當設計負載阻抗及偏壓，以達到最佳之二倍頻功率輸出，因此其負載之天線不僅用以輻射輸出之二倍頻信號，並且做為倍頻信號之匹配元件。自振倍頻器電路輸入端則外接注入信號，因此，工作時振盪器振盪於基頻，而可輸出最佳之二倍頻信號，並經注入鎖定，達到

高轉換效率與低雜訊。

自振倍頻器電路分析係使用 harmonic balance 方法，並考慮適當選擇偏壓與匹配阻抗，以得到最佳之輸出功率。量測結果顯示與模擬相符，振盪頻率為 4GHz，而二倍頻輸出信號頻率為 8GHz，功率為 9.5dBm。

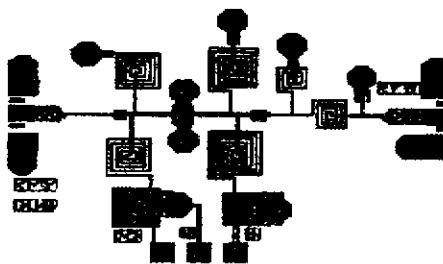
### B. 主動式倍頻天線陣列

圖十為設計之主動式倍頻天線陣列，包含三個自振倍頻器電路，其分析則使用耦合振盪原理，計算各主動天線之輸出信號振幅與相位，以得到天線輻射場型。當該主動式倍頻天線陣列鎖定於注入信號時，可藉由調節各自振倍頻器之振盪頻率，達到天線輻射場型之方位角改變，圖十一為主動式倍頻天線陣列之輻射場型量測結果。

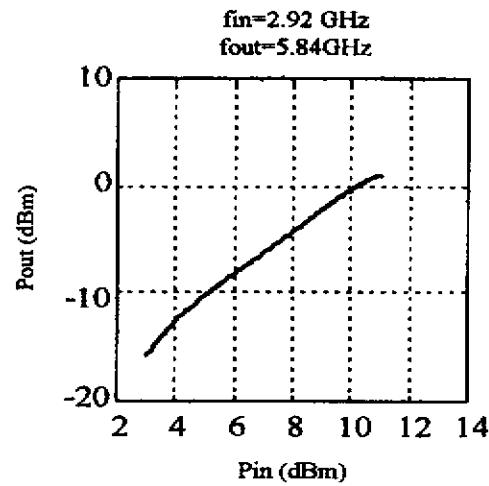
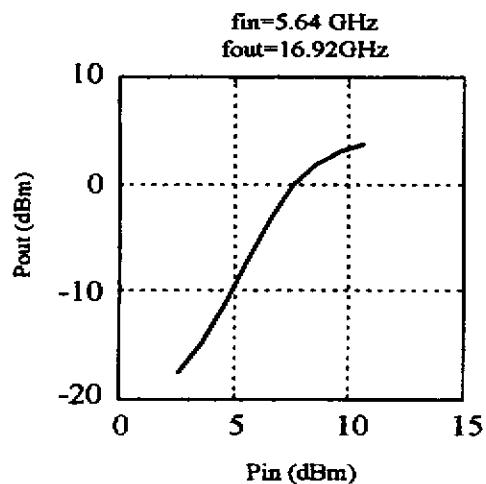
## 四、結論

由上節敘述顯示，本計畫之主要研究成果包含兩項，一為研製 3 至 18GHz MMIC 倍頻器，建立相關之設計、模擬及量測能力。二為提出一新的主動式倍頻天線陣列架構與設計方法，使用自振倍頻器以達到較高之倍頻輸出功率。此主動式倍頻天線陣列不僅可應用於相位天線，亦可做為毫米波信號源之空間功率整合器。

## 五、圖表

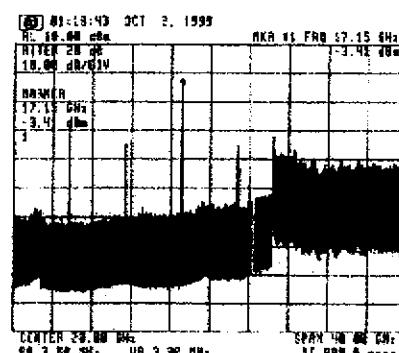
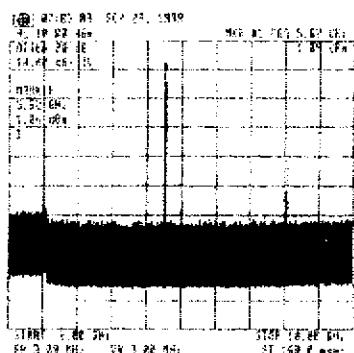


圖一 二倍倍頻器佈局圖。



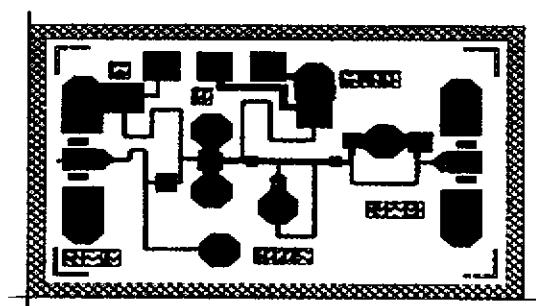
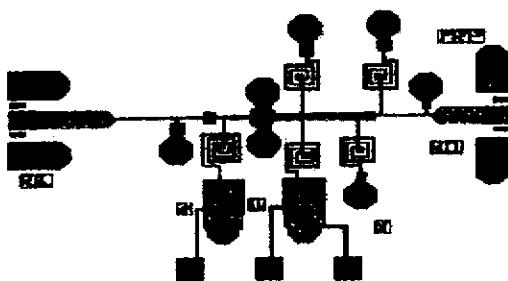
圖五 三倍倍頻器之輸出功率頻率響應量測結果。

圖二 二倍倍頻器之輸出功率頻率響應量測結果。



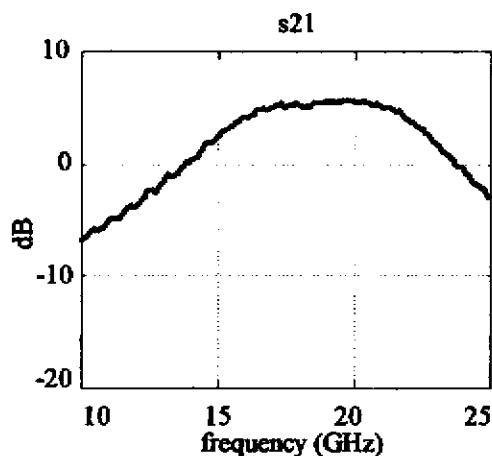
圖六 三倍倍頻器輸出頻譜量測結果。

圖三 二倍倍頻器輸出頻譜量測結果。

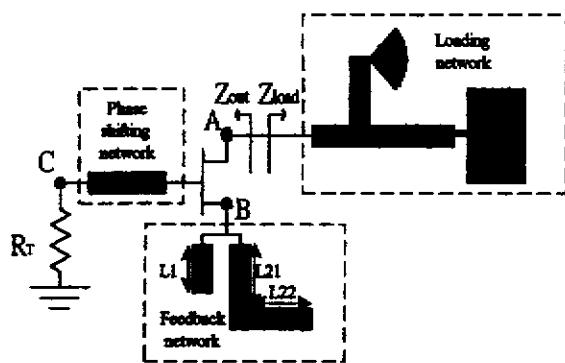


圖四 三倍倍頻器佈局圖。

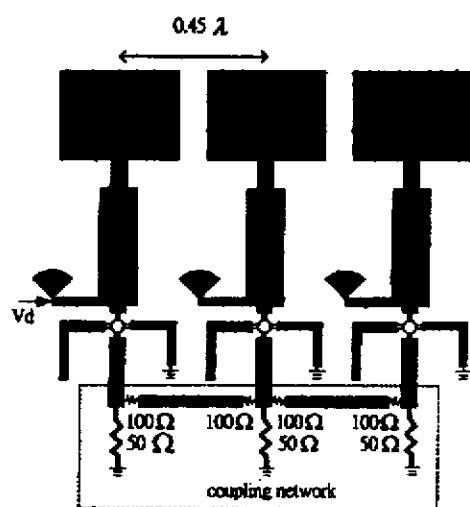
圖七 衝放大器佈局圖。



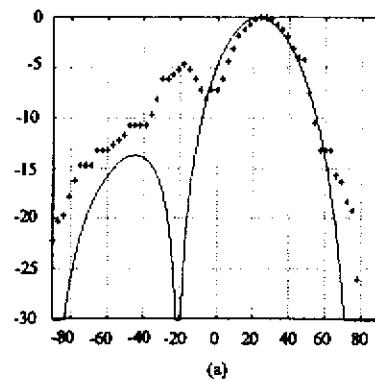
圖八 衡放大器增益量測結果。



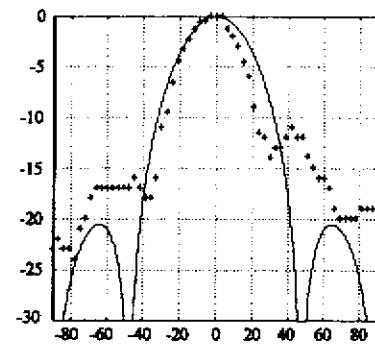
圖九 自振倍頻器電路。



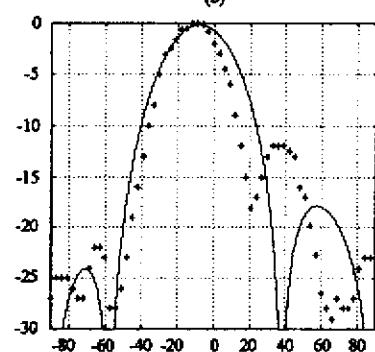
圖十 主動式倍頻天線陣列。



(a)



(b)



(c)

圖十一 主動式倍頻天線陣列於(a) $\Delta f=40\text{MHz}$ (b) $\Delta f=0\text{MHz}$  及(c) $\Delta f=-20\text{MHz}$  之輻射場型。

# 行政院國家科學委員會專題研究計畫成果報告

K-頻段無線收發關鍵元組件之研究」子計畫五

磷化銦鎵 HFET MMIC 製程 (1/3) (2/3) (3/3)

GaInP HFET MMIC processing

計畫編號：NSC 89-2219-E-002-044

執行期限：89年8月1日至90年7月31日

主持人：呂學士 國立台灣大學電機系

共同主持人：

計畫參與人員：潘宣佑 國立台灣大學電機所

                          涂欣元 國立台灣大學電機所

## 一、中文摘要

為了電晶體達到更高的截止頻率( $f_T$ )、最大振盪頻率( $f_{max}$ )，以及較低的雜音指數(noise figure)，我們需要減少電晶體閘極的長度，及減低閘極端的電阻。因此，如何在縮小閘極長度的同時，也能一併降低閘極電阻，便成了決定電晶體優劣的關鍵因素。基於上述兩點考量，T型(或蘑菇型)的閘極便被廣泛應用在現今的次微米元件之中。由實驗結果顯示，我們在沒有昂貴的電子束曝光機的幫助下，僅利用傳統的UV光阻微影術，便可做出具有次微米線寬之T型閘極之元件。本年度研究目標就是以次微米線寬之T型閘極異質場效電晶體為主動元件，設計並製造出工作在28GHz的MMIC功率放大器。

## Abstract

It is well known that the gate length of a FET has to be reduced in order to achieve a higher current gain cut-off frequency ( $f_T$ ). However, it is also necessary to keep the gate resistance low enough to maintain a high maximum oscillation frequency ( $f_{max}$ ) and a low noise figure. Therefore, T-gates are widely used in the submicron FETs, which are usually fabricated by expensive and time-consuming technologies, such as electron beam or deep ultra violet (UV) lithography [1] [2] [3] [4]. We have proposed a much less expensive technology for the fabrication of submicron T-gates by using the flowing property of normal UV

photoresist. In this report, We also successfully designed a 28GHz MMIC power amplifier.

## 二、緣由與目的

In order to achieve a higher current gain cut-off frequency ( $f_T$ ), it is taken for granted that the gate length of a FET has to be reduced essentially. On the other hand, it is also necessary to keep the gate resistance low enough to maintain a high maximum oscillation frequency ( $f_{max}$ ) and a low noise figure. Therefore, the T-shape gates, which can meet these both requirements at the same time, are widely used in the submicron FETs.

However, the technologies of fabricating T-gates, such as electron beam and deep ultra violet (UV) lithography, are very expensive and time-consuming. In view of this, we propose a much less expensive technology for the fabrication of submicron T gates by using the flowing property of normal UV photoresist. In this report, a HEMT device with a submicron T gate was fabricated by the proposed method, and the submicron property of T-gates was verified by measuring the high frequency performance of this device. We also successfully designed a 28GHz MMIC power amplifier.

## 三、研究方法與成果

The fabrication technique of

sub-micron T gate formation is detailed as follows. Initially,  $1\text{ }\mu\text{m}$  opening was defined by normal lithography and then a rapid heat treatment by rapid thermal annealing (RTA) was used to flow and shrink the normal UV resist opening. The heating temperature and duration control the opening shrinkage and thus desired gate length. Then, a thick layer of deep UV PMMA resist was spun on flowed resist and followed by a flood exposure to a deep UV source. A thin layer of gold metal was evaporated on the top of the deep UV resist and followed by a normal UV resist. The gold metal layer is  $\sim 0.1\text{ }\mu\text{m}$  so that the alignment key on the substrate is still visible. The softness of gold metal eliminates any wrinkle and cracking problems caused by heating in the photolithography and metal evaporation processing. The thin layer of metal is used to prevent the formation of an intermixing layer between normal and deep UV resists during the resist baking process[5]. The intermixing layer can cause difficulties in the subsequent resist developing processing. Then  $3\text{ }\mu\text{m}$  opening was developed on the second normal UV resist by a realignment technique. The thin layer metal was removed by wet chemical etching and the exposed UV PMMA resist was developed by chlorobenzene or toluene to obtain the desirable trilayer resist profile, shown in Fig 1, for T-shaped gate and lift-off. Finally, the submicron T-gate shown in Fig. 2 was formed after gate metal deposition and lift-off process. The footprint of the T-gate is  $\sim 0.4\text{ }\mu\text{m}$  and the top opening of T-gate is  $3\text{ }\mu\text{m}$ .

#### 四、結果與討論

The proposed submicron T-gate technique combined with conventional optical lithography and mesa-type wet etching has been successfully applied to the fabrication of  $0.4\text{ }\mu\text{m}$  GaInP HFETs. The results of microwave on-wafer S-parameters measurement are shown in Fig. 3. The current gain cut-off frequency ( $f_T$ ) and maximum oscillation frequency ( $f_{\max}$ ) were

45GHz and 70GHz respectively, under the bias condition of  $V_{GS}=-2.2\text{V}$ ,  $V_{DS}=3.5\text{V}$ . Fig 4. illustrates the cut-off frequency against gate length by the resist flowing technology. The MMIC power amplifier with gate width = $300\mu\text{m}$  we designed (chip layout shown in Fig 5) exhibited an experimental saturation output power of  $20.6\text{dBm}$  at  $28\text{GHz}$  as shown in Fig 6, which meets the goal ( $20\text{dBm}$ ) of this project.

#### 五、計畫成果自評

We have developed a novel method to fabricate sub-micron T gate FETs. This method is superior to the traditional techniques such as e-beam or deep UV lithography in terms of cost and time. We are applying a patent concerning about the sub-micron T gate by re-flowed resist we developed. One IEEE journal paper (Electron Device Letter) and one IEE Electronics Letter were also generated because of the support of this project. Therefore we believed that we have done a very good job and we are grateful for the continued support from NSC.

#### 六、參考文獻

1. Kazumi Nishimura, etc., " High performance  $0.1\text{-}\mu\text{m-self-aligned-gate GaAs MESFET technology," } IEEE Trans. Electron Devices, vol. 44, pp.2113, 1997.$
2. W. J. Jones, S. K. Ageno, and T. Y. Sato, "Very low-noise HEMT's using a  $0.2\text{ }\mu\text{m T-gate," } Electron. Lett., vol. 23, no. 16, pp. 844-845, 1987.$
3. K. Hosogi, N. Nakano, H. Minami, T. Katoh, K. Nishitani, M. Otsubo , " Photo/EB hybrid exposure process for T-shaped gate superlow-noise HEMTs" *Electronics Letters*, vol. 27 no. 22, 1991.
4. G. M. Metze, etc. "A dielectric-defined process for the formation of T-gate Field-effect transistors", *IEEE Microwave and guided wave letters*, vol.1, no.8, 1991.

5. WILLIAMS, R.: "Modern GaAs processing methods" (Artech House, Norwood, MA, 1990), pp.136-137

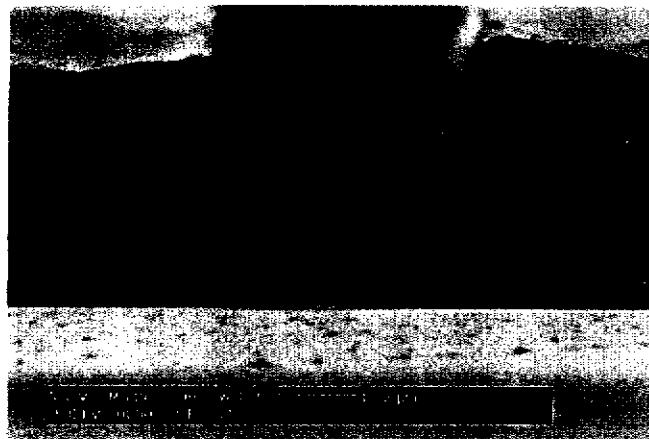


Fig.1. The profile of the trilayer resist for the submicron T gate.



Fig.2. The fabricated submicron T-gate on GaAs substrate.

The footprint is  $0.4\mu\text{m}$ .

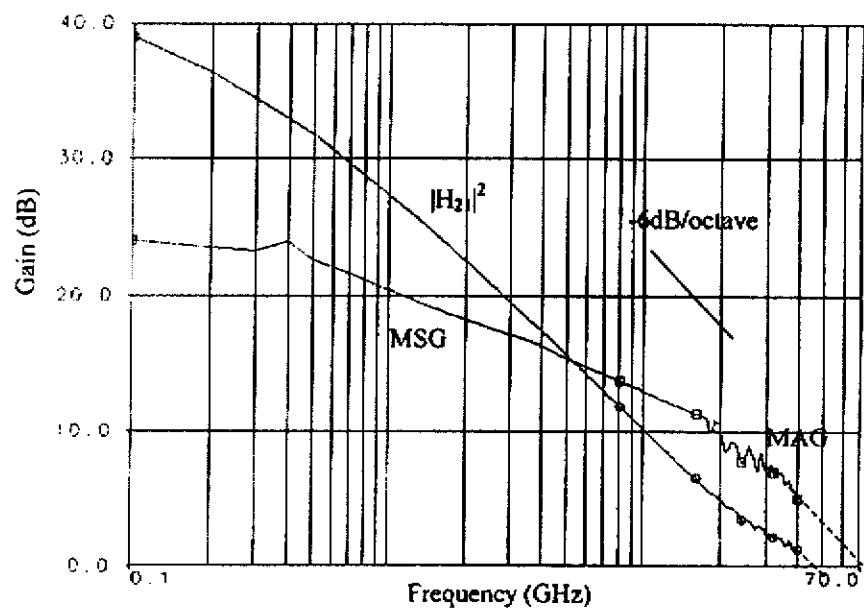


Fig.3. Power gain and current gain of GaInP HFET.

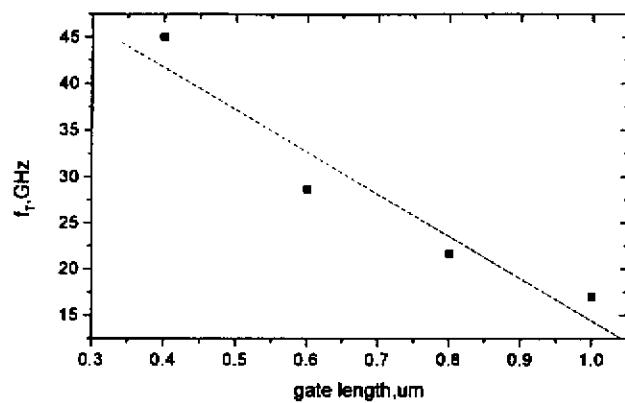


Fig. 4 Cut-off frequency against flowed photoresist gate length

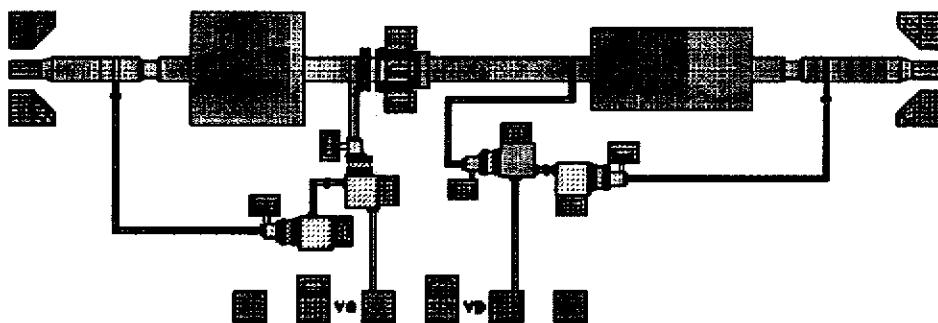


Fig. 5 The chip layout of 28GHz MMIC power amplifier

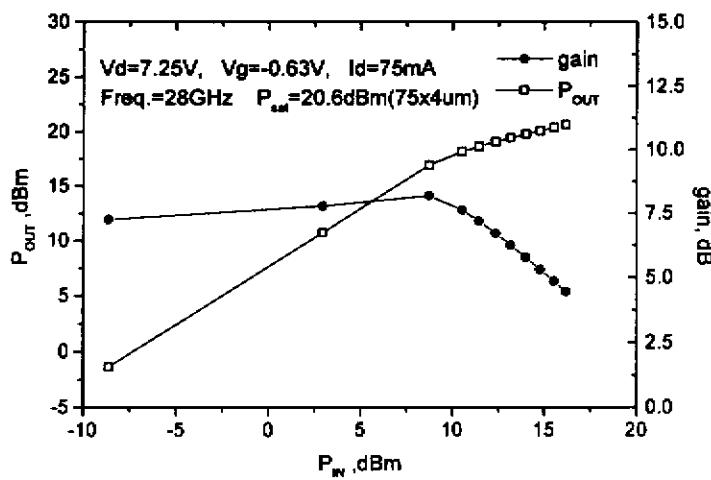


Fig. 6 The measured output power ( $P_{\text{out}}$ ) and power gain characteristics versus input power of 28 GHz MMIC power amplifier

「K-頻段無線收發關鍵元組件之研究」子計畫六：  
單面轉接器 (1/3), (2/3), (3/3)  
Uniplanar Transitions (1/3), (2/3), (3/3)

計劃編號：NSC 88-2219-E-002-013 (1/3)

NSC 88-2219-E-002-022 (2/3)

NSC 89-2219-E-002-045 (3/3)

執行期限：87 年 8 月 1 日至 90 年 7 月 31 日

主持人：陳俊雄 國立台灣大學電機系及電信所教授

共同主持人：江簡富 國立台灣大學電信所教授

計畫參與人員：林祐生、廖俊霖、王琦學、蔡孟娟、高志輝、  
林堅棠、郭裕康、張文華、陳敦士

一. 中文摘要 (關鍵詞：單面組件，共面波導至  
槽線轉接，共面波導至共面帶線轉接。)

本計畫目標為：研發兩種關鍵性的單面轉接器（即「共面波導至槽線轉接」與「共面波導至共面帶線轉接」），以提升國內單晶微波積體電路之技術。本研究的內容包括：設計用等效電路模型的建立，分析用電腦軟體程式集的完成，再結合理論分析與實驗量測，進行單面轉接器各種特性之詳盡探討。

第一年度計畫重點為：開發兩種「小型化共面波導至槽線轉接結構」。首先，藉修改四分之一波長轉換器的結構，本研究提出一種新的「雙螺旋型轉接結構」。其次利用集總元件代替四分之一波長轉換器，設計出另一種新的「集總型轉接結構」。第二年研究再改良而設計出新的「集總型共面波導至槽線轉接結構」，並完成 T 形及環形的集總型轉接器。

第三年度的研究將集總型轉接的概念，應用到共面波導至共面帶線轉接的設計，提出新的「基本集總型」與「集總 Marchand-balun 型」共面波導至共面帶線轉接器。對於以上各種轉接器，本研究皆提出對應的「等效電路模型」，作

為設計及模擬分析的工具。

**Abstract** (Keywords: Uniplanar components, coplanar waveguide-to-slotline transitions, coplanar waveguide-to-coplanar stripline transitions.)

The purpose of this investigation is to develop and study two uniplanar transitions (i.e., coplanar waveguide (CPW)-to-slotline (SL) transition and coplanar waveguide (CPW)-to-coplanar stripline (CPS) transition) for monolithic microwave integrated circuits. The goal is to establish equivalent-circuit models for practical design and associated computer software for theoretical analysis. In this study, various properties of uniplanar transitions are carefully examined, both theoretically and experimentally.

In the first-year research, novel reduced-size coplanar waveguide-to-slotline transitions are proposed and carefully examined. By a modification of the quarter-wavelength transformer configuration, the twin-spiral transition structure is first proposed. Alternatively, the lumped-element transition structure using lumped elements instead

of the quarter-wavelength transformer is also proposed. In the second-year research, the modified 'Ring type' and 'T type' lumped-element CPW-to-SL transition structures are also proposed.

In the third-year research, the lumped-element transition concept is extended to the design of CPW-to-CPS transition, and the novel basic type and Marchand-balun type lumped-element CPW-to-CPS transitions are proposed. Simple equivalent-circuit models are established for the above transition structures, from which the passband behavior of the proposed lumped-element CPW-to-CPS transition structures may be characterized.

## 二、研究方法與結果

第一年度研究重點為：開發兩種「小型化共面波導至槽線轉接結構」，即「雙螺旋型轉接器」及「集總型轉接器」。

傳統的「共面波導至槽線轉接」，均採用四分之一波長之短（開）路結構，其缺點為所佔面積大且頻寬較窄；為增加頻寬，也有學者採用圓弧型開路結構，而導致輻射損耗增加的缺點。

本研究新提一種小型化「雙螺旋型共面波導至槽線轉接」[1]，其結構如圖 1(a)所示，圖中共面波導之左槽線，連接到一雙螺旋槽線開路結構，期使共面波導中之傳送功率，能大部分轉送到右側之槽線中。為方便設計及分析「雙螺旋型共面波導至槽線轉接」，本研究提出一整合傳輸線理論與全波模擬的「混合等效電路模型」如圖 1(b)所示。

第一年度另一研究項目為「集總型共面波導至槽線轉接」[2]，其結構如圖 2(a)所示。本轉接器利用集總指叉電容器及一小段槽線短路，來形

成一電容(C)電感(L)並聯電路，以代替傳統四分之一波長轉換器，而達到縮小電路面積的目的，並以 LC 值來控制轉接器的中心頻率。其所對應之「混合等效電路模型」如圖 2(b)所示。

第二年研究項目為「集總型共面波導至槽線轉接」之改良，主要有 T 形及環形兩種，其結構如圖 3(a)及 4(a)所示。本轉接器利用集總指叉電容器及兩段槽線短路，來形成一 LC 並聯電路，可進一步縮小電路面積。圖 3(b)圖 4(b)各為其為對應的「等效電路模型」。

第三年研究項目為「集總型共面波導至共面帶線轉接」，主要有基本型[3]、[4]與 Marchand-balun 型[4]、[5]兩種，其結構分別如圖 5(a)及圖 6(a)所示。「基本集總型共面波導至共面帶線轉接」（圖 5(a)），係利用一小段金屬線及指叉電容，形成一 LC 並聯電路，而達到縮小電路面積的目的，並以 LC 值來控制轉接的中心頻率與頻寬。圖 5(b)為其對應之等效電路。

圖 6(a)為「集總 Marchand-balun 型共面波導至共面帶線轉接」之結構圖，此處將傳統 Marchand-balun 設計中的四分之一波長開路及短路轉接器，分別以串聯和並聯 LC 電路加以取代，如此可將轉接尺寸大幅減小，並且可直接引用傳統的濾波器合成技術，來決定其中各電感與電容值。圖 6(b)為其等效電路。上述等效電路中的各項參數，皆可依據電路結構，由經驗公式加以求算，故可大幅減少計算時間，亦能導入電腦輔助設計軟體加以模擬，提供設計上的方便性。

本研究以所建立「等效電路模型」為基礎，設計並研製上述各種共面波導至槽線及共面波導至共面帶線轉接，再輔以實驗量測方式，詳細探討轉接器的特性。對於本研究提出的轉接器，等效電路模擬皆可準確預測轉接器在通帶附近的響應，並具有計算快速的優點。

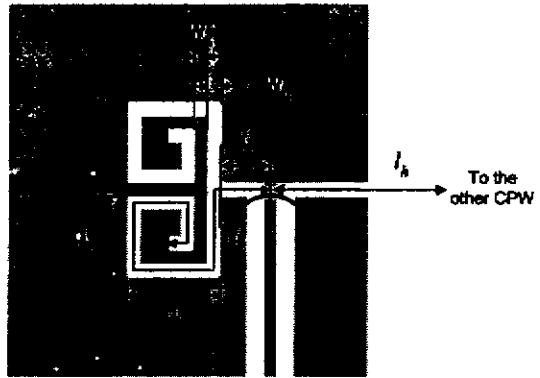
### 三. 結論

第一年度研究主要提出兩種新的「小型化共面波導至槽線轉接器」(雙螺旋型及集總型轉接器)，第二年再改良而完成T形及環形的集總型共面波導至槽線轉接器，皆可有效達成寬頻且低損耗的轉接特性，並提出簡便的「混合等效電路模型」，來完成轉接器之設計與分析工作。

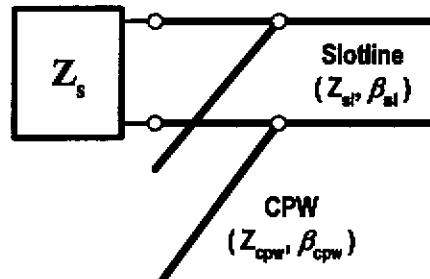
第三年度研究提出兩種新的「小型化集總型共面波導至共面帶線轉接器」(基本型與Marchand-balun型轉接器)，可有效達到縮小轉接尺寸的目標，且具有相當頻寬。並提出簡便的等效電路模型，作為設計與分析的工具。集總型轉接器因具備上述優點，而適合於單面單晶微波積體電路的應用上。

### 四. 參考文獻

- [1] Y. S. Lin and C. H. Chen, Design and modeling of twin-spiral coplanar-waveguide -to-slotline transitions, IEEE Trans. Microwave Theory Tech., vol. 48, pp. 463-466, March 2000.
- [2] Y. S. Lin and C. H. Chen, Novel lumped-element coplanar waveguide-to-slotline transitions, IEEE MTT-S Int. Microwave Symp. Dig., 1999, pp. 1427-1430.
- [3] Y. S. Lin and C. H. Chen, Novel lumped-element coplanar waveguide-to-coplanar stripline transitions, IEEE MTT-S Int. Microwave Symp. Dig., 2001, pp. 615-618.
- [4] Y. S. Lin and C. H. Chen, Novel lumped-element uniplanar transitions, to appear in IEEE Trans. Microwave Theory Tech., Dec. 2001.
- [5] Y. S. Lin and C. H. Chen, Lumped-element Marchang-balun type coplanar waveguide -to-coplanar stripline transitions, to appear in 2001 Asia-Pacific Microwave Conference.

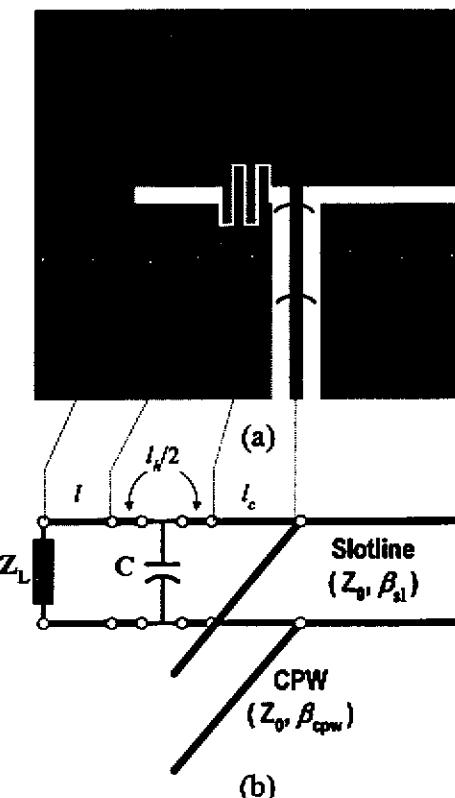


(a)

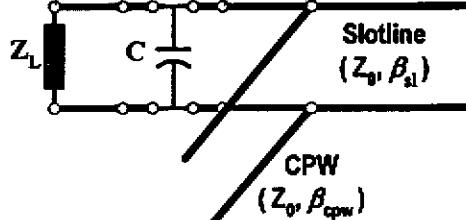


(b)

圖 1. 雙螺旋型共面波導至槽線轉接器。  
(a) 佈局電路，(b) 等效電路模型。



(a)



(b)

圖 2. 集總型共面波導至槽線轉接器。  
(a) 佈局電路，(b) 等效電路模型。

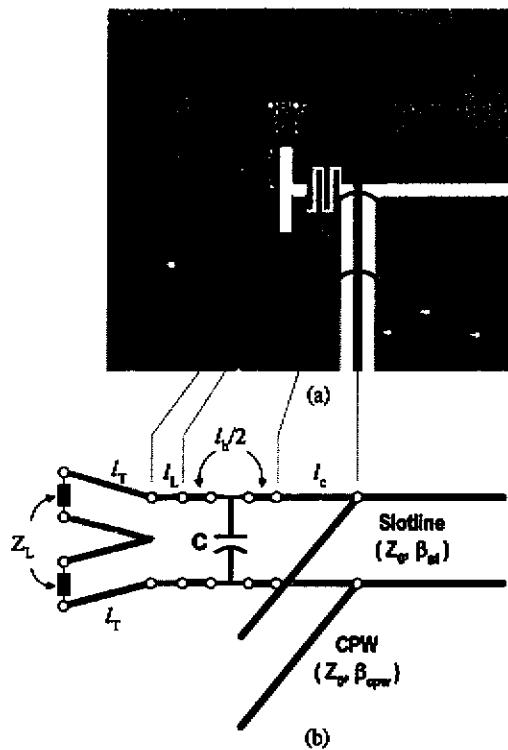


圖 3. T 形集總型共面波導至槽線轉接器，  
(a) 佈局電路，(b) 等效電路模型。

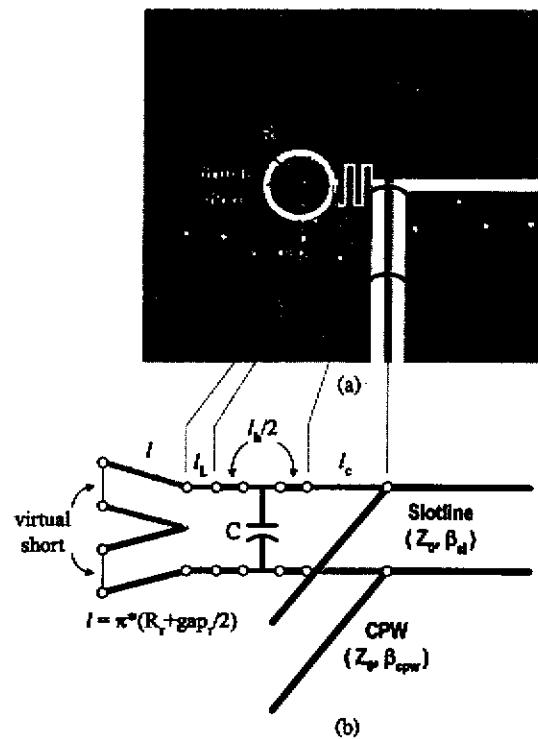


圖 4. 環形集總型共面波導至槽線轉接器，  
(a) 佈局電路，(b) 等效電路模型。

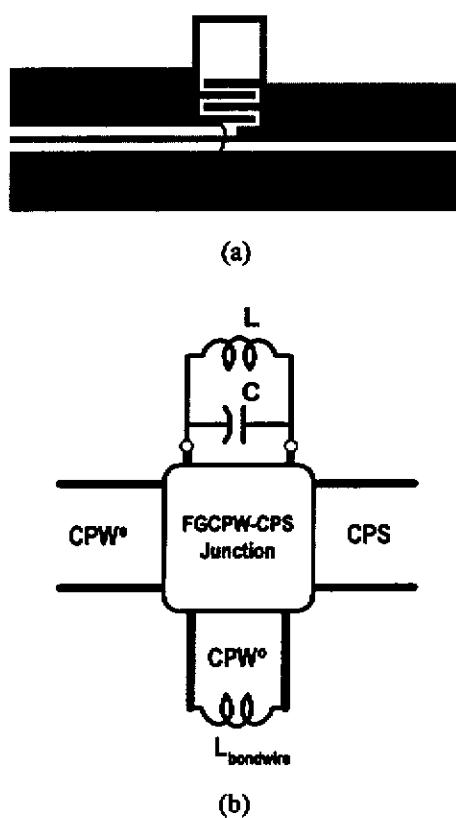


圖 5. 基本集總型共面波導至共面帶線轉接  
器，(a) 佈局電路，(b) 等效電路模型。

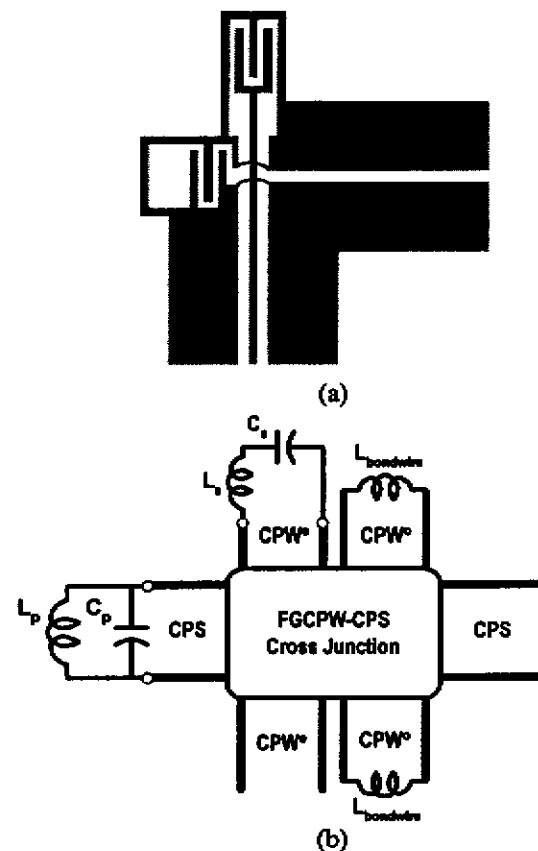


圖 6. 集總 Marchand-balun 型共面波導至共  
面帶線轉接器，(a) 佈局電路，(b) 等  
效電路模型。

# 行政院國家科學委員會電信國家型研究計畫成果報告

總計畫：K-頻段無線收發關鍵元組件之研究

子計畫七：應用於微波系統頻率合成器晶片之研製（1/3）（2/3）（3/3）

計畫編號：NSC 88-2219-E-002-010、NSC 88-2219-E-002-024

NSC 89-2219-E-002-046

執行期限：87年8月1日至90年7月31日

總計畫主持人：王暉教授 台灣大學電信工程研究所

子計畫主持人：劉深淵教授 台灣大學電機工程研究所

## 一、大綱

由於個人通訊的快速發展，使得無線通訊產業蓬勃發展。如下一代的數位網路：GSM、CT2、DECT等伴隨呼叫器與無線區域網路的個人通訊系統，亦同時存在同一頻段。更高頻率如 K-頻段之微波射頻通信亦是將來的通信寵兒。

此計畫中，我們欲實現 GHz 頻率合成器，以使用於其中頻電路。我們先將就鎖相迴路之理論進行研究，設計二個高頻低雜訊的頻率合成器，其輸出頻率為 2.4/2.5GHz 和 3.6/3.8 GHz 的信號，作為 K-頻段無線收發機之本地振盪信號。除了迴路濾波器外接，其他的電路均將它積體化，以 BiCMOS/CMOS 製程製成單晶片。為了使 IC 能工作高頻，設計高頻的分頻器電路，使得系統性能提升；並且希望此電路能工作於 3V 或更低之電壓，降低消耗功率。

## 二、採用方法

本計畫將以 BiCMOS/CMOS 之積體電路製程為主要電路架構，用以實現跳頻式頻率合成器與其控制電路、鎖相迴路及除頻器電路。實現各式電路之積體化。進行積體電路之佈局及晶片製造，最後測試並配合完成系統之整合。

採用本方法之原因

1. BiCMOS/CMOS 積體電路可工作於高頻數位及類比電路，適用於本計畫之頻段。
2. 積體化的電路，可降低成本、大小

及功率等，可提升其附加價值。

## 三、可能遭遇的困難

1. 開發高頻的跳頻式頻率合成器積體電路有相當的困難及挑戰性。
2. 全積體化鎖相迴路設計與實現。
3. 積體化電路的佈局連線的考量。
4. 測量設備與設計軟體之不足。

## 四、解決的途徑

1. 正確地推導理論，選擇正確的方塊圖，利用 CAD 軟體進行電路的模擬分析與設計，配合晶片的製作，相互驗證。
2. 收集相關資料，加以分析與研讀。
3. 添購量測儀器與相關 CAD 軟體。

## 五、進行步驟

第一年：

- (1) 設計高頻前置分頻器
- (2) 設計相位頻率偵測器
- (3) 完成頻率合成器行為模式之模擬
- (4) 建構電感模型

第二年：

- (a) 完成第一年中之
  - (1) 高頻前置分頻器
  - (2) 相位偵測器及其他控制電路
  - (3) 頻率合成器系統三項電路的全晶片佈局，並完成 2.4~2.5 GHz 本地振盪器頻率合成器晶片之製作與測試。

第三年：

- (a) 完成前兩年中之
- (1)高頻前置分頻器
  - (2)相位偵測器及其他控制電路
  - (3)頻率合成器系統  
三項電路的全晶片佈局，  
並完成 3.6~3.8 GHz 本地  
振盪器晶片之製作與測試。
- (b) 對於(a)之電路進行改進與系統性能改善之可行性分析，以及晶片電路及佈局之改良。

## 六、歷年成果

### 1.論文發表

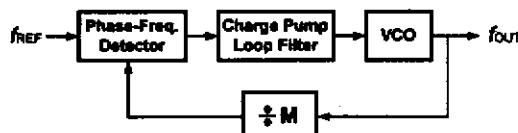
1. C. Y. Yang *et al.*, "New dynamic flip-flops for high-speed dual-modulus prescaler," *IEEE Journal of Solid-State Circuits*, vol.33, pp. 1568-1571, October 1998
2. C.Y. Yang and S.I. Liu, "Fast-switching frequency synthesizer with a discriminator-aided phase detector", *IEEE Journal of Solid-State Circuits*, pp. 1445-1452, October. 2000 (NSC88-2219-E-002-024)
3. J. M. Yang *et al.*, "A 2.4GHz CMOS LC-Tank Voltage-Controlled Oscillator", presented in 11<sup>th</sup> VLSI/CAD Symposium 2000, pp.269-272.
4. C. Y. Yang and S. I. Liu, "A one-wire approach for skew compensating clock distribution based on bidirectional techniques", accepted by *IEEE Journal of Solid-State Circuits* 2000. (NSC88-2219-E-002-024)
5. Chih-Chun Tang and Shen-Juan Liu, "Low voltage CMOS low noise amplifier using the planar interleaved transformer", *Electronics Letters*, vol. 37, pp. 497-498, April 2001.
6. Chih-Chun Tang, Chia-Hsin Wu, Wu-Sheng Feng, and Shen-Juan Liu, "A 2.4GHz Low Voltage CMOS Down-Conversion Double-Balanced Mixer", *IEICE Trans. on Electronics*, Vol. E84-C, pp. 1084-1091, Aug. 2001.
7. Chih-Chun Tang, Chia-Hsin Wu, Chi-Kun Chiu, Shen-Juan Liu, "Analysis and Application of Miniature 3D Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O.C., Session: RF ICs, Sensors and Actuators, B3-1, Aug. 2001
8. Chia-Hsin Wu, Chih-Chun Tang, Shen-Juan Liu, "A 2.4GHz CMOS LNA with New Area-Efficient Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O. C., Session: RF ICs, Sensors and Actuators, B3-10, Aug. 2001
9. Chih-Chun Tang and Shen-Juan Liu, "A 1V 5.8GHz CMOS Low Noise Amplifier in a 0.35um CMOS Process", accepted by 2001 International

Symposium on Communications, Tainan, Taiwan, Nov. 2001

### 2.專利申請

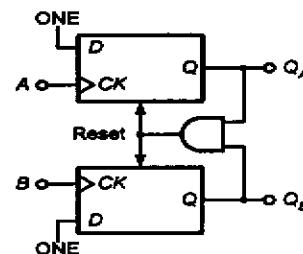
PAT-89EE-114 「應用除小數原理的前置分頻器」(專利申請中)。

### 3.完成 3.6GHz-3.8GHz 頻率合成器



圖一、頻率合成器方塊圖

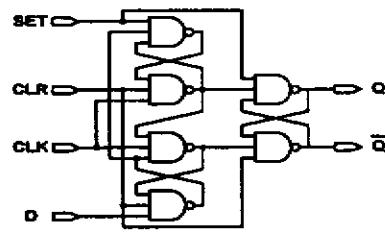
頻率合成器的方塊圖如圖一所示，包含相位 / 頻率偵測器 (Phase/Frequency Detector)、電荷泵、迴路濾波器、壓控振盪器和迴授除頻器。個別方塊的設計、實現和測試如下所述 (使用製程為 TSMC0.35um 製程)：



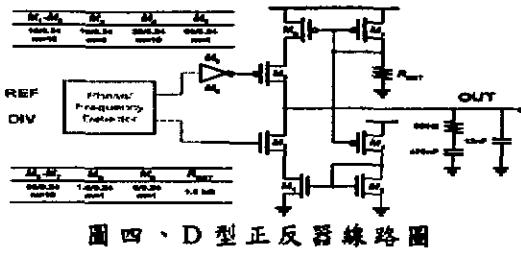
圖二、相位偵測器線路圖

### (1) 相位 / 頻率偵測器

線路如圖二所示，由兩個 D 型正反器和一個 AND 閘構成。其中 AND 閘為標準的 CMOS AND gate，正反器的線路則如圖三所示。在使用上是將 AND 閘以 NAND 閘取代，並將圖三中 D 型正反器的 SET 接到 high，以 CLR 腳來做重置的工作。



圖三、D型正反器線路圖



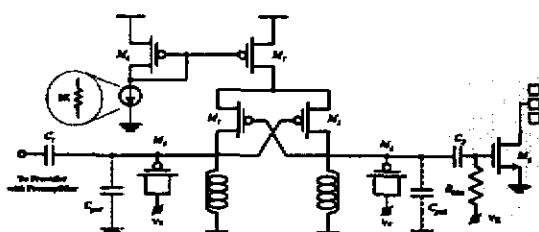
圖四、D型正反器線路圖

### (2) 電荷汞／迴路濾波器

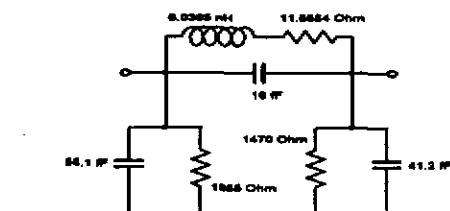
電荷汞負責將相位／頻率偵測器所偵測到的數位信號轉變為類比電流，線路以及與相位／頻率偵測器的接線方式如圖四所示。電荷汞所輸出的電流流入迴路濾波器中，產生用來控制壓控振盪器的電壓。

### (3) 壓控振盪器

我們採用 LC 壓控振盪器，因為它可以提供比環型振盪器和鬆弛式振盪器更好的相位雜訊。我們所使用的電感為標準 CMOS 製程也可製造的螺旋式電感，變電容則為電晶體變電容器，線路圖如圖五所示。



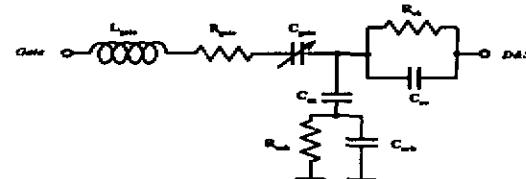
圖五、LC 壓控振盪器線路圖



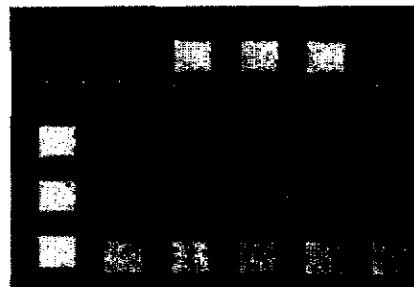
圖六、LC 壓控振盪器中電感的模型

螺旋式電感為一極度非理想的電感，因此我們先製作一批圈數和大小不同的電感，量測它們的 S 參數，然後使用一個集總模型來匹配之，再將此模型代入 HSPICE 中模擬，使用的模型如圖六所示。至於

變電容器也是採用一樣的方法，量測完並建立好模型後再將之帶入模擬之，使用的模型如圖七所示。

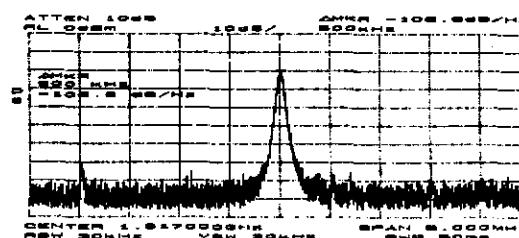


圖七、LC 壓控振盪器中變電容器的模型

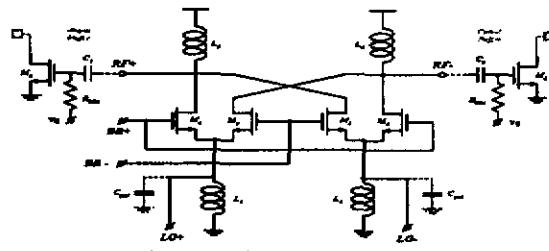


圖八、壓控振盪器佈局和微相片

因為在 0.35um 的製程中要直接實現 3.6~3.8GHz 的壓控震盪器較為困難，所以我們是採用製作一個操作在 1.8~1.9GHz 的壓控震盪器和一個頻率倍頻器來達到相同的效果。其中 LC 壓控振盪器的微相片如圖八所示。



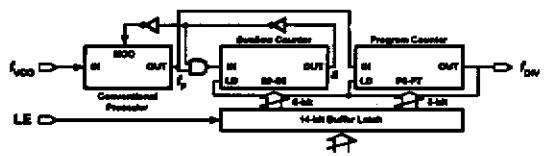
圖九、壓控振盪器輸出頻譜



圖十、頻率倍頻器線路圖

測到壓控震盪器的輸出頻譜如圖九，可以看到在 500kHz 偏移的位置，相位雜訊約為 -108.8dBc/Hz。

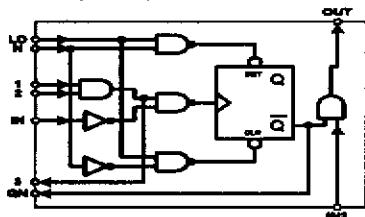
量測所得可調範圍約180MHz，因此 tuning sensitivity 為 60MHz/V。所使用的頻率倍頻器線路則如圖十所示。



圖十一、迴授除頻器方塊圖

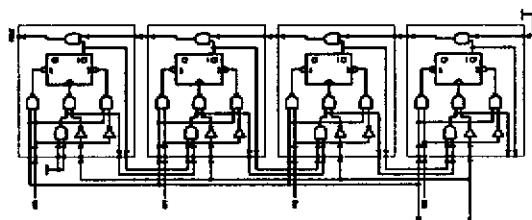
#### (4) 迴授除頻器

迴授除頻器的方塊圖如圖十一，由一個前置分頻器、兩個同步計數器和一些控制邏輯閘組成。其中前置分頻器已於第一年完成，其餘部分的線路描述如下。



圖十二、計數器單元

兩個同步計數器皆由標準同步計數器架構實現，標準同步計數器所使用的基本單元如圖十二，主要由一個 D 型正反器和一些邏輯閘組成。建構一個同步計數器的方式可以圖十三中的四位元計數器說明之，基本上要幾個位元數，就拼幾個單元即可。本線路所需的包括六位元和八位元的同步計數器。

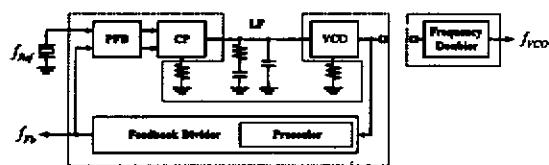


圖十三、四位元同步計數器

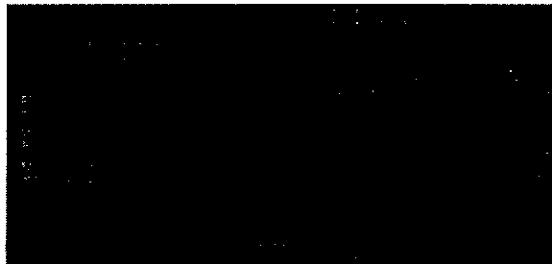
#### (5) 完整頻率合成器

整個頻率合成器的線路圖如圖十四所示，外接元件包括一個三階迴路濾波器、石英振盪器、控制電荷

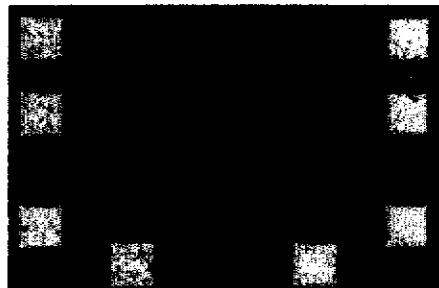
汞電流。佈局圖如圖十五所示，晶片面積為 2420um×1150um。頻率倍頻器部分的佈局圖如圖十六所示，晶片面積為 840um×560um。



圖十四、頻率合成器線路圖

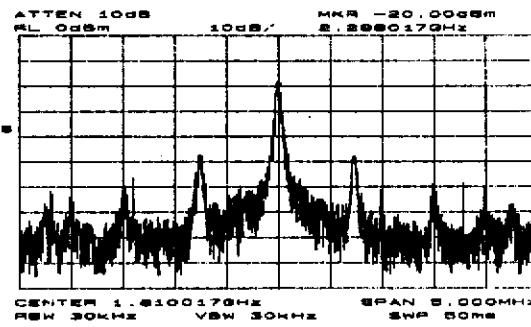


圖十五、頻率合成器佈局圖



圖十六、頻率倍頻器佈局圖

量測所得之頻譜為圖十七，為 1.8GHz 壓控控震盪器的輸出。其最後一位 (kHz) 均有誤差，此為石英振盪器所貢獻。



圖十七、1.8GHz 頻譜

# 行政院國家科學委員會專題研究計劃成果報告

## K-頻段無線收發關鍵元組件之研究-子計畫八： 半導體元件模型及功率放大器

### High frequency semiconductor device model and power amplifier

計畫編號: NSC88-2219-E-005-003、NSC88-2219-E-005-004、  
NSC89-2219-E-005-004

執行期限: 87年8月1日至90年7月31日

主持人: 孟慶宗 國立中興大學電機系

計畫參與人員: 楊書孟、陳建維、張靖輝

#### 一. 中文摘要

我們以二維元件模擬器對砷化鎵場效電晶體分析，針對四種不同的閘極長度來分析其小訊號。研究結果顯示閘極長度與小訊號參數  $C_{gs}$  及  $R_i$  有密切的關係。金屬半導體場效電晶體之膝電壓，夾止電壓，崩潰電壓和最大之射頻汲極電流會鉗住 I-V 輸出波形並造成增益之壓縮和功率之飽和。元件在不同的操作偏壓下或是具有不同的負載阻抗，都會有不同的增益壓縮機制。

#### Abstract

2-D semiconductor device simulations are used to study GaAs FETs'. However, in order to investigate the dependence of the small-signal circuit parameters on the gate length, thus, four kinds of gate length structures have been simulated for small-signal circuit parameters. The results show that the gate length affects small-signal circuit parameter  $C_{gs}$  and  $R_i$ . There is a distinct signature in average rf gate and drain currents for

each gain compression mechanism. Depending on its bias point and its associated loadline impedance, a device may have different gain compression mechanism.

#### 二. 緣由與目的

Knowledge of the bias-dependent intrinsic circuit parameters of a FET is useful in characterizing device and process technologies. A 2-D simulator is used to establish the relations between device design parameters and intrinsic circuit parameters for GaAs FET. In this report, gain compression mechanisms for GaAs MESFETs are determined by observing the average rf gate and drain currents. Each clipping mechanism has its distinct signature in average rf gate and drain currents. we using experimental average rf gate and drain currents to determined Gain Compression mechanism will found that the gain compression mechanism is

very sensitive to the loadline impedance presented to the device at a normal biased point.

### 三. 研究方法與成果

Circuit parameters as a function of bias voltages for GaAs FET with different gate length are presented here. In this work, we have simulated GaAs FETs with gate lengths of 0.4  $\mu\text{m}$ , 0.7  $\mu\text{m}$ , 1  $\mu\text{m}$  and 2  $\mu\text{m}$ . Figure 1. illustrates schematic cross-sectional sketch of GaAs FETs. A narrow-recessed MESFET device with doping density of  $2.9 \times 10^{17}/\text{cm}^3$  and 1  $\mu\text{m}$  gate length is used to study gain compression mechanisms at different bias points. The measured coplanar devices have gate width 6x50  $\mu\text{m}$  for doping density of  $2.9 \times 10^{17}/\text{cm}^3$ . A CW signal ranging from -15dBm to +10dBm at a fixed frequency of 1.8 GHz is applied to the device in the load pull measurement. The input tuner impedance is set to maximize small signal gain while the output tuner impedance is set to maximize output power at a certain input power. A device at one given bias point may have different gain compression mechanisms for various loadline impedances. In this paper, the observation of RLO and RHI under load-pull condition for power MESFETs using experimental average rf gate and drain currents at 1dB gain compression point is demonstrated for the first time and we choice five bias points to be measured.

### 四. 結果與討論

An examination of the figure 2(a) and 2(b) reveals that  $R_i$  decreases with gate length. This is because that  $R_i$  is the resistance of the semiconductor region under the gate.  $C_{gs}$  and  $C_{gd}$  are the gate channel capacitances. As shown in figure 3(a) and 3(b), gate length has pronounced effect on  $C_{gs}$ . However,  $C_{gd}$  is less sensitivity to the gate length. Figure 4(a) (near knee voltage) illustrates the average rf gate current is zero and average drain current remains unchanged when gain compression (near P1dB) occurs. Figure 4(b) (near pinch-off voltage) illustrates the average drain current increases at P1dB. However, gate current is zero because gate is still in reverse bias when gain compression occurs. Figure 4(c) (near breakdown voltage) illustrates the average rf gate current becomes negative and the average rf drain current increases near P1dB. Figure 4(d) (near maximum drain current) illustrates the average rf gate current is zero and average drain current remains unchanged when gain compression (near P1dB) occurs. Fig 5~8 illustrates the experimental results of RHI and RLO.

### 五. 參考文獻

- [1] Philip L. Hower and N. George Bechtel, "Current Saturation and Small-Signal Characteristics of GaAs Field-Effect Transistor", IEEE Trans.

Electron Devices Vol.ED-20, No3, 1973,  
p.213

[2] J. Walker, "High power GaAs FET amplifier", Artech House.

[3] S.C. Cripps, "Conventional high efficiency amplifier modes", Ch. 3, Rf power amplifiers for wireless communications, Boston, London: Artech House pp.66-67.

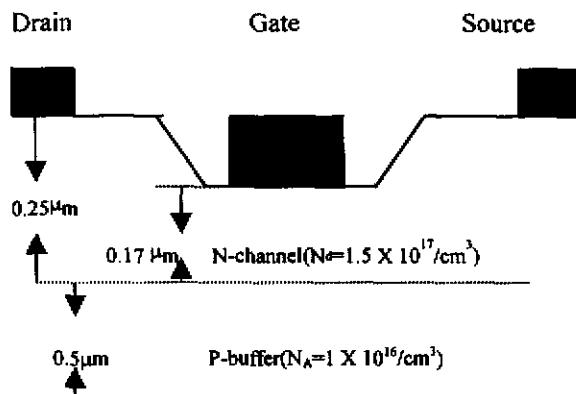


Figure 1. Schematic cross-sectional sketch of GaAs MESFET's

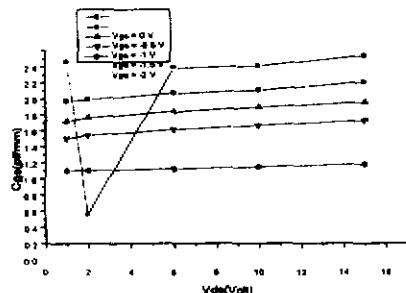


Figure 2(a). Cgs for 2  $\mu\text{m}$  gate length

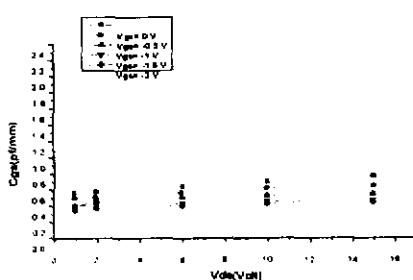


Figure 2(b) Cgs for 0.4  $\mu\text{m}$  gate length

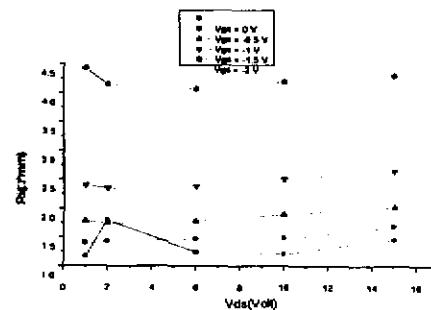


Figure 3(a). Ri for 2  $\mu\text{m}$  gate length

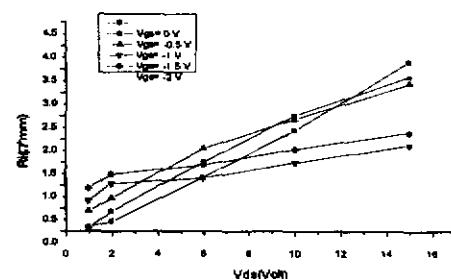


Figure 3(b). Ri for 0.4  $\mu\text{m}$  gate length

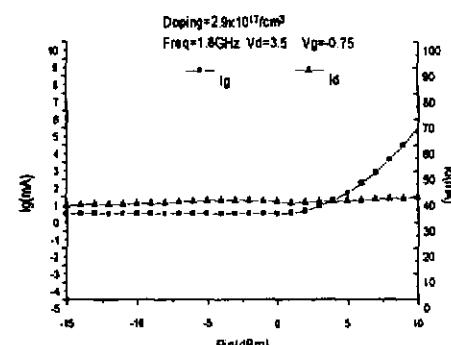


Figure. 4(a) Gate current and drain current versus input power at  $V_d=3.5\text{V}$  and  $V_g=-0.75\text{V}$ .

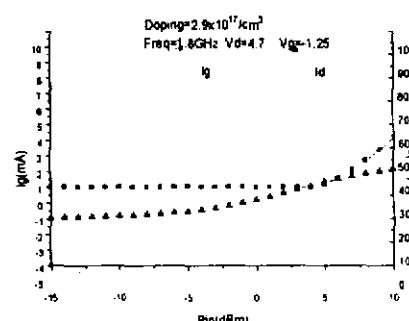


Figure.4(b) Gate current and drain current versus input power at  $V_d=4.7\text{V}$  and  $V_g=-1.25\text{V}$ .

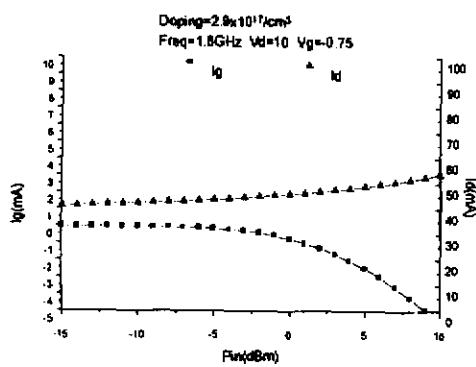


Figure 4(c) Gate current and drain current versus input power at  $V_d=10V$  and  $V_g=-0.75V$ .

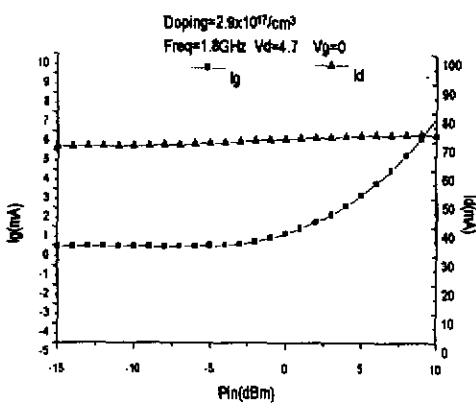


Figure 4(d) Gate current and drain current versus input power at  $V_d=4.7V$  and  $V_g=0V$ .

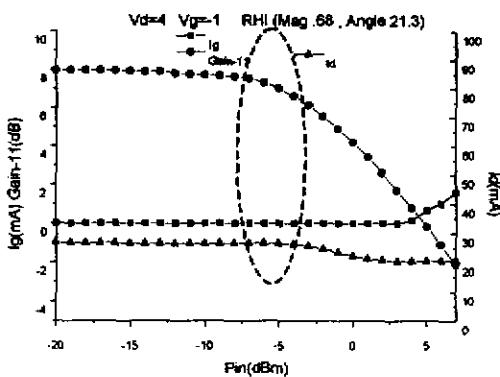


Fig. 5 Gain, Ig and Id vs. Pin when biased toward knee voltage with RHI load impedance. The corresponding gain compression mechanism is the knee voltage (Ig=0 and Id unchanged at G1dB).

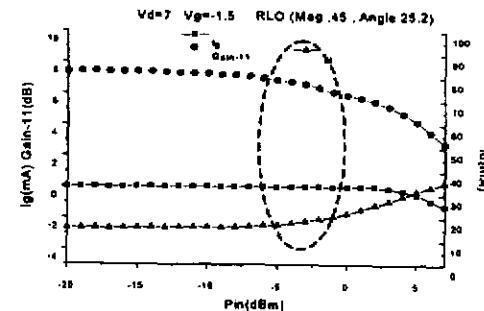


Fig. 6 Gain, Ig and Id vs. Pin when biased toward pinch-off voltage with RLO load impedance. The corresponding gain compression mechanism is the pinch-off voltage ( Ig=0 and Id increasing at G1dB).

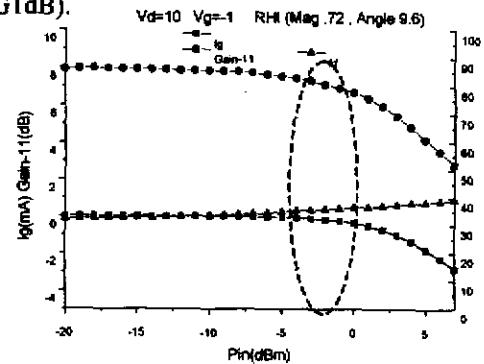


Fig. 7 Gain, Ig and Id vs. Pin when biased toward breakdown voltage with RHI load impedance. The corresponding gain compression mechanism is the breakdown voltage ( Ig<0 and Id increasing at G1dB).

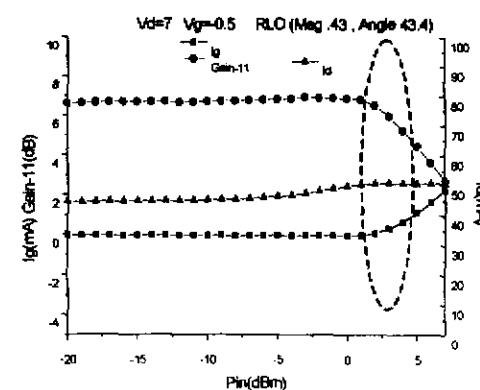


Fig. 8 Gain, Ig and Id vs. Pin when biased toward maximum drain current with RLO load impedance. The corresponding gain compression mechanism is the maximum drain current ( Ig>0 and Id unchanged at G1dB).