

行政院國家科學委員會專題研究計畫 成果報告

子計畫三：5GHz 無線系統晶片的射頻自我測試技術

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-002-005-

執行期間：92年08月01日至93年10月31日

執行單位：國立臺灣大學電信工程學研究所

計畫主持人：黃天偉

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 1 月 31 日

行政院國家科學委員會補助專題研究計畫成果報告

※※※※※※※※※※※※※※※※※※※※※※※※※※※※※※

※ 具有內建自我測試功能之 5GHz 超低功率 ※

※ 無線通訊系統之研製--子計畫三： ※

※ 5GHz 無線系統晶片的射頻自我測試技術 ※

※※※※※※※※※※※※※※※※※※※※※※※※※※※※※※

計畫類別：個別型計畫 整合型計畫
計畫編號：NSC92-2220-E-002 -005
執行期間：92 年 8 月 1 日至 93 年 10 月 31 日

計畫主持人：黃天偉副教授

- 本成果報告包括以下應繳交之附件：
- 赴國外出差或研習心得報告一份
 - 赴大陸地區出差或研習心得報告一份
 - 出席國際學術會議心得報告及發表之論文各一份
 - 國際合作研究計畫國外研究報告書一份

執行單位：國立台灣大學電信所

中華民國 94 年 1 月 31 日

具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製-- 子計畫三：5GHz 無線系統晶片的射頻自我測試技術 RF Built-in-self-test techniques for 5GHz wireless SOC (I)

計畫編號：NSC92-2220-E-002 -005

執行期限：92 年 8 月 1 日至 93 年 10 月 31 日

主持人：黃天偉 國立台灣大學電信所副教授

E-mail：twhuang@cc.ee.ntu.edu.tw

一. 中文摘要 (關鍵詞：射頻內建式自我測試、射頻積體電路、射頻系統晶片、系統晶片測試)

自我測試電路在數位電路中已十分常見，然而在射頻電路的領域卻是還未成熟的技術。為了研究自我測試電路應用在射頻電路的可行性，我們在這三年計畫之第一年的研究可分為三方面：1.射頻放大器自我測試方法的分析。2.關於未來系統測試中需要的系統封裝關鍵元件之研製，並有多篇論文發表於國際會議之中 3.發展射頻週邊掃描電路作為射頻自我測試的功能控制，並完成週邊掃描電路與射頻電路的整合工作，並提出專利申請。

Abstract (Keywords: RF Built-in Self-test, RF IC, RF SOC, SOC Test)

While it is so common in digital circuits, built-in-self-test (BIST) is not mature in RF circuits' domain. In order to find the possibility to implement BIST in RF circuits, our first year research among the three project includes: 1. The analysis of RF amplifier BIST methods. 2. The system-in-package components are developed for the future system self test, which have been published in several

international conference papers. 3. The RF boundary scan cell (BSC) to control RF-BIST function is developed and integrated with RF circuits, which has been submitted to U.S. patent.

二. 前言與研究背景和目的

無線通訊是目前非常熱門的研究領域，其中射頻電路更扮演了極重要的角色。由於積體電路製程進步迅速，當積體電路的複雜度提高，其可測試性也就相對的重要，目前許多數位電路皆有自我測試功能，本計畫希望將此自我測試功能應用於射頻積體電路。

本計劃精簡報告書是三年計畫中之第一年的成果發表。第一年我們主要研究方向是偏向射頻元件的測試，而第二、三年後，才進入系統規格的測試。所以第一年以研究射頻放大器自我測試方法的分析，我們期望射頻晶片在大量生產中，以最少的測試項目即最低的測試成本而能夠找出最大的錯誤涵蓋率 (Fault Coverage)。

為預備第二、三年的系統測試研究所需元件，第一年的進度是以射頻系統封裝 (System in Package, SIP) 元件開發當作為初步的目標，我們研究了許多測

試中需要的關鍵元件，例如濾波器[1]、轉接器[2]、差動信號轉換器[3]，[4]，並有多篇國際會議論文發表。

另外在數位電路中，常使用週邊掃描信號作為積體電路自我測試功能的控制，我們希望能夠整合此概念進入射頻電路中，而此想法堪稱為工業界的創舉[5]。由於週邊掃描電路是由許多複雜的數位邏輯電路所構成，但是射頻電路對於負載效應非常的敏感，因此將兩者結合在需要適當的隔離電路；在[6]提出了利用螺旋電感與電容的方式作為隔離電路，然而隔離電感所佔據面積很可觀，因此我們又提出電阻與電容作為隔離電路的想法[7]。

射頻電路的測試有別於其他電路的測試考量，除了測試的儀器十分昂貴外(不可能買太多台)，測試射頻電路時常需要額外時間(如儀器校準、需要時間平均才能穩定判讀量測數據)等，這些問題在量產時都是非常實際的問題，因此自我測試電路對於射頻電路更顯得格外重要。本成果報告對於射頻電路的測試已有了初步的方向與成果，希望能對台灣的學術界及工業界有一定程度的貢獻。

三. 文獻探討

近幾年來有許多文獻探討有關射頻方面的測試：比如利用”signature testing”當作一種測試的方法[8]，如此只需要較便宜的測試儀器，也可以節省測試時間；此外有些論文提到可以利用 A/D、D/A 及 DSP 的方法來作為系統的測試[9]，[10]；也有些作者提出將射頻的訊號降頻到直流來當作測試的方法[11]，以上方法大多以系統的角度作為射頻電路的測試方法；但本子計畫除了用系統整合的測試觀點外，更以電路設計層次的角度，提出簡單但實用的檢測方法；此外更整合

了週邊掃描電路進入射頻電路中，使得從基頻電路到射頻電路都擁有週邊掃描電路，作為控制自我測試的功能。

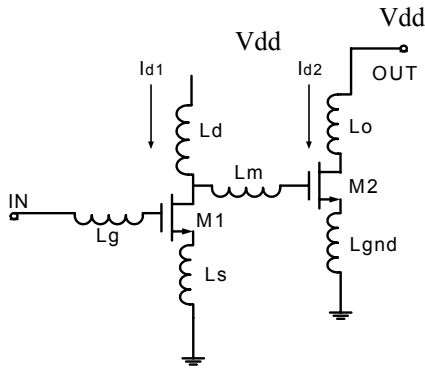
四. 研究方法與結果

A. 射頻放大器自我測試方法分析

在第一年中，我們利用射頻放大器作為測試的考量，研究被動元件在製程變異下，其元件的缺陷是否可以在測量最少的項目下，利用測試直流電流的特性再加上最少的其他測試項目，得到可接受的錯誤的涵蓋率(Fault Coverage)；而第二、三年後再進入系統測試的規格。

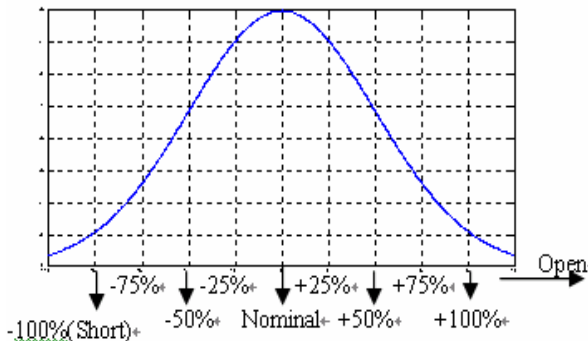
在數位的電路中，常利用”開路”及”短路”這兩種錯誤的模式，作為測試電路判斷依據，這兩種錯誤也可能會出現在射頻電路中的被動元件中，通常有這種錯誤情形發生時，是非常嚴重的，可稱為災難型的錯誤(Catastrophic Fault)，必須要偵測的出來。除了這兩種錯誤外，另外還有一些被動元件並不是完全的開路或是短路，而是比原本的值(Nominal Value)，相對的增加或是減少，此種錯誤我們稱之為參數型錯誤(Parametric Fault)。

為了要分析測試方法，我們利用了一個 5.8GHz 的低雜訊放大器[12]當作範例，此放大器是採用 CMOS 0.35 μm 的製程，主要的電路簡圖如圖一，其中輸入及輸出端都採用 Bias-Tee 的方法給偏壓，而此電路有兩級，第一級是為了雜訊指數設計之用，第二級是為了提升增益，所有的匹配電路都採用螺旋狀的電感，這些電感主要為了匹配、穩定以及增益考量所用；這六個電感值是我們要用來分析的變數。



圖一. 5.8GHz 低雜訊放大器電路圖

大部分的元件在製程時都會有變異，而此變異會造成所謂的參數型錯誤。在這篇報告中我們假設採用常態分布的電感值變異，如圖二，來做為以下的分析。由圖二我們可以發現，元件變異值可以由短路一直增加到開路，我們利用 25%當作每一次變異改變的比例來均分所有的變異範圍，由此觀點看來，所謂的災難型的錯誤也就是參數型錯誤的兩種極值。



圖二. 電感值因製程變化而呈常態分布的曲線。(X 軸：電感值變化的百分比；Y 軸：pdf)

低雜訊放大器的規格，以及測試要求符合的規格整理如表一所示。

表一. 放大器的規格及測試要求符合規格

	Id1 / Id2 (mA)	S21 (dB)	S11 (dB)	S22 (dB)	NF (dB)
Spec.	$\leq \pm 0.4$	> 9	< -10	< -9	< 4
Nominal Results	7.3 / 8.2	10.3	-12.7	-10.1	3.6

我們利用了三種層次的方法來測試本電路：

- (1). 直流電流 (如圖一中的 Id1 與 Id2)
- (2). S 參數 (包括 S11、S21 與 S22)
- (3). 雜訊指數 (NF)

之所以採用以上的測試順序是非常自然的偵錯，因為唯有在直流偏壓正確下，才能去判斷 S 參數，而且雜訊指數與增益與 S11 都有高度相關，因此採用這樣的測試順序是有偵錯意義的。

分析電感的錯誤時我們採用了以下兩個假設：

- (1). 至少一個以上的電感值有變異
- (2). 所有變異的電感都有相同的變異量

因為在此電路中有六個電感，因此錯誤的電感數量是從 1 到 6 個，針對每一種錯誤的電感數量中都是由不同位置的電感組合成，因此我們可以得到如表二，我們會有 63 種錯誤的組合，而針對不同的元件值變異量都會有此 63 種組合，因此，對於九種電感值變化，我們總共會有 567 (63x9) 種錯誤的資料。

表二. 有變異的電感數量及其組合數

變異電感數	1	2	3	4	5	6	total
組合數	6	15	20	15	6	1	63

由於我們已經訂出不合乎規格的條件，因此只要找出所有的不合乎規格的次數，即可以得到偵測錯誤涵蓋率 (Fault Coverage)：

Fault Coverage= A/B (%)

其中 A 是偵測到的錯誤數目；B 是所有錯誤型態數目。此值越接近 100%，此種測試的項目是越有效的。

除了單一測試的項目外，我們也可以結合不同型態的測試項目在一起，比如說

我們可以結合直流測試與 S 參數測試，或是結合所有的測試。在此份報告中，我們採用了 16 種型態的測試方法，我們的目標是：希望能夠由最少的測試項目而得到最多的錯誤覆蓋率。整理之前所有提到變數及量測項目如表三，所有的分析結果如表四。

表三. 整理電感的名稱、變異量及測試的項目

Name	Description	
Fault Categories	Catastrophic and Parametric faults	
Inductors	Lg, Ld, Ls, Lm, Lgnd and Lo	
Degree of variation	Short, -75%, -50%, -25% , +25%, +50%, +75%, +100% and Open	
Test Items	1.Id1	9.Id1&d2&S11
	2.Id2	10.Id1&Id2&S22
	3.S21	11.Id1&Id2&NF
	4.S11	12.Id1&Id2&S21&S11
	5.S22	13.Id1&Id2&S21&S22
	6.NF	14.Id1&Id2&S11&S22
	7.Id1&Id2	15.Id1&Id2&S21&S11&S22
	8.Id1&Id2&21	16.Id1&Id2&S21&S11&S22&NF

表四. 用不同的測試方法 vs.不同的變異量下的錯誤涵蓋率分布

	Open	+100%	+75%	+50%	+25%	-25%	-50%	-75%	Short
Id1	88.9%	51.0%	52.3%	49.2%	0%	0%	50.8%	50.8%	46.0%
Id2	95.2%	74.6%	76.2%	27.0%	0%	15.9%	44.4%	73.1%	77.8%
S21	100%	95.2%	92.1%	82.5%	25.4%	7.9%	49.2%	65.8%	63.5%
S11	95.0%	60.3%	42.9%	27.0%	6.0%	74.6%	81.0%	90.5%	95.2%
S22	95.0%	87.3%	88.9%	84.1%	41.3%	68.3%	84.1%	87.3%	92.1%
NF	100%	74.6%	44.4%	19.1%	0%	17.5%	54.0%	69.8%	58.7%
Id1&Id2	100%	88.9%	90.4%	60.32%	0%	15.9%	77.8%	87.3%	90.5%
Id1&Id2&S21	100%	100%	95.2%	87.3%	25.4%	23.8%	88.9%	95.2%	96.8%
Id1&Id2&S11	100%	95.2%	95.2%	69.8%	6.0%	74.6%	92.1%	96.8%	100%
Id1&Id2&S22	100%	96.8%	98.4%	93.7%	41.3%	68.3%	92.1%	98.4%	98.4%
Id1&Id2&NF	100%	96.8%	63.5%	63.5%	0%	27.0%	84.1%	93.7%	93.7%
Id1&Id2&S21&S11	100%	100%	87.3%	87.3%	27.0%	74.6%	95.2%	96.8%	100%
Id1&Id2&S21&S22	100%	100%	96.8%	96.8%	54.0%	68.3%	93.7%	100%	98.4%
Id1&Id2&S11&S22	100%	96.8%	96.8%	96.8%	54.0%	90.5%	96.8%	100%	100%
Id1&Id2&S21&S11&S22	100%	100%	96.8%	96.8%	57.1%	90.5%	96.8%	100%	100%
Id1&Id2&S21&S11&S22&NF	100%	100%	100%	96.8%	57.1%	92.1%	96.8%	100%	100%

以上的表給了許多有用的測試時的研究資訊，我們整理如下：

(1).當我們使用全部測試項目時，大約可以達到 96%的錯誤涵蓋率。然而只用直流測試再加上增益(S21)的測試，我們對於 75%以上的變異，也可以達到超過 95%以上的錯誤覆蓋率，而且對於 50%以上的變異，

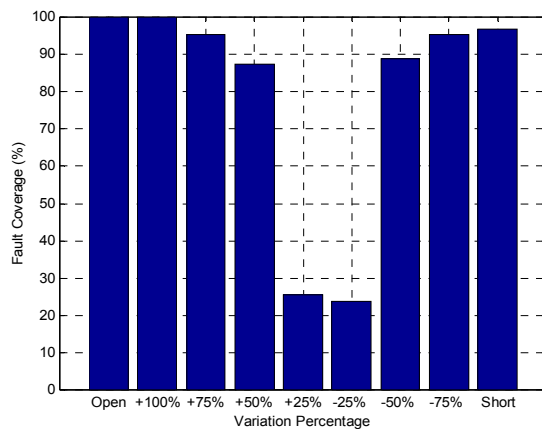
我們對也有達到 85%的錯誤覆蓋率。這是一個非常令人吃驚的結果，因為我們可以大幅地減少測試項目以及測試時間！此外這代表我們只需要純量(Scalar)功能的網路分析儀測量 S21，而不需要向量(Vector)的網路分析儀，後者通常比較貴；向量網路分析儀通常需要精確的校準過程，這都

會增加測試的時間以及測試的成本。

(2).當變異量越大時，我們需要測的項目也就變的越少即可達到極高的錯誤涵蓋率。比如當我們只測試 Id1 及 Id2 這兩個直流電流，我們約有 90%的信心度來保證這個電路沒有災難性的錯誤(也就是沒有開路及短路的現象發生)。

(3).當變異量越小時，我們需要測試的項目也就變的越多。當變異量小到正負 25% 時，即使我們使用眾多的測試項目，錯誤涵蓋率也不能大幅提升；這是測試時最大的困難所在。更別提變異量小於 25% 時的狀況，錯誤涵蓋率只會變得更糟糕。

(4).如果將 Id1&Id2 和 S21 的錯誤涵蓋率對不同的變異量作圖，可以得到圖三。我們發現會有一個類似”U”的形狀，也就是兩邊高中間低的情形。

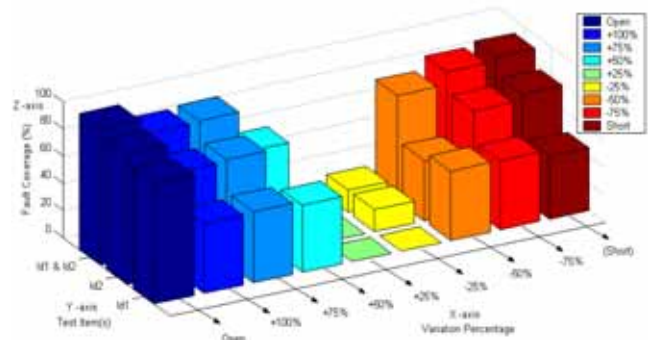


圖三. 錯誤涵蓋率 vs. 製程變異量百分比

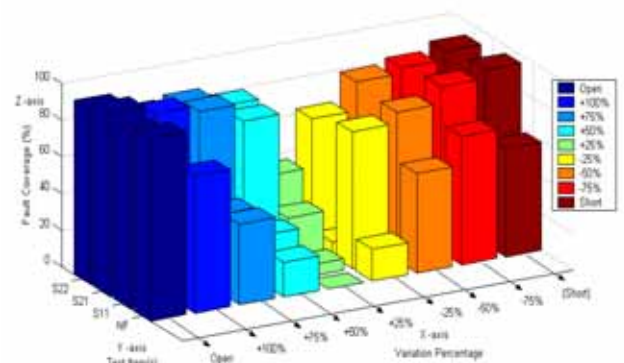
(5).我們結合了不同的測試方法，將它整理成表五，我們可以發現錯誤涵蓋率會隨著測試項目變多而增加；然而所謂的 U 型的形雖然中間的較低的錯誤涵蓋率會增加，可是還是依然存在，如圖五到八。

表五.不同測試項目對錯誤涵蓋率作圖的整理表格

測試項目	圖號
Id1	圖四
Id2	
Id1&Id2	
S21	圖五
S11	
S22	
NF	
Id1&Id2&S21	圖六
Id1&Id2&S11	
Id1&Id2&S22	
Id1&Id2&NF	圖七
Id1&Id2&S21&S11	
Id1&Id2&S21&S22	
Id1&Id2&S11&S22	
Id1&Id2&S21&S11&S22	圖八
Id1&Id2&S21&S11&S22&NF	

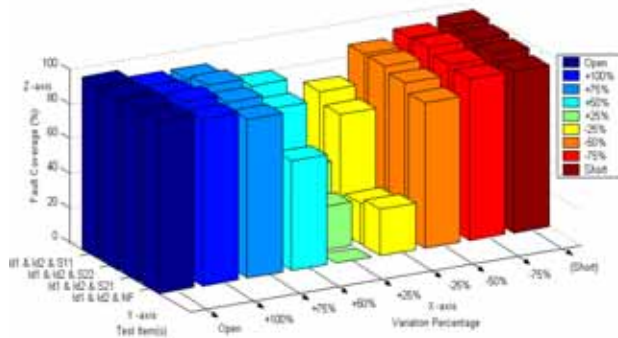


圖四. 偵測直流電流 vs. 錯誤涵蓋率

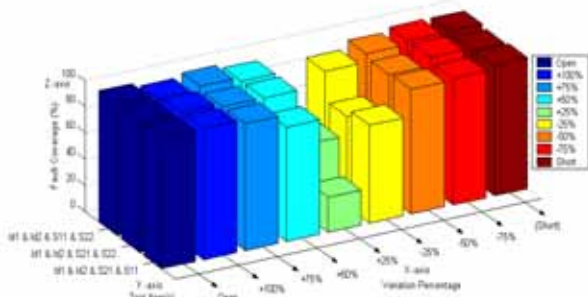


圖五. 單一測試項目 vs. 錯誤涵蓋率

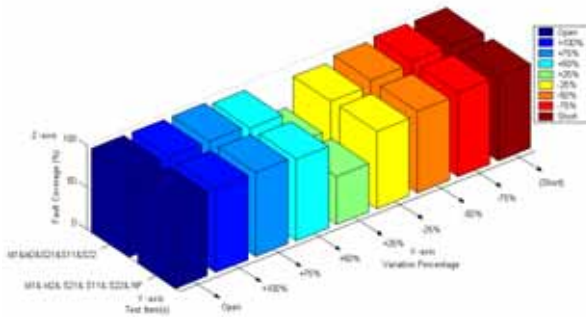
雖然利用直流電壓加上增益的分析無法達到偵測到所有的製程變異，但可以找出製程變異過大的情形，不失為射頻電路是否達到規格的第一步判定方法。



圖六. 結合直流電流與任一種其餘測試項目 vs. 錯誤覆蓋率



圖七. 結合直流電流與任兩種其餘測試項目 vs. 錯誤覆蓋率

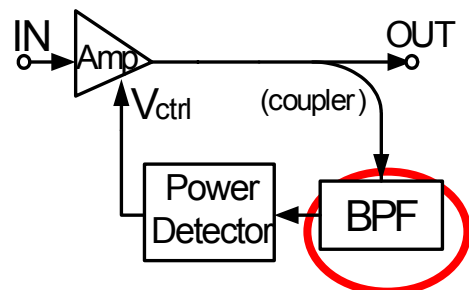


圖八. 結合直流電流、S 參數和雜訊指數 vs. 錯誤覆蓋率

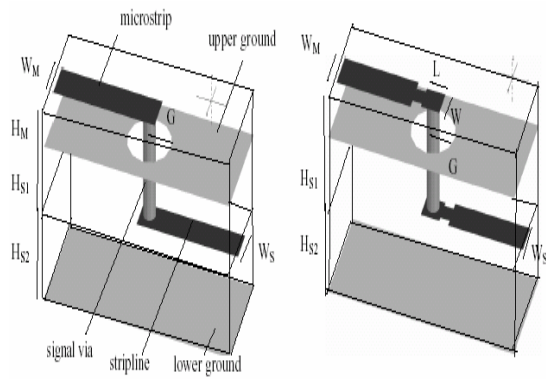
(6). 低於 25% 的變異量我們該怎麼解決呢？其實這需要去考量良率的分析與設計，任何好的設計都應該要考慮製程變異的範圍，因此擁有良率考量設計的電路比較不會因製程的些許變異而有嚴重的影響；但即使在量測時有達到原先電路的設計規格，我們還是無法保證全部元件的變異量是在我們考慮的範圍內。

B. 系統測試用關鍵元件設計

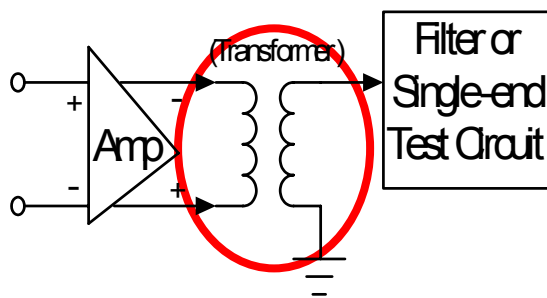
為了整體的射頻系統測試，我們計劃以射頻系統封裝 (System in Package, SIP) 元件開發當作為初步的目標，我們研究了許多測試中需要的關鍵元件，如濾波器 [1]、轉接器 [2]、差動訊號轉換器 [3],[4]。當我們在自我測試中利用功率來作為測試時，在功率偵測器之前必須要有合適的濾波器，如圖九，如此確保所偵測到的為我們想要頻率下的功率。由於在做系統測試時需用多層結構的封裝，訊號可能從微帶線傳遞到帶線時，需要合適的轉接器做補償，結構類似圖十。此外差動對轉換器更是在射頻電路中佔有非常重要的角色，由於利用差動的設計概念可以提供許多好處，如減低共模雜訊，因此有許多放大器、混波器和壓控震盪器都採用差動對設計；然而在許多情形下必須要從差動訊號轉到單極性的訊號，如訊號進入功率偵測器的濾波器前，或是差動電路要與單極性的測試電路結合時，都必須依靠差動對轉換器，如圖十一、十二是解釋以上的觀念及其設計成果展現。



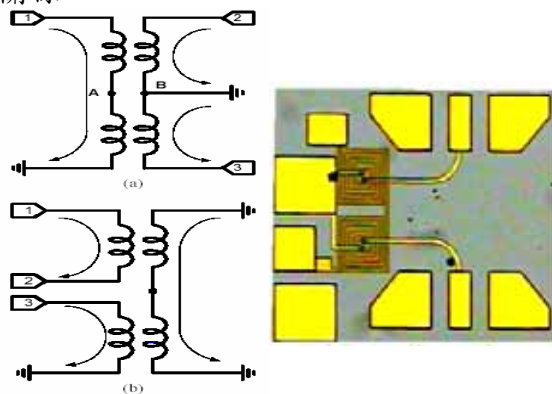
圖九. 濾波器在自我測試中為重要元件



圖十. 微帶線轉帶線的轉接器



圖十一. 差動對轉換器與自我測試電路的關係



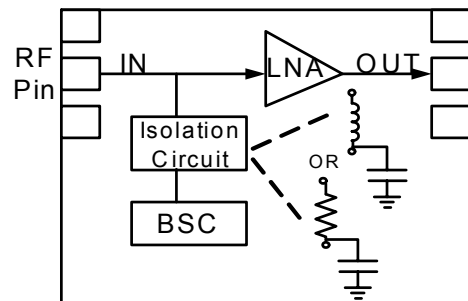
圖十二. 新式的差動對轉換器

C. 射頻週邊掃描與射頻電路結合以控制自我測試功能

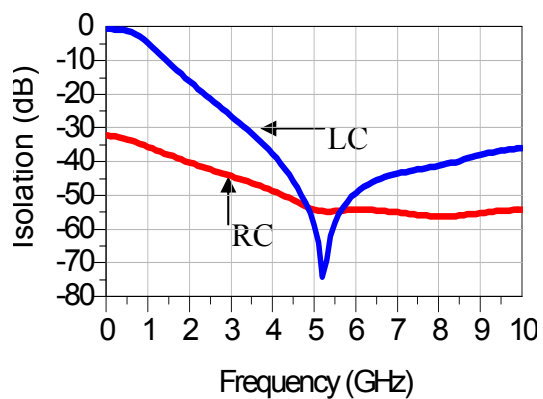
週邊掃描(Boundary Scan Cell)電路可用來作為自我測試(BIST)的控制訊號，可以與數位及類比電路的週邊掃描電路整合在一起，使之達到全系統功能的測試；此外我們也利用週邊掃描電路來實現射頻自我測試的互補性測試，也就是結構上的測試，射頻晶片與其他晶片結合，必須在

相連的接腳確認連結無誤後，之後整體性測試或是系統測試才能繼續執行。

然而在極為敏感的射頻電路中加入數位週邊掃描電路，必須要設計其隔離電路來分離之，如圖十三。在[5]提出以電感並聯上一個電容作為隔離電路，製程使用 CMOS $0.35 \mu\text{m}$ ，使用圈數 7 圈半螺旋狀的電感，與採用 MIM 的 3.1pF 電容，由於電感是頻率的函數，因此所提供的隔離度只能給窄頻的電路使用，如圖十四；此外由於大圈數的電感面積太大，不是一個很好的實現方法。



圖十三. 整合射頻電路與週邊掃描電路，與其所需的隔離電路。



圖十四. 分別利用電感電容及電阻電容作隔離電路時，不同的隔離效果

於是我們另外提出了利用電阻來實現隔離電路的想法[6]，同樣的使用 CMOS $0.35 \mu\text{m}$ 的製程，我們使用 poly 層 $4\text{K}\Omega$ 的電阻及 3.1pF 的 MIM 電容來實現之，其隔離度表現如圖十四，我們可以發現利用電

阻實現的隔離電路，擁有非常寬頻的效果，適用於寬頻電路的隔離電路所用。此外，電感實現隔離電路的面積問題，在電阻實現時也大幅的降低了此問題，比較兩個隔離電路的面積後，大約可節省 50% 以上的面積。

五. 結論

射頻電路具有自我測試功能是未來的趨勢，未來更會朝向具有系統測試功能的方向發展。在本報告中，我們完成了三年計畫中的第一年計畫，包括研究射頻放大器自我測試方法的分析；也研究了許多測試中需要的關鍵元件，例如濾波器、轉接器、差動信號轉換器；此外採用週邊掃描信號作為積體電路自我測試功能的控制之用，並且成功實現此概念進入射頻電路中。本計畫有五篇國際會議論文發表，一篇在國內發表，以及一項專利提出申請。在射頻電路的測試領域，我們達成了令人滿意的初步研究成果。

六. 參考文獻

- [1]. Tian-Wei Huang, and Ming-Lung Tsai, "A 3-D Ka-band LTCC Ring Filter Using Embedded Microstrip Lines," *Asia-Pacific Microwave Conference Proceedings*, E14.1, Dec. 2004. (NSC 92-2220-E-002-005, and NSC 93-2752-E-002-003-PAE)
- [2]. Huei-Han Jhuang, and Tian-Wei Huang, "Design for Electrical Performance of Wideband Multilayer LTCC Microstrip-to-Stripline Transition," *Electronics Packaging Technology Conference Proceedings*, FP-013 Dec. 2004.
- [3]. Pei-Si Wu, Chao-Hsiung Tseng, Ming-Fong Lei, Tian-Wei Huang, and Huei Wang, "3-D X-band New Transformer Balun Configuration Using the Multilayer Ceramic Technologies," *European Microwave Conference Proceedings*, Oct. 2004. (ME 89-N-FA01-1-1, ME 89-E-FA06-2-4)
- [4]. Pei-Si Wu, Chao-Hsiung Tseng, Tian-Wei Huang, Huei Wang, "A Singly Balanced Millimeter-wave Mixer Using a Compact Transformer," *Asia-Pacific Microwave Conference Proceedings*, TA1_03, Seoul, Korea, Nov. 2003.
- [5]. Tian-Wei Huang, Pei-Si Wu, Jeng-Han Tsai, and Yi-Chung Huang, "Apparatus for Testing an Interconnection between RF Integrated Circuits," *Pattern Submitted*, Dec. 2004. (NSC 91-2218-E-002-035)
- [6]. Tian-Wei Huang, Pei-Si Wu, Ren-Chieh Liu, Jeng-Han Tsai, Huei Wang, Tzi-Dar Chiueh "Boundary Scan for 5GHz RF Pins Using LC Isolation Networks," *IEEE VLSI Test Symp. Digest*, pp. 347-350, Napa Valley, CA, April 2004. (NSC 91-2218-E-002-035 and NSC92-2220-E-002 -005)
- [7]. Tian-Wei Huang, Yi-Chung Huang, Jeng-Han Tsai, and Pei-Si Wu, "Miniature Broadband Isolation Networks for GHz RF Boundary Scan Test," *VLSI Design/CAD Symp. Digest*, P3-27, Aug. 2004. (NSC 91-2218-E-002-035 and NSC92-2220-E-002 -005)
- [8]. R. Voorakaranam, S. Cherubal, and A. Chatterjee, "A signature test framework for rapid production testing of RF circuits," *Proc. IEEE Design, Automation and Test in Europe Conference and Exhibition*, pp. 186-191, 2002.
- [9]. J. Dabrowski, "Loopback BIST for RF Front-Ends in Digital Transceivers," *Proceedings System-on-chip International symposium*, pp.143-146, Nov. 2003.
- [10]. S. S. Akbay, and A. Chatterjee, "Feature Extraction Based Built-In

Alternate Test of RF Components Using a Noise Reference," *VLSI Test Symposium*, pp. 273-278, 2004

[11].G. D. Gregorio, M. G. L. Rosa, and B. Russo, "Checkers for RF Matching Networks on an Automatic Test Board," *Proceedings of the Eighth IEEE International*, pp. 170-173, July 2002.

[12].R.C. Liu, C.R. Lee, H. Wang, and C.K. Wang, "A 5.8-GHz two-stage high-linearity low-voltage low noise amplifier in a 0.35- μm CMOS technology," *IEEE Radio Frequency Integrated Circuits Symp. Dig.*, pp. 221-224, June 2002