

# 行政院國家科學委員會專題研究計畫成果報告

## 高速 ATM 數據機之積體電路設計(II) IC Design of Cable Transceiver for High-Speed ATM (II)

計畫編號: NSC 87-2215-E-002-025

執行期限: 86年8月1日至87年7月31日

主持人: 闕志達 國立臺灣大學電機學院電機系  
電子信箱: chiueh@cc.ee.ntu.edu.tw

### 一、中文摘要

在本計劃中，設計了一顆多振幅差值相位基頻信號的處理晶片。此晶片利用一種新的調變方式，改進傳統星狀正交振幅調變的缺點並利用其低成本的優點。此晶片包含了負責編碼的發射機，與負責解碼的接收機。接收機有時序回復與資料回復兩大區塊，最後資料以 6 位元一組平行輸出。

關鍵詞: 數據機、ATM、QAM

### 一、英文摘要

In this project, we design and implement a multi-amplitude DPSK baseband processor. This chip uses a new constellation scheme to improve the BER of the conventional star QAM, and take advantage of its low-cost feature. The chip consists of the transmitting encoder as well as the receiver. The receiver has timing recovery and data recovery blocks, and decision outputs are 6-bit in parallel.

Keywords: transceiver, ATM, QAM

### 三、計劃緣由與目的

近年來，通信網路扮演著越來越重要的角色。在各種不同的網路與通訊方式快速成長的情況下，我們必須有效利用傳播媒介與有限的與網路頻寬以提昇通信品

質。傳統的電話網路系統有著點對點傳輸服務的特性，但頻寬不足，無法作高速傳輸；而有線電視網路的頻寬則十分充裕，但現行的有線電視網路均無法做到點對點的雙向溝通。如果能結合傳統的有線電視網路寬頻傳輸的優點，與電話網路點對點服務的特性，我們可以對更多的使用者，以更高的速度，傳輸更大量的資料。因此，我們需要一個 cable modem 以便在有線電視傳輸線上發接數位資料，且這個 cable modem 必須採用數位調變方式。

為了有效應用網路頻寬，我們必須採用高效率的調變方式，以增加位元傳輸率。在已知的調變方式中，高階的正交振幅調變 (QAM) 對頻寬的使用最有效率。QAM 主要分為方形 (square) 與星形 (star) 兩種信號點分佈方式，其中 square QAM 具有較低的位元錯誤率，而 star QAM 則可以抵抗載波偏移與通道增益值的效應，因此無須精確的載波回復電路 (carrier recovery) 與自動增益控制 (automatic gain control)，得以節省硬體設計成本。然而 star QAM 的信號點分佈較不平均，因此位元錯誤率的表現也較 square QAM 差。以 64 QAM 為例，要達到相同的位元錯誤率，方形調變所需的訊噪比  $E_b/N_0$  可以較星狀調變低 4 到 6 個 dB。

為了利用星狀正交振幅調變成本較低的優點，並改進其高位元錯誤率的缺點，

我們提出一種新的調變方式，可以在幾乎不增加硬體成本的情況下，顯著地降低位元錯誤率。此調變方式將傳統 64 star QAM 的內圈信號點移至最外圈，使得信號點分佈較為平均。此外，為了驗證所提出的新調變方式，我們也設計並製作了以此種調變方式為基礎的基頻信號處理晶片，並希望此晶片能應用在各不同的通信系統之中，例如 cable modem 或無線通信等。基於以上的考量，本晶片所希望達到的目標為：

1. 採用高階的 QAM 調變，以一個信號點表示 6 個位元數來增加位元傳輸率。
2. 提出一種新的調變方式，以降低位元錯誤率，並維持低設計成本。
3. 以此新的調變方式為基礎，設計其基頻信號處理晶片。
4. 為了行動通訊上的應用，我們希望此晶片能達到低功率消耗的要求。

本晶片以 tsmc 0.6um SPTM CMOS 的製程製作，晶片完成後將對其功能加以驗證。

#### 四、研究方法與成果

##### 4.1 設計原理與方法

此基頻信號處理器主要分為發射機與接收機兩個部份。發射機主要包含一個序列轉並列 (serial to parallel) 電路，一個振幅--差值相位編碼電路，以及一個將編碼結果映射到信號星座圖上的查表電路。其中差值相位編碼的階數，依振幅大小而有不同。在四種不同的振幅中，最外圈上有 32 種不同的相位，第二圈有 16 種，而最內的兩圈則分別有 8 種相位，如圖（一）所示。此外，相位編碼利用葛雷碼減低位元錯誤率，以利錯誤更正碼之使用。查表電路主要包含不同振幅和相角的 I 通道與 Q 通道信號值，在設計上利用對稱關係，可以縮小電路所佔的面積，以減低硬體成本。

接收機主要包含時序回復電路與資料回復電路。時序回復採用內插法，在允許固定外部取樣時脈的情況下，以四個取樣值作內插產生一個信號輸出。此時序回復的迴路包含四個主要元件：內插器 (interpolator)，時序偵錯器 (timing error detector)，迴路濾波器 (loop filter)，以及控制電路 (controller)。控制電路負責產生接收端的信號時脈，以及取樣時脈與信號時脈的相位差值比例，供內插器求出正確的信號值。此信號值再送入時序偵錯器，求得最佳化的相位誤差。此誤差值經由迴路濾波器產生穩定的信號，輸入控制電路求出信號時脈及內插比例。其中，內插電路所採用的架構稱為 Farrow structure，以四個點作二次的線性逼近；而時序偵錯電路則提供初始化訓練與真實資料傳輸兩種模式，且我們提供了四種不同的頻寬選擇給內部的濾波電路。迴路濾波器的兩個參數 C1 與 C2 也都設為可調，一共有 16 種不同的選擇。整個時序回復電路的架構如圖（二）所示。

資料回復電路包含振幅偵測器與相位偵測器，以及資料決定與輸出電路。振幅偵測器包含參考振幅值的產生電路，在一連串固定的信號區間中，將信號取對數後，偵測出此段時間內的信號最大值，以產生振幅的參考值。根據此一參考值，振幅位階可由簡單的加減法決定。相位偵測電路包含差值解碼，葛雷解碼，與權重參考值產生電路。信號先經過除法器與 arctangent 的查表取出信號的相角值，再與參考相位值相比對求出差值。其中權重參考值是以決定後的相位，與接收到但未決定的相位值作線性組合，其比例依據雜訊干擾與載波頻率偏移的嚴重程度而定。在晶片中我們提供了三種不同的權重值給使用者選擇。而差值解碼的位接數則根據決定好的振幅位階來決定，可能的位階數有 32, 16, 8 等三種。接收機的輸出為六個位元一組的並列資料。資料回復電路的設計如圖（三）所示。

## 4.2 電路架構

作電路設計時，先選取不同的位元長度模擬最後的位元錯誤率，在成本與效能間取最佳的選擇，再以 verilog 作 gate level design，先設計必須的元件，如加法器，乘法器與除法等，最後將各不同的區塊連接。加法器有不同的位元長度，較長的加法器採用 carry select 架構以減低 carry propagation delay。乘法器是根據 Baugh-Wooley 演算法，以 Wallace tree 為架構設計二位元補數 (2's complement) 的乘法電路。除法器採用 non-restoring 方式，以減低硬體成本。

整個信號處理器分為七大區塊。發射機主要負責編碼，而接收端的時序回復電路包括：

1. 兩個內插器，採用 piecewise parabolic 的二階內插多項式，硬體結構採用 Farrow structure。
2. 時序回復電路，在輸出端使用 time-interleaving 的技術，減少乘法器的使用。
3. 迴路濾波器，有 16 種不同的迴路頻寬組合可供選擇，以適應不同的傳輸通道環境。
4. 控制電路，負責產生整個接收端兩種內頻，與內插器所需的內插比例。

而資料回復電路包括：

1. 振幅偵測電路，取 I 通道與 Q 通道信號值的平方和，再經過一個對數值查表，求得信號大小後，根據參考振幅值決定位階。其中平方和的乘法器使用 time-interleaving 以減少硬體成本。
2. 相位偵測電路，以 Q 通道信號值除以 I 通道信號值，再經過 arctangent 查表求出信號相角。差值解碼根據權重參考值與振幅位階而決定，其中權重參考值電路提供 3 種不同的線性組合比例，以適應不同的載波頻率偏移。解碼後

的差值相位與振幅位階決定 6 個位元的資料輸出。

## 4.3 模擬

系統架構的模擬結果顯示，此調變方式在  $E_b/N_0$  的比較上，較傳統 64 starQAM 好 2dB，而較 64 square QAM 差 2dB。本系統對載波偏移，取樣時脈的相位與頻率偏移都能作適當的回復。此外，對於 slow flat fading，本系統也有相當程度的抵抗能力。位元錯誤率的比較如圖(四)所示，而在 flat fading 下的表現則如圖(五)所示。

## 4.4 晶片佈局

晶片的佈局與腳位見圖(六)所示。

## 4.5 晶片測試結果

本晶片的測試分為硬體效能測試與通信品質測試兩個部份。關於硬體的效能測試方面，採用 IMS ATS100 對速度加以驗證；製作完成的電路，不論在發射端或接收端的結果，都與 Timemill 的模擬結果相符。此外，我們也測量了不同電壓下的最高工作頻率，其相對應的功率消耗的測量則決定於通過電流的大小。測試結果顯示，在低電壓供應(約 1.5V 到 2.0V)下，其最高速度約可達到 5 -- 16 MHz。而相對應的功率消耗，在 2.0V 的電壓供應下，可以降低到 30 mW。如果不算接腳，其內部電路的功率消耗更可低到 16 mW 左右。

關於通信品質的測試方面，主要包含了位元錯誤率的測量，在取樣時脈偏移與載波偏移下的效能，以及內部信號的觀察。其中位元錯誤率的表現上，比 C 語言的浮點數模擬約差了 4 到 5 個 dB。在  $E_b/N_0$  大於 30 dB 時，位元錯誤率可以低於十萬分之一。在有載波偏移與取樣時脈偏移的情況下，系統也可提供一定的通信品質。測試的結果如圖(七)至圖(十)所示。

## 五、結論與討論

利用一種新調變方式，本計設計一晶片可以低電壓工作在 24 Mbps。對於載波偏移與

時脈偏移，本晶片也都有一定程度的回復功能。因此本晶片具有低電壓，低功率消耗的特性，且所有的基頻信號都在可在一顆晶片上處理完成。

## 六、參考文獻

1. John G. Proakis, *Digital Communications*. McGraw-Hill, New-York, 3<sup>rd</sup> edition, 1995.
2. F.M. Gardner, *Interpolation in Digital Modems-Part I: Fundamentals*, IEEE Trans. Commun., 41(3):501-507, Mar. 1993
3. C.W. Farrow, *A Continuously Variable Digital Delay Element*, IEEE Int. Symp. Circuits Syst., p2641-2645, June 1988.

## 七、圖表

圖（三） 資料回復電路

圖（四） 位元錯誤率的比較圖

圖（五） Fading 下的表現

圖（一） 信號星座圖

圖（二） 時序回復電路

圖（六） 晶片佈局與腳位圖

圖（十） 載波偏移的測試結果

圖（七） Shmoo plot

圖（八） 位元錯誤率的測試結果

圖（九） 取樣時脈偏移的測試結果