

低功率可攜式多媒體助理之相關技術總計畫 ()

Technologies of Low Power Portable multimedia Assistant()

計畫編號：NSC 87-2215-E-002-026

執行期間：86/08/01 - 87/07/31

總計畫主持人：龐台銘教授

摘要：

本總計畫今年度共有三個子計畫如下：
一、「展頻無線傳輸接收機晶片組研製」(NSC87-2215-E-002-027)。二、「低功率視訊解碼器晶片設計」(NSC87-2215-E-002-028)，三、「線上手寫辨識處理器研製」(NSC87-2215-E-002-029)。

關鍵詞：多媒體助理系統，展頻無線傳輸接收機，多媒體，電腦，影像傳輸，影像解碼器，低功率，線上手寫辨識，筆式電腦，先深後廣搜尋演算法

Abstract

This project involves the following four subprojects:

1. Spread-Spectrum Radio Transceiver (NSC87-2215-E-002-027), 2. Signal Chip Low Power Video Decoder Design (NSC87-2215-E-002-028), 3. On-line Hand-Writing Recognition System of a Portable Multimedia Assistant () (NSC87-2215-E-002-029)

Keywords: Portable multimedia assistant, spread-spectrum transceiver, multimedia, computer, video transmission, video decoder, error resilience, low power.

一、計畫緣由與目的

本計畫之長期總體目標，在運用VLSI及其CAD技術，研製低功率可攜式多媒體助理之相關技術。此計畫所設計之助理系統，可接受無線資訊，筆，視訊及影像等的傳輸與記錄及解碼，並做辨識，而可透過無線通道讀取相關資料，突破時間和空間的限制，是結合VLSI，通訊，電腦，消費性電子的下一

代重要產品，如能研發成功，將可提升我國的資訊科技水準。本計畫由三個子計畫分工合作進行研究。此三子計畫為：

1. 展頻無線傳輸接收機晶片組研製。
2. 低功率視訊解碼器晶片設計。
3. 線上手寫辨識處理器研製。

二、研究方法及成果

本計畫之研究方法及成果摘要說明如下：

(一)展頻無線傳輸接收機晶片組研製

本計畫相關的研究的關鍵性零組件，國外以擁有相當技術，在系統整合上已朝商業化產品進行中。而國內對相關研究仍未起步，若能掌握技術，將可促進相關產業快速發展應用。

整個架構圖如 Fig. 1

為了要解調由RF頻段所降頻下來的微小訊號，我們需要一個limiting amplifier來把訊號放大為相同振幅的方波以便於後面電路來作解用。

其中limiting amplifier和RSSI (Received Signal Strength Indicator)是用differential的架構，加上pmos的symmetric load等效成電阻來構成每一級的limiting amplifier。而RSSI是利用unbalance source coupled pair所組成。我們將每一級的limiting amplifier的輸出各接到一個RSSI電路，在將每一級RSSI的輸出合在一起，就可以得到指示出接收訊號的強度了。

在limiting amplifier之後的解調電路我們用PLL來完成。我們將經過limiting amplifier

所放大出來的方漆接到PLL中，當PLL達到鎖定的狀態的，VCO的輸訊號就會是我們所要的FSK解調結果。其中VCO我們採用RING OSC的架構，利用四個limiting amplifier所串接而成的電路。

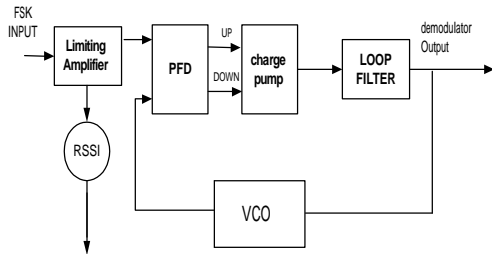


FIG. 1 (System block diagram)

實驗結果如下：

Fig. 2 是我們輸入一個 64Kbps 的 FSK 訊號，經過 IF demodulator 所解調出來的結果。

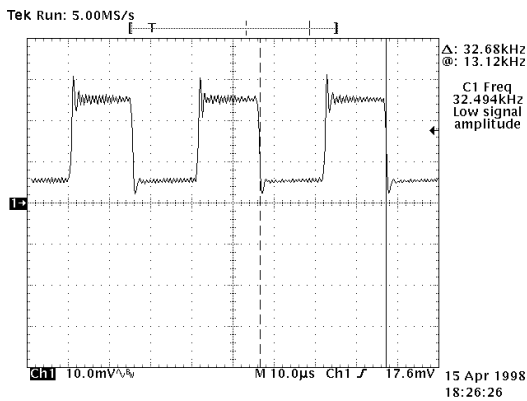


FIG. 2 (解調結果)

(二)低功率視訊解碼器晶片設計

為了減輕動態影像所需之龐大資料量對傳輸及儲存造成的負擔，資料壓縮已成為不可或缺的技术。一般的視訊信號具有每秒鐘數張畫面的品質，由於人類眼球中的視覺神經有視覺暫留的特性，人類不會察覺其不連續。如此高的取樣頻率使得相鄰兩張畫面的關連性相當高，於是降低畫面相間的關連性便可達到低位元率的壓縮效果。所以針對資料做即時解壓縮的影像解碼器 (video decoder) 已成多媒體助理中必備的部分。

另一方面，為了滿足多媒體助理之可攜

式特性，能源的消耗勢必要愈少愈好，故低功率的考量將是此解碼器的必備條件；此外，影像資料在無線通道中傳輸，由於此通道的非理想特性及不可預期的特性，將使資料遭受嚴苛的雜訊甘干擾而導致通訊品質降低。是故，高壓縮效率 (high compression efficiency)，低功率 (low power) 將是本計畫要考慮的大要件。

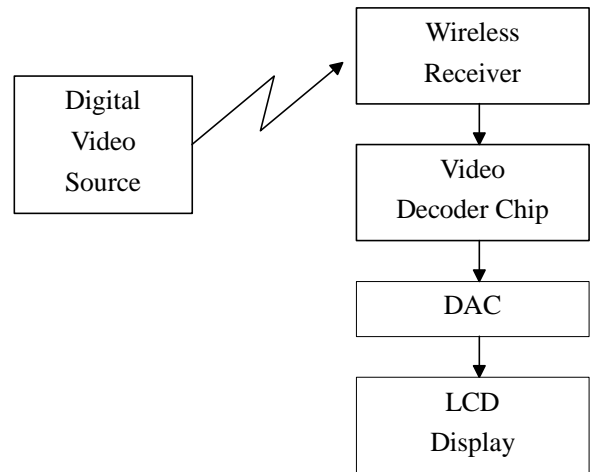


FIG. 3 (Video Decoder之應用)

以 MPEG2 演算法為基礎，先將 VLD、IQ、IDCT、MC、local buffer 等模組(module) 作運算量分析，及在低功率演算法上的可行性，儘量減低其運算量，如 Table. 1 所示。

Table 1 DCT 運算量之比較

Method	Computation Requirement per pixel	
	encoder	decoder
Transform (DCT) (brute force 2D)	64 multiply 64 additions 64 mem. access	64 multiply 64 additions 64 mem. access
Transform (DCT) (Row-Col fast algo.)	4 multiply 8 additions 6 mem. access	4 multiply 8 additions 6 mem. access

基於低功率的考量，我們將針對硬體架構中執行運算的資料徑 (datapath) 部分，以 pipeline 及 parallel 的方式去做安排，使資料的存取安排上達到最佳化，如 Table. 2 所示。同時要以符合經濟效益的記憶體及匯流排達到實用的及時處理目標，以減少 on-chip buffer, bus load 以及 memory access I/O load。

在匯流排的架構及 arbitration 也要審慎考慮。

Table 2 架構與功率消耗的關係

Architecture type	Power	Area
Simple datapath (no pipelining or parallelism)	1	1
Pipelined datapath	0.37	1.3
Parallel datapath	0.34	3.4
Parallel-pipeline	0.18	3.7

目前本研究單位已有豐富之 MPEG-2 decoder 架構設計之經驗，並已完成部分晶片。同時利用架構 paralleling & pipelining 之觀念及設計法則，設計出符合 low power 需求之 MPEG-2 decoder。在可變長度解碼器的部分，我們使用有限狀態代替傳統的 RISC 架構這樣可減少額外的成本，並增加電路的速度。在 Inverse Scan 的架構我們提出了乒乓模式的記憶體架構，這樣可讓一個時序解出一個係數。我們用組合邏輯來設計 Inverse Quantization 模組，在一個時序內完成所有的運算。我們利用一維的 IDCT 再加上一個倒置記憶體，就能組出相當於二維 IDCT 如 Fig.4。這樣可減少晶片的面積，減少所需要的成本。

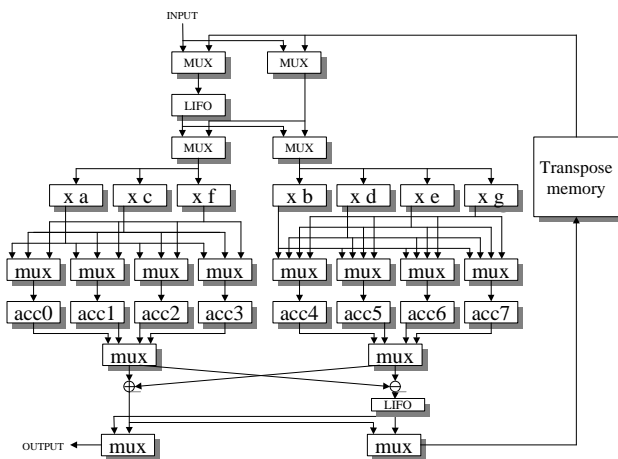


FIG. 4 IDCT 之架構圖

(三)線上手寫辨識處理器研製

1.說明

我們使用的演算法為搜尋樹中的“先深後廣”搜尋法。在搜尋的過程中對搜尋樹中的每一個節點，要去比對目前節點所代表的手寫字筆劃和對應到的資料庫筆劃是否相似，且目前節點和上兩個節點所代表的筆劃的關係也要與資料庫中所對應到的關係做比對，以決定在搜尋樹中的搜尋方向。當對一個資料庫中的字比對完成後，再依所得到的比對分數做排序，選出最相似的字。

2.架構簡介

因為在搜尋的過程中會有往樹根(root)走的情形，所以要將之前比對過的每一個節點的結果記錄下來。因此將會用到許多暫存器，但是為了兼顧省電的考量，我們在兩個層次上做了特殊的設計：

- (1)架構層次：盡量少用耗電量大的位移暫存器(shift register)，而依實際的需求以先進後出(first in last out)暫存器代替。
- (2)電路層次：因為使用到很多暫存器，為了減少不必要的寫入動作，我們使用時脈遮斷(clock gating)的技術，以達到省電的要求。

整個架構的方塊圖如 Fig. 5

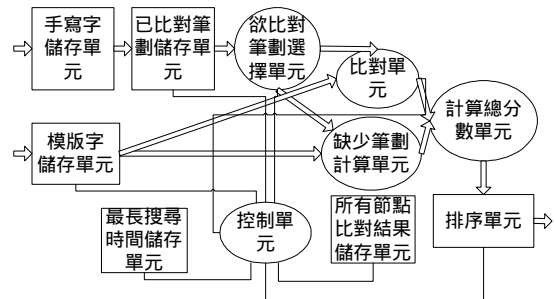


FIG. 5

三、結論與討論

(一)展頻無線傳輸接收機晶片組研製

目前整個計畫的各個部分大都已經完成了，接下來要作的就是整合的工作。

(二)低功率視訊解碼器晶片設計

本計劃由 Algorithm 著手,嘗試設計出符合標準又能兼顧低功率的 video coding 方式,由 data path 分析著手,以 paralleling 及 pipelining 之做法,開發新的架構。經過低功率的考量,所設計出的架構,除了利用 Synopsys 與 Cadence 等軟體模擬外,亦將透過 FPGA Emulator 進行測試與驗證如以確保晶片能有較低的失敗率。

在低功率方面,本計畫將先設計一低功率之 IDCT 架構。IDCT 已為各視訊編碼系統所接受的一種轉換,並已定為各個標準的一部份。因此針對如此重要的視訊編碼轉換設計一低功率晶片。首先是利用低運算複雜度的直接方法(direct method),設計一平行架構,以作為低電壓的速度補償。再針對架構中主要的運算單元:ROM 及加法器,做低功率的電路設計。ROM 方面,以位址轉換偵測原理與先前補償之動態電路達到節省消耗功率的目標。加法器方面,除了以低電壓操作,並以選擇進位及平方根架構作為其速率補償,以符合快速低功率加法器的需求。整體 IDCT 得到的結果顯示,除達成低功率的目的外,並能符合高畫質電視的速度需求。其他電路如 VLD, IQ 等亦可以類似的考慮以達到低功率的需求。

(三)線上手寫辨識處理器研製

這個年度我們承接上個年度在軟體上發展的成果,以硬體實現了一個低功率的線上中文手寫辨識晶片,並達成以下幾點目標:

(1)節省記憶體

要將線上中文手寫辨識給硬體化,我們必須注意到硬體和軟體有著基本上的不同。首先我們必須儘量節省記憶體的使用,我們把資料庫的儲存儘量用到最少,只儲存筆劃和筆劃間的關係,而把筆劃順序這個重要的資訊藏在之中,而且用這種資料結構,可以輕易的把一個字給分成數個字根的形態來儲存。

(2)簡化辨識單元

因為硬體的動作比較規則,所以在辨識時,我們必須儘量讓程式規則,這樣在硬體化時才不會太過於複雜。

(3)加速辨識速度

在處理待辨字時,我們讓前處理的部分只作一次,亦即這次處理之後,即可以用在所有字的辨識上,不必因為特定字的辨識而作特別的處理,可以減輕軟體的負擔,並且儘量讓大量的運算在硬體方面處理。

(4)資料庫的建立容易

在建立資料庫時,只需有一套輸入字,利用一樣的方法,抽出我們所要的特徵,再加以儲存即可,另外,對於由字根所組成的字,我們也可以很輕易的由字根來產生來這個字的真正內容。

四、論文與技術報告

1. 子計劃「展頻無線傳輸接收機晶片組研製」精簡報告。
2. 子計劃「低功率視訊解碼器晶片設計」精簡報告。
3. 子計劃「線上手寫辨識處理器研製」精簡報告。