

計畫名稱：應用接腳陣列繞線技術於 MCM (II)

Pin Grid Array Routing for MCM (II)

計畫編號：NSC87-2218-E002-033

執行期限：86 年 8 月 1 日 至 87 年 7 月 31 日

主持人：陳少傑 臺灣大學電機工程研究所 教授

一、摘要

延續前計畫接點網狀陣列封裝之平面繞線，本計畫提出另一特別的繞線問題，即焊錫球點網狀陣列封裝之平面繞線。在將一個晶片封裝成焊錫球點網狀陣列時，假設此晶片四周有若干輸出/入端子，且焊錫球點網狀陣列封裝上也至少要有相同數目的對應球點；由於需與其他廠牌晶片之接腳相容，故球點的位置不能由我們自行指定。本計畫所提之平面繞線問題的目標為如何以一金屬繞線層來完成這些端子與其相對應球點間的連線；在此，我們提出了一個簡易又有效的演算法來解決此問題，所使用的方法包括了排序反轉表、單列繞線及河繞線等技術。最後，經由一些例子得以證明我們的演算法是有效的。

Abstract

A special routing problem, routing in a ball grid array package, is first proposed in this report. Given a chip with a number of I/O pads distributed on its boundary and a ball grid array package with an equivalent number of balls, and sometimes ball locations cannot be determined by design. The objective is to complete the interconnections of these I/O pads to the corresponding external balls with a single layer of metal wire. This problem is called the planar routing in a ball grid array package (PRBGA). An efficient algorithm is proposed to solve this PRBGA problem by using sorting inversion table, single row routing, and

river routing techniques. Some examples are experimental tested to show that our routing approach is well work on a ball grid array package.

二、計畫緣由與目的

在過去的二十年，IC的製造技術已經有快速的進步，而且複雜度已相對的增加。原始晶片 (die) 的大小和 I/O pads 的數目也大幅的增加，因此 IC 的包裝技術更顯得複雜。根據製造技術的不斷演進，接點網狀陣列 (Pin Grid Array) 或焊錫球點網狀陣列 (Ball Grid Array) 封裝技術，仍然是較適合於 I/O Pads 數目較多的 IC 封裝，由很多實際封裝的技術可知，要完成 IC 的 I/O Pads 和 PGA 接點 (Pins) 或 BGA 球點 (Balls) 之間的繞線工作是件不容易之事。

在圖一(a)所展示焊錫球點網狀陣列 (BGA) 的繞線結構，有 I/O Pads 分佈在晶片 (die) 的邊界上，外部球點 (external balls) 分佈於網狀陣列中，我們的目標是完成 I/O Pads 和外部球點的正確連接且能得到最短的繞線長度，因此，我們稱這問題為 BGA 繞線問題。嚴格說，此 BGA 繞線是一種特殊的區域繞線 (Area Routing) 問題。一般來說，均設有多個繞線層可供繞線。則 BGA 繞線的處理步驟區分為下列三個階段：(一) 繞線層指定 (Layer Assignment phase)，(二) 拓樸繞線 (Topological Routing phase)，(三) 幾何繞線 (Geometric Routing phase)。過去在繞線層指定的研究有最大加權平面圖方法 [1]，網列交錯圖 (net

interference graph)[2] 等方法被提出；而拓樸繞線的目的是將在每層的初始繞線(Initial Routing) 結構轉換成為平面圖，有斜率方法[3,4]、Rubber Band 方法 [5-7]等被提出；幾何繞線方面主要目的是將平面圖轉換成為幾何佈局，且不違反設計規則，過去有迷宮繞線 (Maze Routing)[8,9]、河平面繞線 (River Routing)[10]、區域繞線[11,12]、範圍搜尋[7]等方法已被提出。

本研究計畫提出一個解決 BGA 封裝繞線的方法；首先，建立各網列之左、右排序反轉表，接著使用比較程序 (Comparison Procedure) 將從反轉表中選取之網列分別指定到不同的兩個繞線層來達成層設定之處理程序。最後，劃分整個繞線區域為多個獨立之子區域 (sub-region)，然後使用循序繞線器 (Sequential Net-Ordering Router) 和區段插入繞線器 (Range-Insertion Router) 來完成整個拓樸繞線及幾何佈局繞線的工作。總之，本計畫重點著重在開發多層繞線技術以應用在 MCM (Multichip Modules) 之實體繞線並與工業界之技術相結合。

本計畫之繞線器完全可與「多晶片模組電性分析、設計及測試研究」之總計畫作密切配合，共同發掘 MCM 設計、佈局、電性分析、及測試等等之新問題；並可達到積體電路實體設計與電腦輔助設計一體之目的，並建立構裝自動設計系統之長期目標。

三、 研究方法

首先，BGA (Ball Grid Array)問題的繞線模型 (Routing Model) 描述於圖一(a)，主要目標是對所有的 I/O Pads 與相對應的外部 Grid-Ball 能夠在上、下、左、右區域內繞線成功。本研究方法區分為下列步驟：(一)繞線層指定(Layer Assignment)步驟：先

建立每環中各網列之左 (L2R)、右 (R2L) 排序反轉表，並且計算二者之加權值 (weight)；接著使用比較程序將從表所選取之網列分別指定到不同的兩個繞線層，此即採用類似二路分割 (two-way partition) 演算法來達成層設定之目的。(二)網列平面化步驟：在這步驟主要目的是轉換在每層的所有 Pad-Ball 網列的繞線路徑成為平面無交錯的繞線路徑；其次，也須考慮各網列繞線路徑長度的最佳化。我們將拓樸繞線問題轉換為有方向限制(direction-constrained) 且網列順序為循序(sequential net-ordering)的單列繞線問題，使得在多環 (multi-ring) 繞線模型中有較短的最長及平均繞線長度。(三)幾何繞線 (Geometric Wiring)步驟：這步驟的主要目標是轉換平面無交錯的網列成為幾何佈局繞線，而且不違反網列間的空間與寬度最低限制。在現今工業界封裝繞線的製程中幾乎皆使用任意角度 (any-angle) 繞線，故需利用區段插入繞線器 (Range-Insertion Router) 求得任意角度繞線之佈局結果。

四、 結論

在我們提出的繞線系統中，因為此系統是建立在網基資料結構上，而提高了系統的效能。並且將繞線層設定、拓樸繞線及幾何繞線等問題分別轉換為排序問題、插入排序問題及區段插入繞線問題。此繞線系統有兩個主要優點：(1)平均分佈繞線使得雜訊之訊號干擾減少及良產率增加，也就是提高電器效能及降低成本。(2)利用網基資料結構來降低問題的複雜度，也就是提高系統效能。根據實驗結果，我們的演算法可完成繞出圖一(b)之焊錫球網狀陣列封裝繞線，未來更可處理多晶片模組封裝之實際繞線技術。

五、 參考文獻

- [1] J. Cong and C.L. Liu, "On the k-layer planar subset and the topological via minimization problems," *IEEE Trans. on Computer-Aided Design*, vol. 10, No. 8, pp. 972-981, August 1991.
- [2] J. Cho, M. Sarrafzadeh, M. Sriram, and S.M. Kang, "High-performance MCM routing," *IEEE Design and Test of Computers*, vol. 10, No. 3, pp. 27-37, December 1993.
- [3] C.C. Tsai, and S.J. Chen, "Planar routing on a pin grid array package", in *Proc. The Third Int'l Conf. on Computer-Aided Design and Computer Graph*, August 1993, pp. 439-444.
- [4] C.C. Tsai, and C.M. Wang, and S.J. Chen, "An algorithm for routing a PGA package," in *Proc. 4th VLSI Design/CAD Workshop*, 1993, pp. 30-34.
- [5] C.E. Leiserson and F.M. Maley, "Algorithms for routing and testing routability of planar VLSI layouts," in *Proc. 17th ann. ACM Symposium Theory of Computing*, 1985, pp. 69-78.
- [6] W.M. Dai, T. Dayan, and D. Staepelaere, "Topological routing in Surf : generating a rubber band sketch," in *Proc. 28th Design Automation Conference*, 1991, pp. 39-44.
- [7] W.M. Dai, R. Kong, and M. Sato, "Routability of a rubber band sketch," in *Proc. 28th Design Automation Conference*, 1991, pp. 45-48.
- [8] C.Y. Lee, "An algorithm for path connection and its applications," *IEEE Trans. Electronic Computers*, vol. EC-10, No. 3, pp. 346-365, 1961.
- [9] D. Hightower, "A solution to the routing problems on the continuous plane," in *Proc. 6th Design Automation Workshop*, 1969, pp. 1-24.
- [10] C.P. Hsu, "General river routing algorithm," in *Proc. 20th Design Automation Conference*, 1983, pp. 578-583.
- [11] P.S. Tzeng and C.H. Sequin, "Codar: A congestion general area router," in *Proc. Int'l Conf. on Computer-Aided Design*, 1988, pp. 30-33.
- [12] C.C. Tsai, S.J. Chen, Y.L. Chen, and Y.H. Hu, "Planning strategies for area routing," in *Proc. The European Conference on Design Automation*, 1992, pp. 338-342.
- [13] Y.C. Wei and C.K. Cheng, "Ratio cut partitioning for hierarchical designs," *IEEE Trans. on Computer-Aided Design*, vol.10, No. 7, pp. 911-921, July 1991.
- [14] M.S. Hwang and S.J. Chen, "An efficient algorithm for VLSI partitioning," in *Proc. 4th VLSI Design/CAD Workshop*, 1993, pp. 11-14.

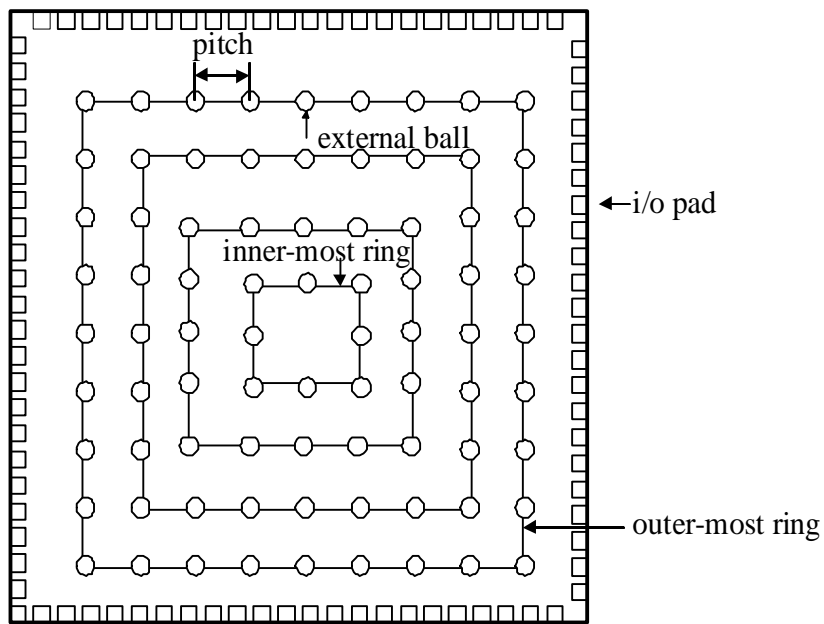


Figure 1(a): A Ball Grid Array package model

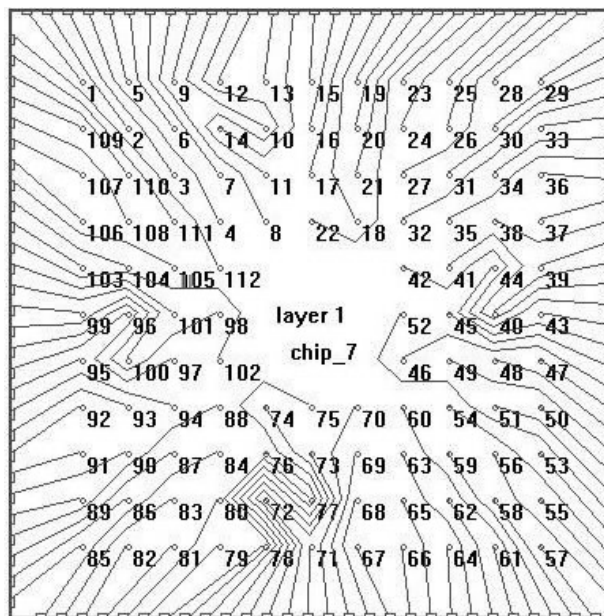


Figure 1(b): The any-angle layout of BGA