

低功率可攜式多媒體助理之相關技術研究(III)—子計劃三
線上手寫辨識處理器研製(III)
On-line Hand-Writing Recognition System of a Portable Multimedia
Assistant

計劃編號：NSC88-2215-E002-031

執行時間：1998/8/1-1999/7/31

計劃主持人：龐台銘教授

摘要

本計劃是為了研製一高效能、低功率的即時手寫辨識器所需之演算法及特殊硬體架構與晶片。硬體晶片之主要功能是處理手寫中文之即時輸入與辨識中最耗時之比對演算，以減少 RISC CPU 之計算負擔，本年度我們完成了晶片的佈局後模擬、下線及測試。

關鍵詞

線上手寫辨識，筆式電腦，低功率，先深後廣搜尋演算法

Abstract

One high-performance, low-power and real-time "On-line Handwritten Character Recognizer" will be proposed in this project. This project involves the character recognition algorithm and special hardware architecture. The main function of the hardware chip is to handle handwritten Chinese with real-time input and recognize. Because the matching is the most time-consuming, we use the hardware to reduce the load of RISC CPU. This year, we complete the post-layout simulation, type-out and test.

一、計劃緣由與目的

“線上手寫辨識”是未來的“筆式電腦”如“可攜式多媒體助理”之主要輸入方式。雖然目前“線上手寫辨識”研究已相當成熟，然而現有的研究及產品，大多是在功能強大而無省電顧慮的“桌上型”個人電腦上發展。至於現有可攜式產品如“個人數位助理”雖也具有“線上手寫辨識”

功能，但因成本考慮，都是由其內之微處理器純以軟體處理。由於目前可攜式系統內之微處理器限於省電要求而效能較低，其辨認能力、速度與辨認率，對簡單的應用，在加以某些書寫限制下，雖已達可接受之程度，但對未來高速度、多功能的“可攜式多媒體助理”的效能需求而言，則仍有極大的差距。而且，以一個適合一般應用之通用微處理器執行一特殊應用如“線上手寫辨識”，雖然具有低成本與高靈活度之優點，卻因未以最直接有效的系統與硬體結構處理而“事倍功半” - 不符合“低功率”的設計準則：要以最有的方式及最少的電路活動量，在最短的時間內達到相同或更好的結果。

本計劃的目標是，在三年內根據以往之經驗與“低功率”設計考慮，發展一套適用於“低功率可攜式多媒體助理”之“線上手寫辨識處理器”。研究其硬體架構、電路、VLSI 晶片、及相關演算法。所擬研製處理器之主要功能，是辨認線上手寫輸入之中英文字、注音符號、及特殊字符等，處理線上手寫輸入與辨識過程中重覆最多、最耗時之演算，包括筆輸入、切割、前處理、特徵抽取、比對分類、及文辭後處理等，以減輕主處理器之計算負擔。研究重點是如何在軟體、速度、耗電量、與晶片大小四者之間取捨，做一適合用於“低功率可攜式多媒體助理”之最佳化設計。

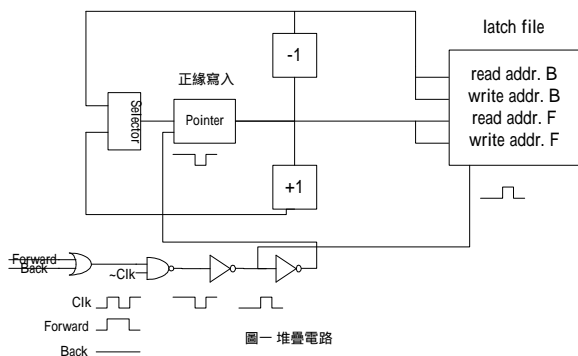
二、研究方法及成果

(1)架構簡介

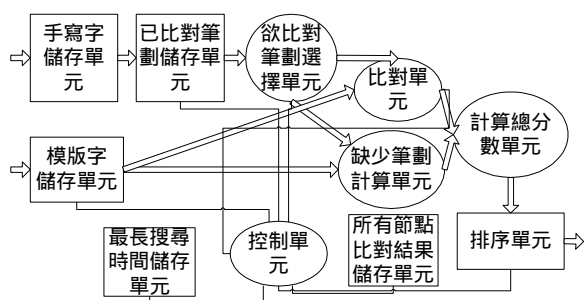
因為在搜尋的過程中會有往樹根 (root)走的情形(以下我們稱這種情形叫 back)，所以要將之前比對過的每一個節點的結果記錄下來。要紀錄的資料必須要有從目前節點回溯到 root 的完整路徑，這樣才能在 back 時正確的回到 root，因此將會用到許多暫存器。在第一版的電路中為了減少設計的複雜度，我們的確用了大量的具有多工器的暫存器，而模擬的結果發現這樣的設計相當耗電，使用台積電的 0.6um 製程在 20Mz 下的耗電量為 1.25W。為了達到低功率的要求，第二版的電路中我們在兩個層次上做了特殊的設計：

1. 架構層次：盡量少用耗電量大的位移暫存器(shift register)，而依實際的需求以堆疊代替，在此我們以 latch file 和一個指標組成需要的堆疊 (stack)。
2. 電路層次：因為使用到很多暫存器，為了減少不必要的寫入動作，我們使用時脈遮斷(clock gating)的技術，以達到省電的要求。

綜合以上兩個特殊的設計，在整個晶片中最常使用的單元----具有時脈遮斷控制的堆疊----在下圖說明。其中 latch file 和 pointer 都是正緣寫入，時脈經過遮斷後再去控制 latch file 和 pointer 的寫入，並由 pointer 指出 latch file 的寫入位址和讀取位址。



整個架構的方塊圖如下：



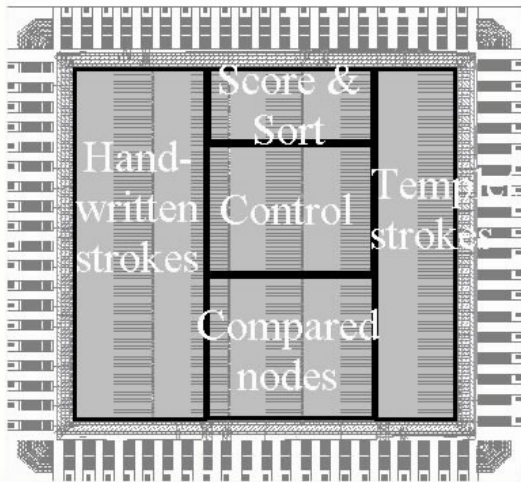
手寫字經過前處理抽出筆劃型態和關係並排序後，送入手寫字儲存單元，在經由已比對筆劃儲存單元和欲比對筆劃選擇單元選出要做比對的手寫字筆劃後，在比對單元和缺少筆劃比對單元內，與模版字筆劃進行比對並計算比對分數，而後在計算總分數單元內計算總分數，當整個搜尋完成後經排序單元選出分數最低的十個模板字。

(2)佈局及佈局後模擬

在這個年度中我們完成晶片的佈局、佈局後模擬及下線製作。這個晶片使用台積電 0.6 μm 1p3m 製程,並使用 Compass cell library 以加速設計時程。整個晶片的佈局結果統計如下：

IC Process	0.6um SPTM CMOS
Area	5.4*5.4 mm ²
Transistor Count	About 168,000
Power Supply	5V
Max. Freq.	25MHz
Input pads	27
Output pads	30
Power consumption	250mW

晶片的佈局如下圖：



其中 Hand-written strokes 儲存手寫字的筆劃資料，Templet stroke 儲存正在比對的標準字型的資料，Control 控制比對時搜尋的走向，Score & Sort 計算比對的分數並排序出前十個最像的字，Compared nodes 儲存目前在搜尋數中的狀態。

佈局後的 timemill 模擬如附圖 1、2、3。

三、結論與討論

這個年度我們以硬體實現了一個低功率的線上中文手寫辨識晶片，並達成以下幾點目標：

(1)節省記憶體

要將線上中文手寫辨識給硬體化，我們必須注意到硬體和軟體有著基本上的不同。首先我們必須儘量節省記憶體的使用，我們把資料庫的儲存儘量用到最少，只儲存筆劃和筆劃間的關係，而把筆劃順序這個重要的資訊藏在之中，而且用這種資料結構，可以輕易的把一個字給分成數個字根的形態來儲存。

(2)簡化辨識單元

因為硬體的動作比較規則，所以在辨識時，我們必須儘量讓程式規則，這樣在硬體化時才不會太過於複雜。

(3)加速辨識速度

在處理待辨字時，我們讓前處理

的部分只作一次，亦即這次處理之後，即可以用在所有字的辨識上，不必因為特定字的辨識而作特別的處理，可以減輕軟體的負擔，並且儘量讓大量的運算在硬體方面處理。

(4)資料庫的建立容易

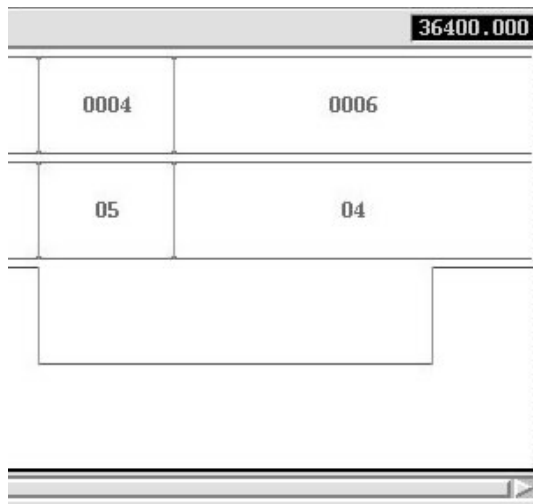
在建立資料庫時，只需有一套輸入字，利用一樣的方法，抽出我們所要的特徵，再加以儲存即可，另外，對於由字根所組成的字，我們也可以很輕易的由字根來產生來這個字的真正內容。

(5)完成低功率的設計

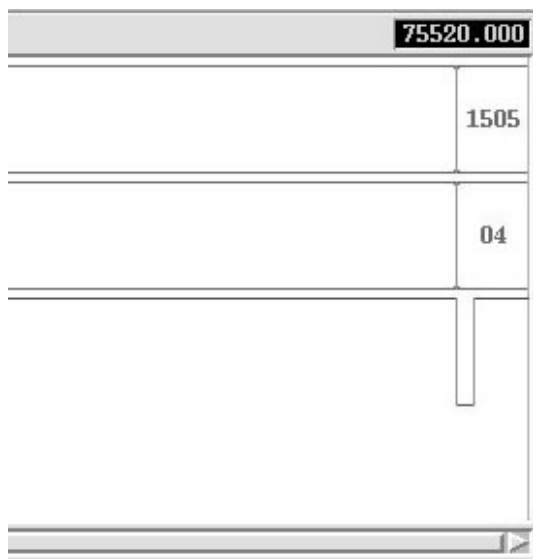
在第一版的硬體化時只是為了驗證正確性，並沒有依據低功率的要求作特殊的設計。在第二版電路中我們分析了最耗電的單元並提出降低功率的方法，以符合低功率的要求。

四、論文與技術報告

1. Tai-Ming Parng, Wen-Chung Kao, "Integrating Statistical and Structural Approaches to Handprinted Chinese Character Recognition." 1996
2. Tai-Ming Parng, Ho-shin Yang, "A Font-Adaptive Approach to Printed Chinese Character Recognition." 1996
3. Chi-Wei Lee, Zen Chen, "Handwritten Chinese Character Recognition Based on Automatically Generated Stroke Structural Sequence Codes." 1995
4. Kuo-Sen Chou, Kuo-Chin Fan, Tzu-I J. Fan, Chang-Keng Lin, "Recognition of On-Line Chinese Character by Knowledge Model Based Approach." Proceedings of 1993 Third National Workshop on Character Recognition, R.O.C.
5. Tai-Ming Parng, Chung-Yi Chen, "A Depth-First-Search Processor for On-Line Chinese Character Recognition" The 9th VLSI Design/CAD Symposium, pp. 207-210, Aug. 1998.



附圖 1



附圖 2

在附圖 1、2 中的第一個波形顯示對應到的字的編號，第二個波形顯示比對的分數，第三個波形為低位準時表示比對完成。