

計畫名稱：應用接腳陣列繞線技術於 MCM (III)

Pin Grid Array Routing for MCM (III)

計畫編號：NSC88-2216-E002-017

執行期限：87 年 8 月 1 日 至 88 年 7 月 31 日

主持人：陳少傑 臺灣大學電機工程研究所 教授

## 一、摘要

本研究計畫乃為期三年之整合計畫，在第一年已完成 PGA 封裝繞線器的下列步驟：(一) 繞線指定層步驟 (二) 拓樸繞線步驟、(三) 幾何繞線步驟。在第二年亦已完成將第一年之 PGA 繞線器修改成了可應用在 BGA 封裝上之目標。今年第三年計畫主要為完成 (一) 移植 PGA 及 BGA 繞線器至視窗環境及 Windows 作業平台、(二) 完成 MCM 繞線器與 PGA 或 BGA 繞線器之間的系統整合測試。本計畫之繞線器完成後，可支援使用多晶片模組 (MCM) 系統在封裝上面的繞線。

## Abstract

The research plan is three-years based. We have already developed an MCM PGA packaging router at the first year and finished the following phases: layer assignment, topological routing, and geometric routing. At the second year, we have also developed an MCM BGA packaging router. At this year, the overall design will be divided into the following phrases: (i) Implant the MCM PGA and BGA package routers from Sun Workstation to Windows environment and platform. (ii) Integrate and test our packaging routers with the other MCM subsystem. Our PGA and BGA package routers couple tightly with other subprojects, and can be integrated into other MCM systems developed by our CAD research groups.

## 二、計畫緣由與目的

在過去的二十年, IC 的製造技術已經有快速的進步, 而且複雜度已相對的增加。原始晶片 (die) 的大小和 I/O pads 的數目也大幅的增加, 因此 IC 的封裝技術更顯得複雜。根據製造技術的不斷演進, 接點網狀陣列 (Pin Grid Array) 或焊錫球點網狀陣列 (Ball Grid Array) 封裝技術, 仍然是較適合於 I/O Pads 數目較多的 IC 封裝, 由很多實際封裝的技術可知, 要完成 IC 的 I/O Pads 和 PGA 接點 (Pins) 或 BGA 球點 (Balls) 之間的繞線工作是件不容易之事。

在圖一(a)所展示接點網狀陣列 (PGA) 的繞線結構, 有 I/O Pads 分佈在晶片 (die) 的邊界上, 外部接點 (external pins) 分佈於網狀陣列中, 我們的目標是完成 I/O Pads 和外部接點的正確連接且能得到最短的繞線長度, 因此, 我們稱這問題為 PGA 繞線問題。嚴格說, 此 PGA 繞線是一種特殊的區域繞線 (Area Routing) 問題。一般來說, 均設有多個繞線層可供繞線。則 PGA 繞線的處理步驟區分為下列三個階段: (一) 繞線層指定 (Layer Assignment), (二) 拓樸繞線 (Topological Routing), (三) 幾何繞線 (Geometric Routing)。過去在繞線層指定的研究有最大加權平面圖方法 [1], 網列交錯圖 (net interference graph) [2] 等方法被提出; 而拓樸繞線的目的是將在每層的初始繞線 (Initial Routing) 結構轉換成為平面圖, 有斜率方法 [3, 4]、Rubber Band 方法 [5-7]

等被提出；幾何繞線方面主要目的是將平面圖轉換為幾何佈局，且不違反設計規則，過去有迷宮繞線 (Maze Routing) [8, 9]、河平面繞線 (River Routing) [10]、區域繞線 [11, 12]、範圍搜尋 [7] 等方法已被提出。圖一(b)為焊錫球點網狀陣列 (BGA) 的繞線結構，其繞線處理方式與 PGA 稍有不同。

本研究計畫的預期目標，在第一年計畫已發展一套接點網狀陣列封裝 (Pin Grid Array Package) 的繞線器，其模型如圖一(a) 所示，其中完成之工作項目及具體成果簡述於后：

(一) 建立網列之左、右排序反轉表 (Inversion Table)，並且計算二者之加權值 (weight)。進而使用比較程序 (Comparison Procedure) 來將各網列配置到不同的繞線層。(二) 決定各網列的繞線優先順序後，再找出各網列的平面化規則完成各網列的拓樸繞線 (Topological Routing) 工作。(三) 俟拓樸繞線完成後，應用 Range-Insertion 繞線技巧來完成幾何佈局繞線，得以實現整個 PGA 繞線系統。(四) 根據上述三項之目標，建立高效率的演算法和推導數學繞線模式，以印證理論與實作相契合。

第二年計畫銜接前一年之研究成果，再建立一套應用在焊錫球點網狀陣列 (Ball Grid Array) 的封裝繞線系統。其中已完成之工作項目及具體成果簡述后：(一) 提出 BGA 封裝之繞線模型。(二) 再進行各網列的繞線層指定。(三) 完成各層佈局之細部繞線，以實現整個 MCM BGA 包裝之繞線系統。

今年之計畫為完成下列目標：(一) 將 PGA 及 BGA 繞線器從 SUN 工作站之 UNIX 作業平台移植至 PC 視窗環境之作業平台，(二) 完成 MCM 繞線器與 PGA 或 BGA 繞線器之間的系統整合測試。

本計畫之繞線器完全可與「多晶片模組電性分析、設計及測試研究」之總計畫作密切配合，共同發掘 MCM 設計、佈局、電性分析、及測試等等之新問題；並可達到積體電路實體設計與電腦輔助設計一體之目的，並建立構裝自動設計系統之長期目標。

### 三、研究方法

首先，整個軟體設計區分為下列步驟

(一) 需求分析及定義步驟：依目前製程之技術、設計規則 (design rules) 定義技術檔 (technology file) 及方便的圖形使用者介面，其中技術檔中包括 PGA 或 BGA 封裝之 pin diameter、pin pitch、wire width、wire space、pin count 等資料，做為決定拓樸繞線路徑及促使 I/O 效能之最佳化之詳細繞線結構。(二) PGA & BGA 之系統及軟體設計步驟：採用物件導向設計 (OOD) 方法，來達成「軟體 IC」的目標，其特點如下 (1) 由下向上將各物件模組成主系統、(2) 各物件模組內的資料都被封裝起來，只能以該模組所提供的操作法來運作資料、(3) 系統功能需求改變時，由於物件本身的內容及操作法並未改變，所以只要將各物件重新組合或加入新物件即可。如此可降低寫程式碼所花費的精力、加速開發效率、加強可維護性、加強可靠性。(三) PGA & BGA 之程式碼撰寫及單元功能測試步驟：以物件導向程式設計 (OOP) 語言：VISUAL C++/MFC 撰寫程式碼，將 PGA 及 BGA 繞線器從原 Sun 工作站之 Unix 作業平台移植至 PC 視窗環境及 WIN32 作業平台；進行單元測試，測試各模組重要的邏輯路徑，以驗證每一單元符合功能需求。(四) PGA 或 BGA 與 MCM 整合及系統測試步驟：完成 PGA 或 BGA 與 MCM 整合及進行系統測試。測試 PGA 或 BGA 子系統與 MCM 主系統間的界面，以發掘出

潛在的錯誤。(五) 軟體操作及維護步驟: 軟體維護其主要步驟如下列 (1) 更正維護 (Corrective maintenance): 以發掘測試時無法發現的錯誤 (2) 進行適應維護 (Adaptive maintenance): 以適應新的作業系統、週邊設備及其他系統元件、(3) 進行完美維護: 以滿足增加新功能或修改原功能的要求。提供使用者手冊及其他設計的文件說明, 以利操作及長期維護。

此計畫的上述工作分別已在 Sun 工作站及 Pentium II 266 MHz 之 PC 上進行程式模擬實作及與總體計畫下的各相關子計畫作必需的整合以達設計自動化的目的。

#### 四、 結論

在我們提出的繞線系統中, 因為此系統是建立在網基資料結構上, 而提高了系統的效能。此繞線系統有兩個主要優點: (1) 平均分佈繞線使得雜訊之訊號干擾減少及良產率增加, 也就是提高電器效能及降低成本。(2) 利用網基資料結構來降低問題的複雜度, 也就是提高系統效能。(3) 採用物件導向設計 (OOD) 方法以加速開發效率及可維護性, 以達成“軟體 IC”的目標。根據實驗結果, 我們的演算法可完成繞出圖二(a) 之接點網狀陣列及圖二(b) 之焊錫球點網狀陣列封裝, 未來更可處理多晶片模組封裝之實際繞線技術。

#### 五、 參考文獻

- [1] J. Cong and C.L. Liu, "On the k-layer planar subset and the topological via minimization problems," *IEEE Trans. on Computer-Aided Design*, vol. 10, No. 8, pp. 972-981, August 1991.
- [2] J. Cho, M. Sarrafzadeh, M. Sriram, and S.M. Kang, "High-performance MCM routing," *IEEE Design and Test of Computers*, vol. 10, No. 3, pp. 27-37, December 1993.
- [3] C.C. Tsai, and S.J. Chen, "Planar routing on a pin grid array package", in

*Proc. The Third Int'l Conf. on Computer-Aided Design and Computer Graph*, August 1993, pp. 439-444.

- [4] C.C. Tsai, and C.M. Wang, and S.J. Chen, "An algorithm for routing a PGA package," in *Proc. 4th VLSI Design/CAD Workshop*, 1993, pp. 30-34.
- [5] C.E. Leiserson and F.M. Maley, "Algorithms for routing and testing routability of planar VLSI layouts," in *Proc. 17th ann. ACM Symposium Theory of Computing*, 1985, pp. 69-78.
- [6] W.M. Dai, T. Dayan, and D. Staepelaere, "Topological routing in Surf: generating a rubber band sketch," in *Proc. 28th Design Automation Conference*, 1991, pp. 39-44.
- [7] W.M. Dai, R. Kong, and M. Sato, "Routability of a rubber band sketch," in *Proc. 28th Design Automation Conference*, 1991, pp. 45-48.
- [8] C.Y. Lee, "An algorithm for path connection and its applications," *IEEE Trans. Electronic Computers*, vol. EC-10, No. 3, pp. 346-365, 1961.
- [9] D. Hightower, "A solution to the routing problems on the continuous plane," in *Proc. 6th Design Automation Workshop*, 1969, pp. 1-24.
- [10] C.P. Hsu, "General river routing algorithm," in *Proc. 20th Design Automation Conference*, 1983, pp. 578-583
- [11] P.S. Tzeng and C.H. Sequin, "Codar: A congestion general area router," in *Proc. Int'l Conf. on Computer-Aided Design*, 1988, pp. 30-33.
- [12] C.C. Tsai, S.J. Chen, Y.L. Chen, and Y.H. Hu, "Planning strategies for area routing," in *Proc. The European Conference on Design Automation*, 1992, pp. 338-342.
- [13] Y.C. Wei and C.K. Cheng, "Ratio cut partitioning for hierarchical designs," *IEEE Trans. on Computer-Aided Design*, vol.10, No. 7, pp. 911-921, July 1991.
- [14] M.S. Hwang and S.J. Chen, "An efficient algorithm for VLSI partitioning," in *Proc. 4th VLSI Design/CAD Workshop*, 1993, pp. 11-14.

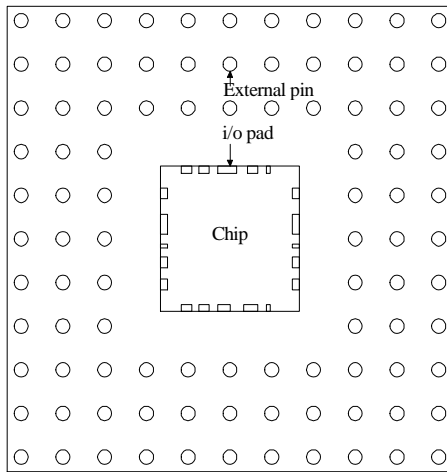


Fig. 1(a): A Pin Grid Array package model.

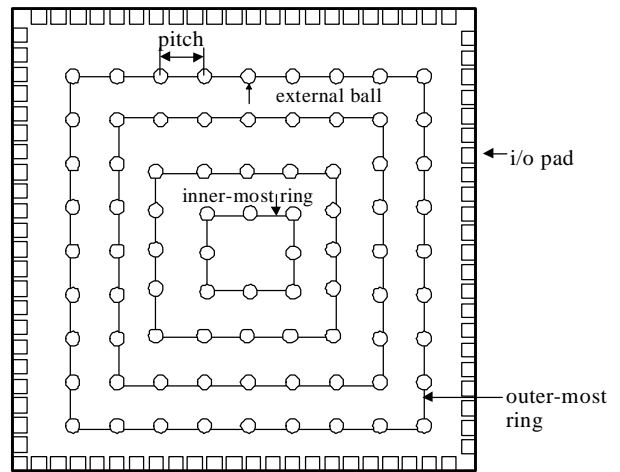


Fig. 1(b): A Ball Grid Array package model.

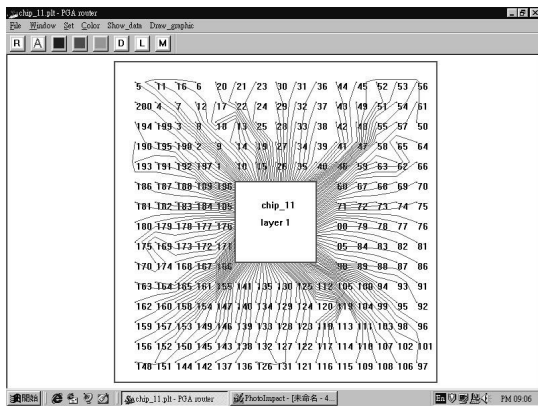


Fig. 2(a): The any-angle layout of a PGA

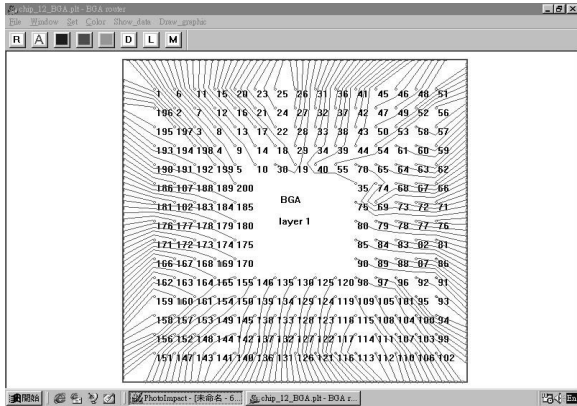


Fig. 2(b): The any-angle layout of a BGA.