

計畫名稱：考慮可測性的 MCM 布局研究
The Study on the testability for MCM Layout
計畫編號：NSC88-2216-E002-019

執行期限：87 年 8 月 1 日 至 88 年 7 月 31 日

主持人：馮武雄 臺灣大學電機工程研究所 教授

E-mail: fengws@cc.ee.ntu.edu.tw

一、摘要

由於半導體的製造技術日益先進，封裝(package)及接線技術已成為電子系統工作速度的瓶頸。由於多晶片模組(MCM)具有速度快、面積小、耗電量省、重量輕等等優點，因此，很快地被業界所接受。換言之，如何測試 MCM。達成這個目的必須採用一種可測試性設計(DFT)，同時在一般正常的電路之外，額外加入測試用的電路，以提高對內部電路的控制度及觀察度。

本文依據交錯檢查的架構，提出許多原型設計，應用在不同製程的 MCM 上。此外，也提出另一種可程式陣列的 MCM 架構，將繞線問題與測試問題合併在同一顆測試晶片之中。最後，提出良好的可測試技術供範例分析比較其結果，來說明這些設計上的優劣性及適用性。

關鍵詞：多晶片模組、邊界掃描、交錯檢查、可測性

Abstract

As semiconductor technology advanced quickly, packaging and off-chip interconnections have become the bottleneck of performance in the electronic system. Because of the advantages that they offer in high clock

rates, power dissipation saving, light weight, and so on. However, one way to accomplish these goals is by the process of design for testability (DFT). Additional logic circuit typically must be added to the design to increase controllability and observability of deeply buried logic elements.

In this work, we will revolve mainly around the Crosscheck structure and make many test structural prototypes for different MCMs. Next, a programmable gate-array based MCM structure is proposed, which combines the routing and testing problem into the same test chip. Through these feasible testability methods, a flexible and more reliable high performance designs of MCM becomes a reality.

Keywords: Multi-Chip Module、Boundary Scan、Crosscheck、Testability.

二、計畫緣由與目的

在 MCM 的測試方法上最常被提出來的便是採用 BIST(Build In Self Test)[1-2] 搭配邊界掃描的測試架構，利用這種方法建立的測試系統雖可有效的建立自動化的測試機制，並

且快速的檢查錯誤，但仍有一些問題需要克服諸如--必須等整個MCM系統組裝好才能測試，無法分別對各個部分做測試，一般若問題到此才被發現則維修(Rework)成本會非常高、發展時間較長、晶片必須內建 BIST 及 Boundary Scan 機制否則必須重新設計晶片、生產成本較高、較適合高階產品...等，若基於成本及開發時間的考量並不是每一項 MCM 設計都能採用此方法。而我們所要設計的自動繞線布局器便考量到這些問題包括：如何設計低成本的 MCM，如何在缺乏 BIST 及邊界掃描的前題下設計一可觀察性、可測性高的 MCM 系統。

掃描為基礎的結構化設計主要包含三大類：一是全串列式掃描 (Full Serial Scan)，二是全分離掃描，三是非串列式掃描，這三種方式各有其優缺點。另外，掃描為主的設計有具有些共同的特性，本文特列舉詳論之。其後，則簡述了 IEEE 1149.1 邊界掃描的標準架構，包括其掃描單元、硬體架構、系統運作等，並分析其優缺點。最後，則說明交錯檢查的架構、原理以及其運作方式，並說明直接應用此架構在 MCM 上所會遭遇的問題。

三、研究方法

就持續研究高頻繞線及電磁干擾作用與模擬分析結果[3-8]，進行 MCM 的電性量測與可測性研究。在系統測試上最常被提出來的便是採用 BIST 搭配邊界掃描的測試架構 [9-11]，但並不是每個晶片都提供 BIST 及 Boundary Scan 的功能，在

考量這一點我們將研究設計一低成本的邊界掃描晶片加在我們的 MCM 基板上，使 MCM 能達到自動化快速測試的目的。

我們基於交錯檢查的測試架構，提出了三種原型：分別是 (一) 直接應用方式，(二) 保留二層繞線層方式，以及 (三) 利用基體上可程式化繞線資源等三種方式。第一種方式基本上假設基礎晶圓擁有足夠的資源來配合交錯檢查的架構，同時也允許在晶圓上產生匣陣列以達成高度可觀察性。第二種方式的限制較少，主要是利用 MCM 原本所擁有的繞線層，來拉引全域性的感應線 (sense line) 及探針線 (probe line)。每個模組上的輸出/輸入腳位，均用一交錯檢查控制匣來作數位資料的記憶工作。而所有的記憶單元均合併到數個臨近的測試晶片上，來做統籌性的控制。第三種方式則利用可程式化基體所提供的繞線資源，來拉引全域性的控制線。此外，為減少測試點，也將原本每個腳位對應一個記憶單元的方式改為一個相連腳位之子集合對應一個測試點。如此，完成了我們 MCM 的測試架構。

產生測試點- 在布局過程中可將重要的訊號拉到基板表面，提供一較大的面積以利探針 (probe) 測量，或直接將訊號拉到所指定的腳位上直接由接腳測量，如此將可利用較簡易的測試儀器檢測。但這樣做卻可能影響訊號的品質，增加寄生電容電感效應及繞線的複雜度。因此如何有技巧的安排測試點，減少寄生效應及阻

抗匹配問題，降低對訊號的衝擊，是我們要研究及分析的。初步使用方法有分割克服 (divide-and-conquer)，函概率推論等逐步探討。

四、結果與結論

本文的數值分析是假設在一個 MCM 晶圓上具有 1024 個腳位及測試點。依據傳統邊界掃描的測試方法，與我們所用的測試架構，在不同數量的測試點下，所做的數值分析。此外，也就本文所提的幾個測試架構，闡述它們所適用的情況及範圍。

針對我們所測量分析的結果可以歸納出一些設計規範，提供軟體繞線時的一些參考原則。在布局時考慮到成本、效能、穩定度、測試、檢修各個部份分別列舉如下：

1. 增加額外測試電路的可行性及硬體成本。
2. 晶片的放置 (placement) 以利測試點的規畫及散熱的考量。
3. 在布局過程中增加測試點對電路性能 (performance) 衝擊的分析。
4. 有效的利用各種技巧以增加訊號的品質 (Signal Integrity)。
5. 以及 MCM 系統設計發展的時間 (Time to market) 及成本效益。

基於以上的考量選擇最符合成本效益的方法來設計布局我們的電路，以達到可測性、電路性能、訊號品質及成本效益等各方面的要求。

五、參考文獻

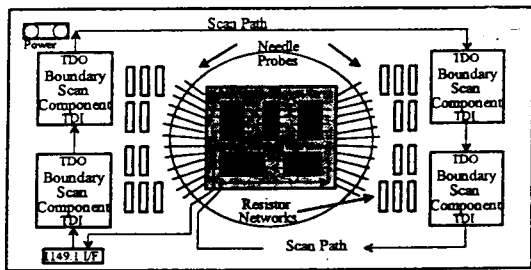
- [1] A. Iqbal, M. Swaminathan, M. Nealon and A. Omer, "Design tradeoffs among MCM-S, MCM-D and MCM-D/C technologies," Proc. IEEE Multi-chip Module Conference, Santa Cruz, CA, March 15, 1993, pp.12-17.
- [2] A. S. M. Hassan, V. K. Agarwal, B. Nadeau-Dostie and J. Rajski, "BIST of PCB interconnects using boundary-scan architecture," IEEE Trans. on Computer-Aided Design, Vol.11, No.10, Oct. 1992, pp.1278-1288.
- [3] W. S. Feng and Y. H. Tseng, "EMC-driven placement for MCM," EMC'97, International Symposium on Electromagnetic Compatibility, Beijing, China, May 21-23, 1997.
- [4] W. S. Feng, S. Denqchen and M. C. Chen, "Simulation and optimization of MCM inter-connections," IMAPS-International Micro-electronics and Packaging Society, Denver, CO, pp.178-183, April 14, 1998.
- [5] Z. C. Lin, S. Tenqchen, W. S. Feng and M. C. Chen, "An electromagnetic simulation for the interconnections of multilayered packaging: MCM/PCB," The 9th VLSI/CAD Symposium, Nantou, Taiwan, ROC, pp.45-48, Aug. 1998.
- [6] M. Chang, W. -J. Chen, J. H. Wang and W. S. Feng, "An algorithm for estimating bottleneck effect in series-parallel tree circuits," IEICE transaction on Fundamentals of Electrgonics, Communications and Computer Sciences, Vol. E81-A, No.11, pp.2400-2406, Nov. 1998.
- [7] W. S. Feng, M. C. Suen, Z. C. Lin, and V. Lu, "Efficient simulation and optimization for multilayered interconnections," DATE'99: Design, Automation and Test, Munich, Germany, 9-12 March 1999.
- [8] H. J. Wu and W. S. Feng, "Efficient simulation of switched networks using reduced unification matrix," IEEE Trans. on Power Electronics, Vol.14, No.3, pp.481-494, May 1999.
- [9] Yrtvant Zorian, Senior Member, IEEE, "A Structured Testability Approach For

Multi-Chip-Modules Based on BIST and Boundary-Scan ",IEEE Transactions on Components , Packaging , and Manufacturing Technology - Part B, Vol. 17 ,No. 3 , August 1994, pp. 283-290.

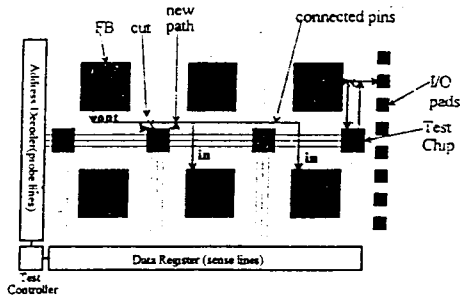
[10]Ahmed Omer and Andrew Flint , "Testability and Signal Integrity in a Low Cost Multichip Module",IEEE Transactions on Components , Packaging , and Manufacturing Technology - Part B, Vol.20 NO.3 August 1997 , PP. 300-307.

[11] Bruce Kim , Madhavan Swaminathan , Abhijit Chatterjee and David Schimmel , "A Novel Test Technique for MCM Substrates" IEEE Transactions on Components , Packaging , and Manufacturing Technology - Part B, Vol.20 NO.1 February 1997, pp. 2-12.

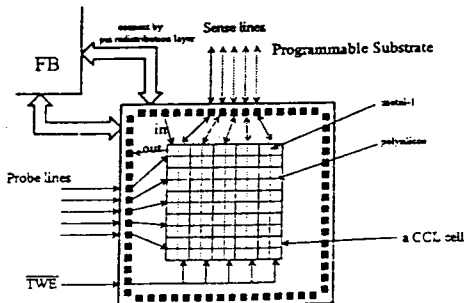
六、圖表



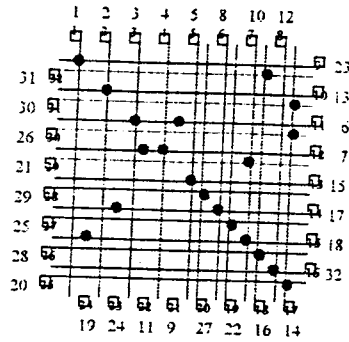
圖一 I/O 接腳掃描測試技術



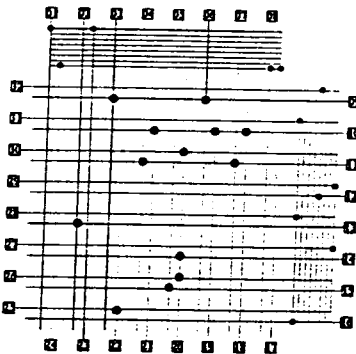
圖二 具有測試點的測試架構



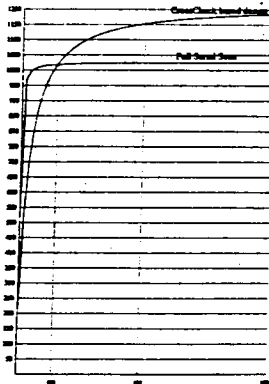
圖三 測試晶片內部架構



圖四 測試繞線技術-策略一



圖五 測試繞線技術-策略二



圖六 邊界掃描與交錯檢查的結果

表一 兩種繞線策略的比較

繞線策略	Routing tracks	Pass transistors
Strategy 1	k^*	$k^2/4$
Strategy 2	1.4k	$k^2/2$

* 接腳總數

表二 邊界掃描與交錯檢查的比較

掃描檢 查比較	One bit			512 bits			Area Gate count
	worst	best	average	worst	best	average	
Full serial scan	1024	1	510	1024	512	1020	38k
Crosscheck with 32-bit sense registers	37	5	21	1180	590	1150	22k