

計畫名稱：MCM 連線及貫孔測試研究 (III)
Research on Interconnection and Via for MCM Layout (III)
計畫編號：NSC88-2216-E002-020
執行期限：87 年 8 月 1 日 至 88 年 7 月 31 日
主持人：馮武雄 臺灣大學電機工程研究所 教授
E-mail: fengws@cc.ee.ntu.edu.tw

一、摘要

在多晶片模組中的電子電路系統已經逐漸走向高頻率、高密度的設計，在此情況之下，晶片間的連線密度越來越高，因此相鄰的傳輸線可能會因為訊號干擾而造成信號失真、晶片產生誤動作。在本計畫中，我們將對平面訊號層傳輸線及垂直貫孔 (Via) 進行訊號傳輸的測量；針對傳輸線間的信號干擾、傳輸延遲、反射等現象進行量測，並將量測結果與模擬結果進行比較分析，這包括使用之前所發展的多層板構裝結構連線的電磁模擬程式，以及商用軟體所得的模擬結果比較，尚稱符合。

Abstract

Keywords：Multi-Chip Module、EMI、EMC、via、transmission line.

The electronic circuit systems in multi-chip module (MCM) are designed with higher frequency and higher density in recent years. Therefore, the space between chips in multi-chip module is getting close. The result is that the signal transmitted on transmission line will be destroyed because of the cross-talk from nearby wires. This will make the MCM chip function incorrectly. In this project, we will measure the signal propagation on transmission line and through via. The phenomena of cross-talk, reflection and propagation delay will be explored. The measured data and simulation results will be compared and analyzed. The simulation results include those

generated by formally developed electromagnetic simulator as well as by commercial software, and shown good agreement..

二、計畫緣由與目的

由於半導體技術的進步，晶片裏的元件密度愈來愈高，運算速度愈來愈快，執行功能也愈來愈強，為了連接晶片上密度高且數量多的接點，並滿足高效能元件日益嚴格的電性特性要求，多層多晶片模組 (Multi-Chip Module) 已成構裝結構的發展趨勢。多晶片模組是將多個晶片放在同一個封裝內，這使得信號傳輸延遲 (Propagation Delay)、功率消耗 (Power Consumption) 和電子系統的實際尺寸等都大幅減小，但同時也使連線 (Interconnection) 密度大幅提高。結果導致相鄰連線間的信號互相干擾 [1-2]，進而造成信號失真 [3]。由於當電路製作完成後，若電性特性不能符合要求也很難再對電路做改變。例如 Intel 所發展的 Pentium Pro 即是採用 MCM 製程，但由於散熱差及良率無法提高，以致成本無法大量下降，價格也就居高不下，只好轉求 Pentium II 以 slot 1 的形式，但已無法達到 Pentium Pro 中 Cache 可和 CPU 相同頻率的好處。如果我們能在電路發展的同時便能先預測其電性特性，將可以大幅提高產品的良率。為了能夠預測這些 MCM 構

裝中的連線特性，我們將對平面的訊號層傳輸線(Transmission line)及垂直貫孔(via)的電性特性作量測及分析比較，並利用分析結果來建立連線的繞線規則，以作為繞線軟體發展的參考。最終的目標在能提供國內MCM產業界一個快速並準確的模擬系統，以增加電子產品的良率，縮短發展時間，進而提高國內電子通訊及資訊產品的競爭力。

三、研究方法

本計畫就多晶片模組(MCM)的平面層連線及垂直貫孔進行量測、分析、繞線規則的建立。其方法和步驟包括：

A. 決定基本結構的等效電路模型：

在MCM中有幾種常見的結構，我們將這些結構分成以下幾種一一分析探討[4-5]：

1. 貫孔(Via)
2. 不連續介面
3. 平面多導體傳輸線
4. 多層多導體的傳輸線

基本結構之等效模型的建立，對於本計畫有相當重要的影響，一是如果等效模型建立有相當的誤差甚至發生錯誤，則模擬出來的結果將導致完全錯誤；二是等效電路的建立相當的費時，所以必須將大多數的計算化簡成經驗式或圖表，以縮短電腦運算時間。

B. 時域響應的模擬：

我們將等效電路利用改良式結點分析法(modified nodal analysis)求出網路方程式(network equation)[6]、求解網路方程式以決定網路之頻率響應以及利用拉普拉斯逆轉換(inverse Laplace

transform)求得網路之時域響應。並加入測試信號得出一些波形以便分析。

C. 時域響應的分析：

求出電路的時域響應後，我們便可以由波形結果做一些電性上的分析，大概可分為以下幾種[7-13]：

1. 傳輸延遲(Transmission Delay)
2. 反射(Reflection)
3. 串音(Cross-talk)

D. 信號傳輸的量測：

利用高頻的量測儀器來測量信號在傳輸線(Transmission line)及貫孔(Via)傳輸時的特性，包括串音(圖一)、傳輸延遲以及反射(圖二)等的量測。圖一及圖二是由Tektronix的11801B所量得並經由IPA 510將圖形捕捉紀錄。

E. 繞線規則的建立：

經由分析量測所得的結果，我們歸納出不同繞線方式的時域響應，並利用最佳化技術求出最適宜的線距及線寬。同時，由軟體的模擬(圖三)來比較驗證所建立之規則的正確性。

四、結論

針對我們所測量分析的結果可以歸納出一些設計規範，提供軟體繞線時的一些參考原則：

- A. 就傳輸延遲而言，繞線時應考慮等信號傳輸延遲線(equal delay line)之繞線，針對較高速之信號線作等距離之拉線，以避免傳輸延遲造成電路不正常動作。對於排線繞線，尤其需要考慮偶數個轉彎。
- B. 就反射言，利用臨界(critical)傳輸

線長 L_k ，可定出其 EMC 設計規則，即為了避免數位間發生功能誤動作或信號的反射現象，在數位間間的傳輸線之間的特性阻抗須維持一定值如 50 歐姆，否則須調整繞線寬度，以改變輸入阻抗使其匹配。

- C. 針對傳輸線之間的串音現象，由於相鄰信號間的干擾即使在間隔距離較遠的連線亦可觀察到串音現象。因此多晶片模組(MCM)的連線繞線方式應盡量採用信號線、地線、信號線的間隔方式來減小信號線之間的干擾現象，同時信號線的長度不超過臨界線長。
- D. 對於信號經過貫孔時的信號量測我們發現貫孔對信號的影響主要是類似繞線的不連續或寬窄變化的現象一樣，會造成信號有震盪起伏，若是貫孔的設計不理想極有可能造成信號的誤動作。

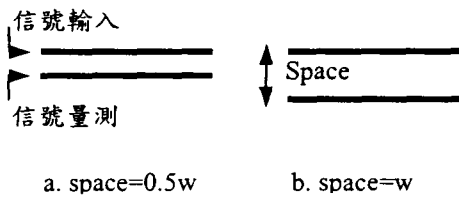
五、參考文獻

- [1] W. S. Feng, S. Denqchen and M. C. Chen, "Simulation and optimization of MCM interconnections," IMAPS- International Micro- electronics and Packaging Society, Denver, CO, pp.178-183, April 14, 1998.
- [2] Z. C. Lin, S. Tenqchen, W. S. Feng and M. C. Chen, "An electromagnetic simulation for the interconnections of multilayered packaging: MCM/PCB," The 9th VLSI/CAD Symposium, Nantou, Taiwan, ROC, pp.45-48, Aug. 1998.
- [3] M. Chang, W. -J. Chen, J. H. Wang and W. S. Feng, "An algorithm for estimating bottleneck effect in series-parallel tree circuits," IEICE transaction on Fundamentals of Electgronics, Communications and Computer Sciences, Vol. E81-A, No.11, pp.2400-2406, Nov. 1998.
- [4] W. S. Feng, M. C. Suen, Z. C. Lin, and V. Lu, "Efficient simulation and optimization for multilayered interconnections," DATE'99: Design, Automation and Test, Munich, Germany, 9-12 March 1999.
- [5] Z. C. Lin and W. S. Feng, "Optimization technique for multilayered interconnections," EDMS'99, Taoyuan, Taiwan, Nov. 1999.
- [6] H. J. Wu and W. S. Feng, "Efficient simulation of switched networks using reduced unification matrix," IEEE Trans. on Power Electronics, Vol.14, No.3, pp.481-494, May 1999.
- [7] J. R. Brews, "Electrical modeling of interconnections" in Submicro Integrated Circuits, R.K.Watts, ed., New York: Wiley, Chap.6 1989
- [8] A.J.Rainal, "Reflections from bends in a printed conductor," IEEE Trans Comp., Hybr., Manuf., Tech. pp.407~413, 1990
- [9] T.Wang, R.F.Hrrington, and J.P.Mautz, "Quasi-Static analysis of a microstrip via through a hole in a ground plane," IEEE Trans. Microwave Theory and Techniques, pp.1008~1013, 1988
- [10] D.Herrell and D.Carey, "High frequency performance of TAB," IEEE Trans. Comp., Hybr., Manuf., Tech., pp.199~203, 1987

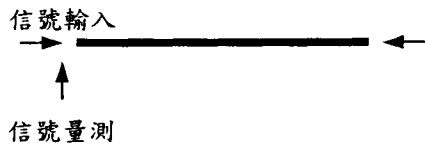
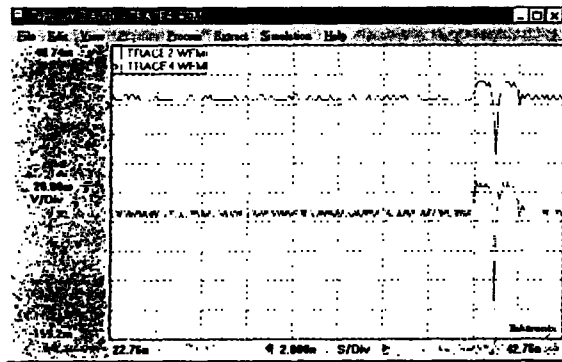
[11] N. Fache, F. Olyslager, and D. De Zutter, "Electromagnetic and Circuit Modeling of Multiconductor Transmission Lines," Clarendon Press, Oxford, 1993.

[12] A.R.Djordjevic, T.K.Sarkar, and R.F.Harrington, "Time-domain response of multiconductor transmission lines" Proc. IEEE, vol.75, pp.743~764, 1987

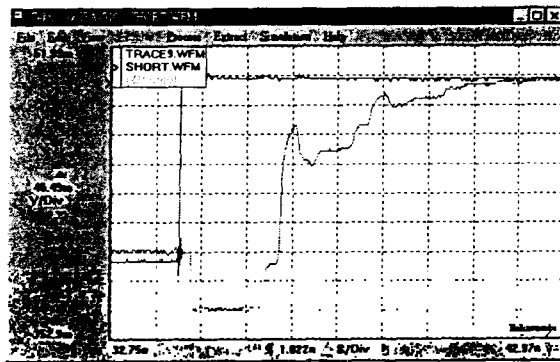
[13] D.A.Hill, D.G.Camell, K.H.Cavcey, and G.H.Keepke, "Radiated emission and immunity of microstrip lines: theory and reverberation chamber measurements," IEEE Trans. Electromagnetic Compatibility, pp.165~172, 1996



(圖一) 相鄰連線距離不同所量得之串音現象。



(圖二) 連線的反射現象。



(圖三) 利用所建立之模型所模擬的結果與量測結果比較，箭頭所指為由模型所模擬得出之波形。

