

數位視訊的傳輸、壓縮與系統設計(III)-子計畫二

高效能視訊壓縮系統及架構設計

High Performance Video Coding System and Its Architecture Design

計畫編號：NSC88-2218-E-002-030

執行期限：87/8/1 ~ 88/7/31

計畫主持人：陳良基 教授 國立台灣大學電機所

中文摘要：

由於多媒體、電腦及電訊傳輸的快速發展，這三大領域的交集已成為眾所矚目的焦點。而影像資訊由於其多樣性、高頻寬、以及即時處理的特性，更成為焦點中的焦點。因此高壓縮比並具有比例調整功能將是未來的趨勢。在本計畫中，我們將根據過去的成果，發展出一套具有以上功能的影像編碼系統。這其中使用了分頻技術、光流演算法、區域切割技術、隨形轉換以及向量量化的技巧。如何將以上技術加以改善並做適當的整合將是計畫的關鍵。在應用層面上，除了高壓縮比之外，影像內容的分析、物件的比例調整等也將是預期的目標。此外，此系統的應用範圍也可能涵蓋了影像分析與監控等。除了系統的模擬之外，硬體的實現也是重要的一環，本計畫將同時探討實現這些演算法的硬體架構最佳化。

關鍵詞：

多媒體、電腦、電訊傳輸、影像編碼系統、分頻技術、光流演算法、區域切割技術、隨形轉換、向量量化、物件比例調整。

英文摘要：

Because of the fast progress of multimedia, computers, and telecommunication, the intersection of the above three fields becomes the focus of technical trends. In addition, digital video attracts much more attention due to its characteristics of diversity, high bandwidth, and real-time processing. High compression ratio and scalability will be the trend in the future. Based on the past research experiences,

we will develop a video coding system satisfying the above characteristics in this project. The related techniques include subband coding, optical flow algorithm, region segmentation, arbitrary shape transform, and vector quantization. How to improve and combine all these techniques will be the crucial part of the project. In terms of applications, in addition to high compression ratio, content-based analysis and object scalability are also expected. Furthermore, the applications of the proposed system include video analysis and surveillance. Except the system simulation, hardware implementation is very important. This project will explore the optimal hardware architecture to implement these algorithms.

Keywords: multimedia, computer, telecommunication, video coding system, subband coding, optical flow algorithm, region segmentation, arbitrary shape transform, vector quantization, object scalability.

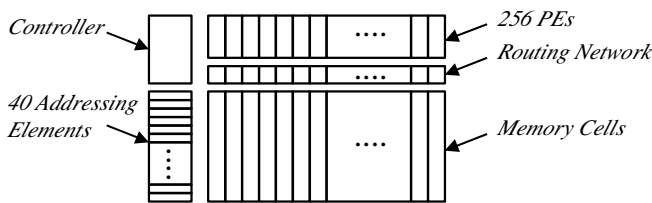
計畫緣由與目的：

國際標準組織在歷年來，已經不斷的制訂了許多影像壓縮相關的標準，例如 JPEG、MPEG-1、MPEG-2 等。針對多媒體、電腦與電訊傳輸的整合已經成為明顯的趨勢，在新的標準 MPEG-4 和 JPEG2000 中，這三者的交集將是關注的焦點。在這個計畫中，我們提出一個整合了分頻技術、光流演算法、區域切割技術、隨形轉換以及向量量化的影像編碼系統。本系統的目標就是針對 MPEG-4 和 JPEG2000 中對多媒體、電腦及電訊傳輸的要求，所提出的高壓縮比(high compression ratio)、比例調

整(scalability)和與網路(network)傳輸結合的一項整合的技術。其中壓縮比要達到兩百倍以上以達到網路頻寬的要求；而且為了及時處理的特性，使用硬體實現也是預期的目標。基於我國積極想要在亞太國際中佔有一席之地，而且我國的資訊業目前已是國際社會中的佼佼者，在這重要的關鍵時刻，我們自然不可能在這一波的科技革命中缺席。

研究方法與成果：

我們以分頻技術中的離散小波轉換 (DWT, discrete wavelet transform) 為設計重點。已過所提出的研究都是針對串列 (serial) 輸入加以設計出一套有效率的硬體架構。而我們將針對並列 (parallel) 輸入來設計出一個新的架構。這種架構將可以有效的整合在嵌入式 (embedded) 系統中，此時並列輸入就可以視為內部匯流排 (internal bus) 的連結。我們將整個系統分割為五個主要的部分，控制器 (controller) 定址單元 (addressing elements) 運算單元 (processing elements, 256 個) 路由網路單元 (routing network unit, 256 個) 和記憶體單元 (256 行×40 列×12b)，如圖一所示，再針對這五個部分去做不同的設計。

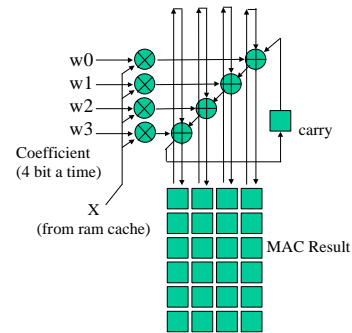


圖一 離散小波轉換之方塊圖

我們的設計策略是採用混合設計 (hybrid design) 策略。對於規則而且佔晶片面積很大的電路就用 full custom design；複雜而且佔晶片面積小的電路就用 cell based design。如此一來就可以縮短電路設計的時間，而且一般來說用 full-custom 設計的電路比標準元件要快的許多，藉此也可以提升晶片的速度來達到及時處理的要求。根據上述的想法，我們除了控制器和整個晶片的繞線 (global routing) 外都採取 full custom 的設計方法。由於運算單元是整個晶片面積最大的部分，只要利用他

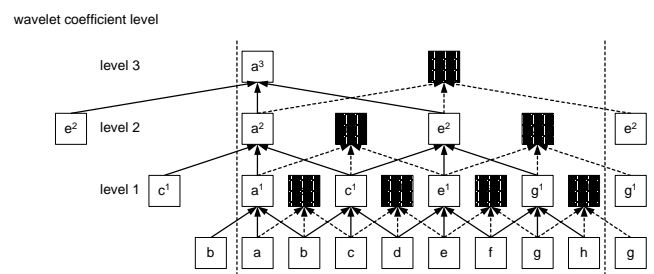
們電路規則的特性加上小心的設計就可以使的整個晶片面積大大的減小。除此之外運算單元和定址單元經由特別的設計可以使的整個晶片達到比例調整的特性以符合不同應用的需求。

在運算單元的設計上，我們是將所有的運算分解成很多 4b×1b 的運算單元，如此一來可以和記憶體單元的 pitch 匹配使面積達到最有效的運用，運算單元的方塊示意圖如下。



圖二 運算單元的電路。

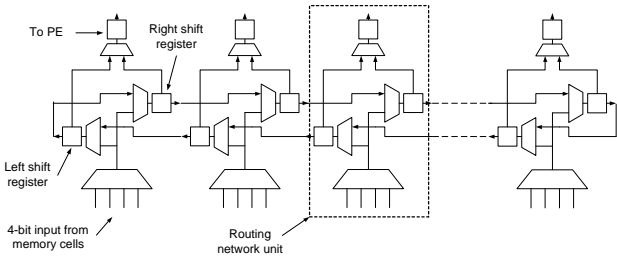
此外，為了消除在影像邊緣的高頻部分，我們將影像作鏡射延伸 (mirror-extension) 的處理，如圖三所示，透明的方塊表示下一階的離散小波轉換所會用到的資料，虛線表示影像的邊緣。我們希望只要藉由電路的連接就可以達到這樣鏡射的功能而不需要用到定址的方法來將適當的資料讀出來運算。



圖三 鏡射延伸示意圖

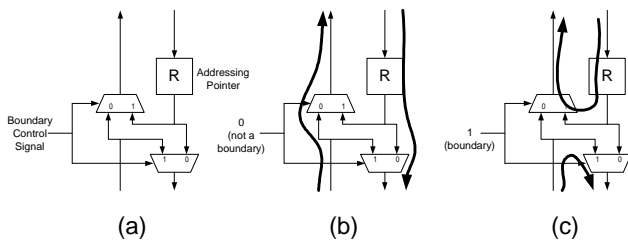
我們發現只要適當的設計路由網路就可以達到上述的目的。如圖四，每個路由網路單元包含三個暫存器，最上面的暫存器是將資料送給運算單元。中間的暫存器連接成右移暫存器，下面的暫存器連接成左移暫存器，再經由邊界的連接就成為一個循環平移暫存器 (circular shift register)。由路由網路將資料從記憶體讀出來放進中間和下面的暫

存器中，再經過適當的平移就可以達到鏡射的效果。



圖四 路由網路的電路

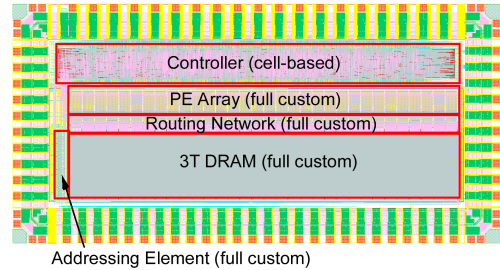
定址單元的設計上我們不是採用 row decoder 主要是為了比例調整的特性。而且在離散小波轉換中資料的存取是非常規則的，所以只要適當的將記憶體分配給每一階小波轉換使用就可以有效做到記憶體的管理。例如 K-tap L levels 的離散小波轉換，就要把記憶體分成 L 組，每一組 (K+1) 行的記憶體。要實現這個方法，如圖五，我們利用一個 boundary 的信號來將所有的記憶體分成 L 組，各組記憶體的暫存器連接成一個循環平移暫存器。每一組記憶體中會有一個定址指位器 (addressing pointer) 來表示這一組記憶體的那一列被存取到，利用這個定址指位器就可以將將記憶體中的資料正確的讀出與寫入。



圖五 定址單元的流程圖

整個晶片的佈局圖見圖六。圖上有標示出 full custom 和 cell based design 的部分。本設計和其他設計的比較列在表一中。我們主要的考量就是可程式化的離散小波轉換，還有在影像邊緣的鏡射功能。不過由於可程式化付出的代價就是記憶體的使用量比其他的設計還要大，使用的效率上也比較差。整個晶片的規格如表二所示。我們使用了 TSMC 0.35 微米單層多晶矽四層金屬的互補式金氧半場效電晶體製程技術，在標準單元電路 (standard cell

circuit) 上使用自己設計的標準單元，晶片大小為 5.2mm×2.5mm，包含了 545,403 個電晶體。工作頻率在 50MHz 下可以作到影像大小為 256×256 像素，每秒 30 張畫面的二維離散小波轉換，其支援的濾波器長度從 2 到 20 不等，對於不同階數的運算也可以支援，消耗功率為 520mW。



圖六 晶片的佈局圖

結論：

這個計畫主要是要實現了一個可程式化的離散小波轉換以符合不同的濾波器長度和不同的應用，在比例調整與影像邊緣的鏡射也做了特殊的考量。可程式化的考量在運算單元上主要是將運算切割為很多個 4b×1b 的運算，如此一來運算單元就可以和記憶體的 pitch 匹配，達到運算單元和記憶體的可擴充性。在路由網路上就是以平移來取代 hard wired 電路使的資料的傳遞更有彈性。而在記憶體的存取方面則是採用定址單元取代傳統的 row decoder 來達到晶片的可擴充性。整個晶片的實現是以 256×256 的影像來設計，如果想要處理更大的影像只要將上述可擴充性的電路直接串接起來就可以處理更大的影像。這個可程式化二維離散小波轉換的晶片將可以當作任何一個 wavelet-based 的壓縮演算法的核心電路。

在架構設計上，我們則是使用了以運算記憶體為基礎衍生出的設計，可以支援不同寬度濾波器的運算，基本想法是用一個路由網路將記憶體中的資料經由適當的控制給予運算單元所需的鄰近資料，而這樣的設計使的運算單元數只和影像大小有關，而和濾波器無關。在電路設計上，我們使用了 full custom 設計大部份的電路，使得電路有一定的規律同時縮小了晶片的使用面積。且電路中所使用

的暫存器都用 True Single Phase Clock 的暫存器實現，可以節省不少面積，在功率的消耗上也會比較少。

參考文獻：

[1] G. Knowles, "VLSI Architecture for the discrete wavelet transform", *Electronics Letters*, vol. 26, pp. 1184-1185, July 1990.

[2] M. Vishwanath, R. M. Owens and M. J. Irwin, "VLSI Architectures for the discrete wavelet transform", *IEEE Trans. on Circuits and Systems-II*, vol. 42, no. 5, pp. 305-316, May 1995.

[3] K. K. Parhi and T. Nishitani, "VLSI Architecture for Discrete Wavelet Transforms", *IEEE Trans. on VLSI Systems*, vol. 1, no. 2, pp. 191-202, June 1993.

[4] R. M. Owens and M. Vishwanath, "A Very Efficient Storage Structure for DWT and IDWT Filters", *Journal of VLSI Signal Processing*, vol. 19, pp. 215-225, 1998.

[5] C. Chakrabarti, and M. Vishwanath, "Efficient Realizations of the Discrete and continuous Wavelet Transforms: From Single Chip Implementation to Mappings on SIMD Array Computers," *IEEE Transactions on Signal Processing*, vol. 43, no. 3, pp. 759-771, March 1995.

[6] C. Yu and S. J. Chen, "Efficient VLSI architecture for separable 2-D discrete wavelet transforms," *IEEE International Symposium on Consumer Electronics*, Oct 1998.

[7] M. Vishwanath, "The recursive pyramid algorithm for the discrete wavelet transform," *IEEE Trans. on Signal Processing*, vol. 42, no. 3, pp.673-676, Mar. 1994.

Architecture	Ours	Par-Par [6]	Sys- Par [2]	2D filter [5]	Direct approach [2]
MAC	-	6K	4K	K ²	K
Full Adder	4N	-	-	-	-
Routing	Simple	Simple	Simple	Complex	Simple
Memory	(K+1) NL	2NK	2NK	2NK	N ²
Algorithm	Non-separable	Separable	Separable	Non-separable	Separable
Programmable	Yes	No	No	No	No
Boundary	Mirror-extended	No	No	No	No
Expendable	Easy	Moderate	Moderate	Complex	Complex

表一 不同架構的比較

Parameter	Value
Frame size	256 × 256
Frame rate	30 frames/sec
Wavelet tap number	2 to 20
Technology	TSMC 0.35μm CMOS 1P4M
Number of transistors	545403 (with 122880 3T cells)
Number of IO pads	65
Die size	4350μm × 1800μm
Core size	5200μm × 2500μm
Package	68 PGA
Clock rate	50MHz
Voltage	3.3V
Power	520mW

表二 晶片規格