

行政院國家科學委員會電信國家型研究計畫成果報告

總計畫：K-頻段無線收發關鍵元組件之研究

子計畫：應用於微波系統頻率合成器晶片之研製

計畫編號：NSC 88-2219-E-002-010

執行期限：87年8月1日至88年7月31日

總計畫主持人：王 暉教授 台灣大學電信工程研究所

子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、大綱

由於個人通訊的快速發展，使得整個無線通訊產業蓬勃發展。諸如下一代的數位網路：GSM、CT2、DECT 等伴隨呼叫器與無線區域網路的個人通訊系統，亦同時存在同一頻段。數據通訊在無線上的應用亦為世界各國所積極發展的一個課題。同時，更高頻率如 K-頻段之微波射頻通信亦是將來的通信寵兒。

此計畫中，我們欲實現 GHz 之頻率合成器，以使用於其中頻電路。我們先將就鎖相迴路之理論進行研究，設計二個高頻低雜訊的頻率合成器，其輸出頻率為 2.4/2.5GHz 和 3.6/3.8 GHz 的信號，作為 K-頻段無線收發機之本地振盪信號。除了 VCO 及迴路濾波器為外接，其他的電路均將它積體化，以 BiCMOS/CMOS 製程製成單晶片。為了使 IC 能工作高頻，設計高頻的分頻器電路，使得系統性能提升；並且希望此電路能工作於 3V 或更低之電壓，降低消耗功率。

二、採用方法

本計畫將以 BiCMOS/CMOS 之積體電路製程為主要電路架構，用以實現跳頻式頻率合成器與其控制電路、鎖相迴路及除頻器電路。實現各式電路之積體化。進行積體電路之佈局及晶片製造，最後測試並配合完成系統之整合。

採用本方法之原因

1. BiCMOS/CMOS 積體電路可工作於高頻數位及類比電路，適用於本計畫之頻段。
2. 積體化的電路，可降低成本、大小及功率等的考量，可提升其附加價值。

三、可能遭遇的困難

1. 開發高頻的跳頻式頻率合成器積體電路有相當的困難及挑戰性。
2. 全積體化鎖相迴路的設計與實現。
3. 各式積體化電路的佈局與連線的考量。
4. 測量設備與設計軟體之不足。

四、解決的途徑

1. 正確地推導理論，選擇正確的方塊圖，利用 CAD 軟體進行電路的模擬分析與設計，配合晶片的製作，相互驗證。
2. 收集相關資料，加以分析與研讀
3. 添購量測所需之儀器與相關 CAD 軟體。

五、進行步驟

1. 第一年：提出下列電路架構供設計與模擬之用。
 - (a) 頻率合成器及其控制電路。
 - (b) 鎖相迴路及除頻器。
 - (c) 高頻前置分頻器。最後並完成上述(a), (b), (c)三項的電路分析與模擬。
2. 第二年：
 - (a) 完成第一年中之

- (1) 高頻前置分頻器
- (2) 相位偵測器及其他控制電路

(3) 頻率合成器系統
 三項電路的全晶片佈局，並完成 2.4~2.5 GHz 本地振盪器頻率合成器晶片之製作與測試。

- (b) 對於(a)之電路進行改進與與系統性能改善之可行性分析，以及晶片電路及佈局之改良。

3. 第三年：

- (a) 進行 2.4~2.5 GHz 和 3.6~3.8 GHz 本地振盪器頻率合成器晶片之製作與測試。
- (b) 完成 3.6~3.8 GHz 本地振盪器頻率合成器晶片之全晶片佈局。
- (c) 配合其他子計畫進行各部分元組件的組合。

六、預期成果

1. 本子計畫預期完成無線收發機高頻段頻率合成器的各式關鍵性元組件(如工作項目所示)。預期產生一件技術移轉及一件電路方面專利之申請與相關論文發表。
2. 本計畫可經由與業界之交流, 研發更實用的通訊系統, 提升論文發表及理論分析能力與系統實作的能力, 也可提供產業界在通訊積體電路研發的基礎。
3. 本計畫可訓練相關無線通訊積體電路的研發人才。

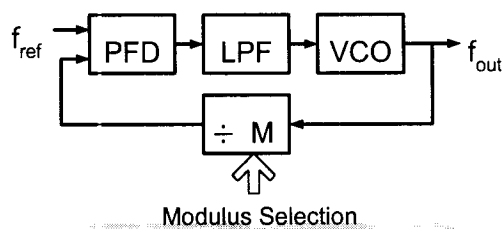
七、第一年成果

(a) 頻率合成器

一般以鎖相迴路架構實現的頻率合成器如下圖圖一所示：

其中，相位頻率偵測器(PFD, Phase Frequency Detector) 負責偵測輸入的參考頻率 f_{ref} 和由除頻

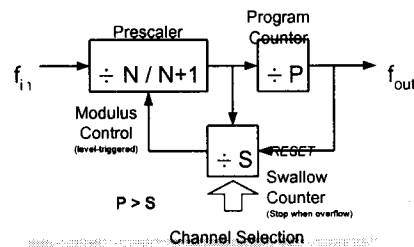
器 ($\div M$) 除回來的信號的相位和頻率的差別，經低通濾波器 (LPF, Low-Pass Filter) 將此差別的 DC 值取出，利用此一 DC 值去控制壓控振盪器 (VCO, Voltage Controlled Oscillator) 以輸出適當頻率的信號。當迴路進入鎖定時，輸入參考頻率 f_{ref} 和除頻器輸出的信號會一模一樣，因此輸出頻率被鎖定在 M 倍的輸入參考頻率的位置，藉由選取不同的除數值，我們就可以達到不同輸出頻率的功能，也就是頻率合成器的目的。



圖一：頻率合成器架構

(b) 高頻前置分頻器

一個可選擇多頻道的 $\div M$ 線路如圖二所示：

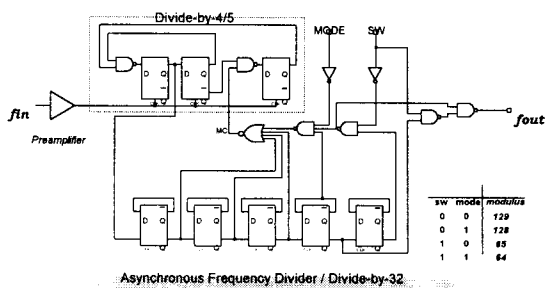


圖二： $\div M$ 線路方塊圖

利用一個高速的雙模前置分頻器 (Dual Modulus Prescaler) 搭配兩個可程式化計數器，我們可以達到

$$f_{in} = \frac{f_{out}}{PN + S}$$

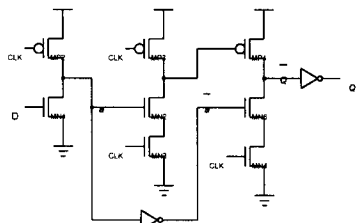
的結果，亦即藉由選取不同的 P 和 S 值，我們可選擇 $\div M$ 線路的除數為任一整數。此一方塊圖中，工作在最高頻率的線路為 $\div N/N+1$ 的前置分頻器，也是設計的瓶頸所在。



Asynchronous Frequency Divider / Divide-by-32

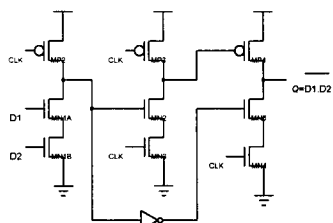
圖三：前置分頻器線路

我們所採用的前置分頻器線路如上圖三所示。此線路由一個同步除四/除五線路、一個非同步除十六線路和一些控制邏輯實現。整個線路最高頻的地方在於同步除四/除五電路，因此我們採用改進的 TSPC (True Single Phase Circuit) 正反器來實現 (圖四)



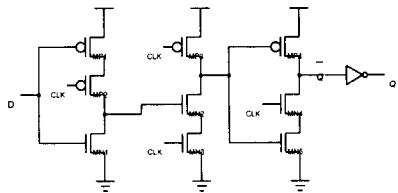
圖四：改進的 TSPC 正反器 (一)

另外，我們更可以進一步將除四除五線路中的 NAND 開併入正反器中，成為圖五中的線路，如此可以進一步加快速度。



圖五：改進的 TSPC 正反器 (二)

非同步除十六線路工作在較低頻，傳統的 TSPC 正反器 (如圖六) 已足夠應付。

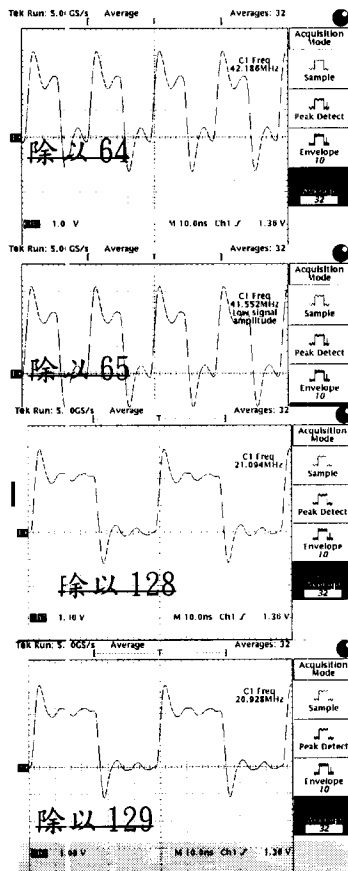


圖六：傳統 TSPC 正反器

在第一年的工作中，我們已經完成了頻率合成器中前置分頻器的設計與製作。前置分頻器的佈局圖如附頁，量測結果如下。

(1) 前置分頻器輸出波形與功能測試

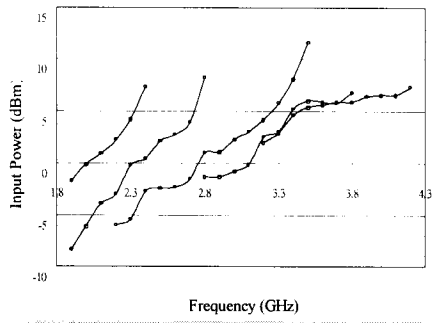
我們所設計的前置分頻器可做四種除數的除頻，分別為 64/65 和 128/129，以下為在操作電壓為 2V、輸入頻率為 2.7GHz、輸入功率為 6dBm 時的輸出波形。



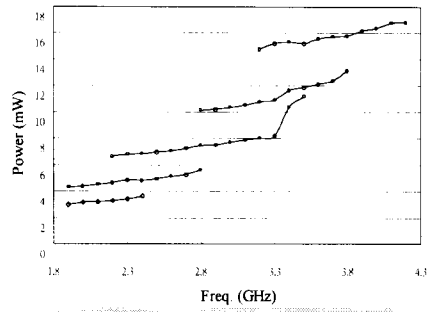
輸出波形與功能測試

(2) 前置分頻器的工作範圍

在不同的端電壓下，前置分頻器能工作的範圍也不同，其所能正常工作的最小輸入功率也不同，圖八是電壓分別為 1.6V、1.8V、2.0V、2.2V、2.4V 時的最低輸入功率與工作範圍曲線圖。



輸入最低功率與操作頻率關係



消耗功率與操作頻率關係

圖八：前置分頻器的工作範圍