

行政院國家科學委員會電信國家型研究計畫成果報告

總計劃：K-頻段無線收發關鍵元組件之研究

子計畫：應用於微波系統頻率合成器晶片之研製

計劃編號：NSC 88-2219-E-002-024

執行期限：88年6月1日至89年7月31日

總計劃主持人：王 暉教授 台灣大學電信工程研究所

子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、大綱

由於個人通訊的快速發展，使得整個無線通訊產業蓬勃發展。諸如下一代的數位網路：GSM、CT2、DECT等伴隨呼叫器與無線區域網路的個人通訊系統，亦同時存在同一頻段。數據通訊在無線上的應用亦為世界各國所積極發展的一個課題。同時，更高頻率如 K-頻段之微波射頻通信亦是將來的通信寵兒。

此計劃中，我們欲實現 GHz 之頻率合成器，以使用於其中頻電路。我們先將就鎖相迴路之理論進行研究，設計二個高頻低雜訊的頻率合成器，其輸出頻率為 2.4/2.5GHz 和 3.6/3.8 GHz 的信號，作為 K-頻段無線收發機之本地振盪信號。除了 VCO 及迴路濾波器為外接，其他的電路均將它積體化，以 BiCMOS/CMOS 製程製成單晶片。為了使 IC 能工作高頻，設計高頻的分頻器電路，使得系統性能提升；並且希望此電路能工作於 3V 或更低之電壓，降低消耗功率。

二、採用方法

本計劃將以 BiCMOS/CMOS 之積體電路製程為主要電路架構，用以實現跳頻式頻率合成器與其控制電路、鎖相迴路及除頻器電路。實現各式電路之積體化。進行積體電路之佈局及晶片製造，最後測試並配合完成系統之整合。

採用本方法之原因

1. BiCMOS/CMOS 積體電路可工作於

高頻數位及類比電路，適用於本計劃之頻段。

2. 積體化的電路，可降低成本、大小及功率等的考量，可提升其附加價值。

三、可能遭遇的困難

1. 開發高頻的跳頻式頻率合成器積體電路有相當的困難及挑戰性。
2. 全積體化鎖相迴路的設計與實現。
3. 各式積體化電路的佈局與連線的考量。
4. 測量設備與設計軟體之不足。

四、解決的途徑

1. 正確地推導理論，選擇正確的方塊圖，利用 CAD 軟體進行電路的模擬分析與設計，配合晶片的製作，相互驗證。
2. 收集相關資料，加以分析與研讀
3. 添購量測所需之儀器與相關 CAD 軟體。

五、進行步驟

第二年：

(a) 完成第一年中之

(1) 高頻前置分頻器

(2) 相位偵測器及其他控制電路

(3) 頻率合成器系統

三項電路的全晶片佈局，並完成 2.4-2.5 GHz 本地振盪器頻率合成器晶片之製作與測試。

(b) 對於(a)之電路進行改進與與系統性能改善之可行性

分析，以及晶片電路及佈局之改良。

六、第二年成果

1. 論文發表

(1) C. Y. Yang *et al.*, "New dynamic flip-flops for high-speed dual-modulus prescaler," *IEEE J. of Solid-State Circuits*, vol.33, pp. 1568-1571, October 1998

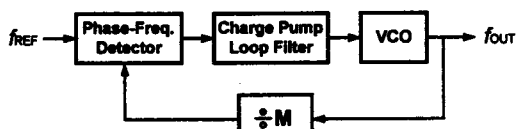
(2) C. Y. Yang and S. I. Liu, "Fast-switching frequency synthesizer with a discriminator-aided phase detector", *IEEE Journal of Solid-State Circuits*, Oct. 2000 (NSC88-2219-E-002-024)

(3) J. M. Yang *et al.*, "A 2.4GHz CMOS LC-Tank Voltage-Controlled Oscillator" to be presented in 11th VLSI/CAD Symposium 2000.

2. 專利申請

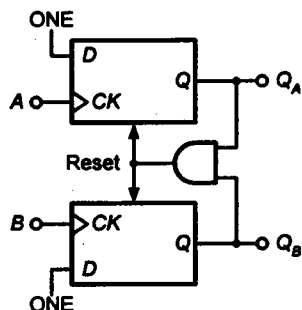
PAT-89EE-114 「應用除小數原理的前置分頻器」(專利申請中)。

3. 完成 2.4GHz-2.5GHz 頻率合成器



圖一、頻率合成器方塊圖

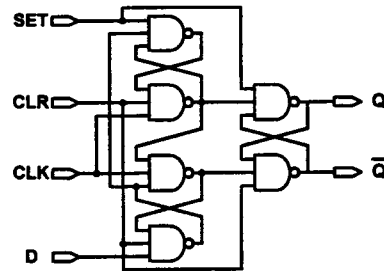
頻率合成器的方塊圖如圖一所示，包含相位/頻率偵測器 (Phase/Frequency Detector)、電荷泵、迴路濾波器、壓控振盪器和迴授除頻器。個別方塊的設計、實現和測試如下所述 (使用至成為 SHARP 0.25um 製程)：



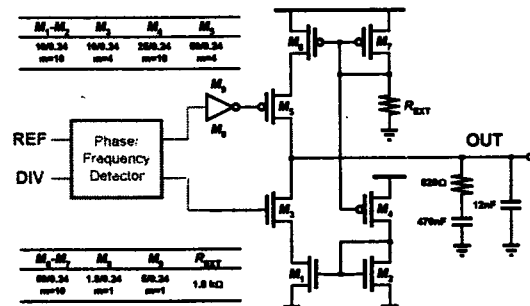
圖二、相位偵測器線路圖

(1) 相位/頻率偵測器

線路如圖二所示，由兩個 D 型正反器和一個 AND 閘構成。其中 AND 閘為標準的 CMOS AND gate，正反器的線路則如圖三所示。在使用上是將 AND 閘以 NAND 閘取代，並將圖三中 D 型正反器的 SET 接到 high，以 CLR 腳來做重置的工作。



圖三、D 型正反器線路圖



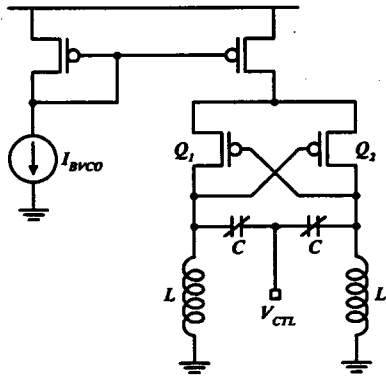
圖四、D 型正反器線路圖

(2) 電荷泵/迴路濾波器

電荷泵負責將相位/頻率偵測器所偵測到的數位信號轉變為類比電流，線路以及與相位/頻率偵測器的接線方式如圖四所示。電荷泵所輸出的電流流入迴路濾波器中，產生用來控制壓控振盪器的電壓。

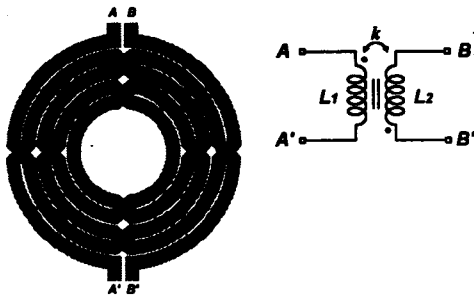
(3) 壓控振盪器

我們採用 LC 壓控振盪器，因為它可以提供比環型振盪器和鬆弛式振盪器更好的相位雜訊。我們所使用的電感為標準 CMOS 製程也可製造的螺旋式電感，變電容則為 pn 變電容，線路圖如圖五所示。



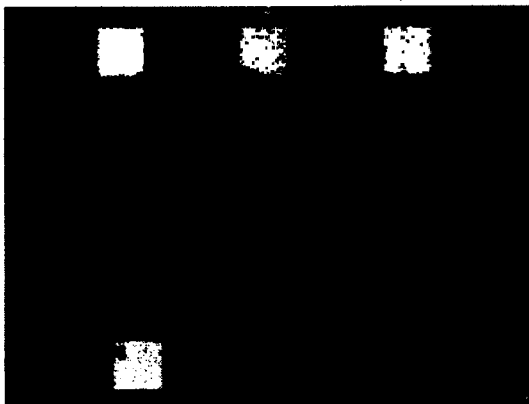
圖五、LC 壓控振盪器線路圖

螺旋式電感為一極度非理想的電感，因此我們先製作一批圈數和大小不同的電感，量測它們的 s 參數，然後使用一個集總模型來匹配之，再將此模型代入 HSPICE 中模擬。本次所使用的電感為兩個電感交錯在一起，其實就是一個變壓器，如圖六所示。

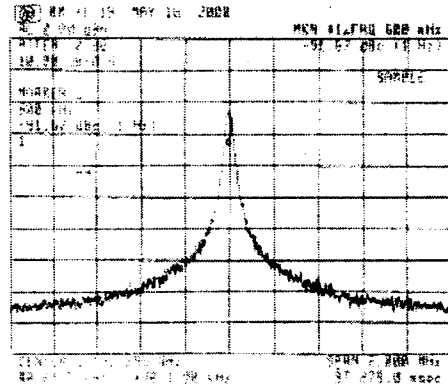


圖六、螺旋式電感變壓器

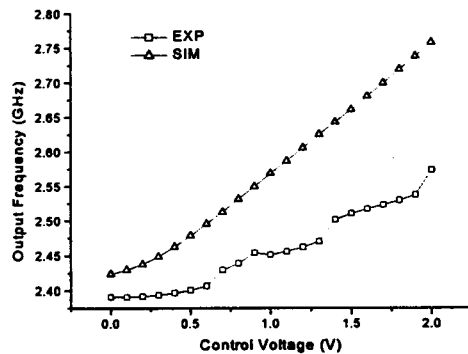
本壓控振盪器的微相片如圖七所示。



圖七、壓控振盪器佈局和微相片

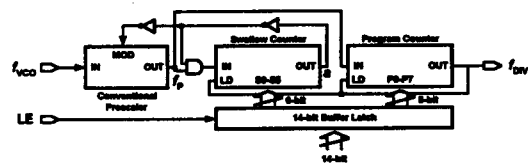


圖八、壓控振盪器輸出頻譜



圖九、壓控振盪器轉換曲線

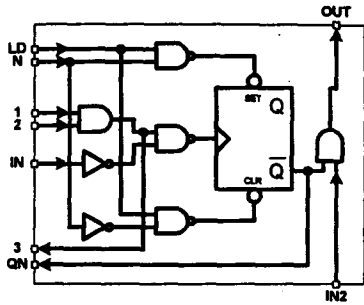
量測到的輸出頻譜如圖八，可以看到在 500kHz 偏移的位置，相位雜訊約為 $-100\text{dBc}/\text{Hz}$ 。壓控振盪器的模擬和量測轉換曲線如圖九所示，量測所得之頻率範圍為 2.391-2.574GHz，洽可涵蓋本計劃所提出的 2.4GHz 和 2.5GHz。總和 tuning range 約為 180MHz，因此 tuning sensitivity 為 $90\text{MHz}/\text{V}$ 。



圖十、迴授除頻器方塊圖

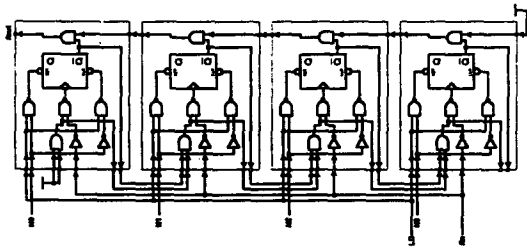
(4) 迴授除頻器

迴授除頻器的方塊圖如圖十，由一個前置分頻器、兩個同步計數器和一些控制邏輯閘組成。其中前置分頻器已於第一年完成，其餘部分的線路描述如下。



圖十一、計數器單元

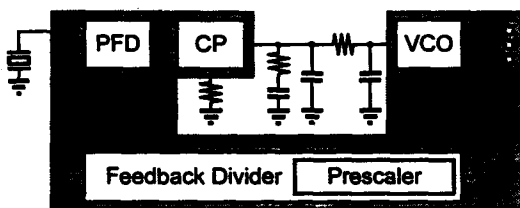
兩個同步計數器皆由標準同步計數器架構實現，標準同步計數器所使用的基本單元如圖十一，主要由一個 D 型正反器和一些邏輯閘組成。建構一個同步計數器的方式可以圖十二中的四位元計數器說明之，基本上要幾個位元數，就拼幾個單元即可。本線路所需的包括一個六位元和一個八位的同步計數器。



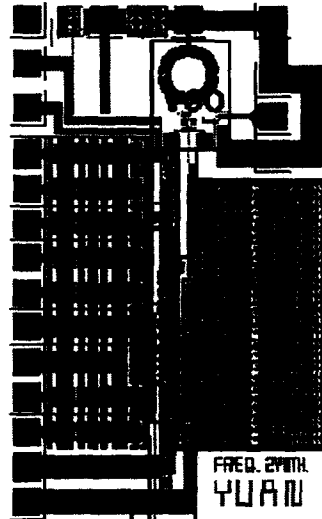
圖十二、四位元同步計數器

(5) 完整頻率合成器

整個頻率合成器的線路圖如圖十三所示，外接元件包括一個三階迴路濾波器、石英振盪器和控制電荷泵電流的可變電阻。整個線路的佈局圖如圖十四所示，晶片面積為 $2340\mu\text{m} \times 1900\mu\text{m}$ 。

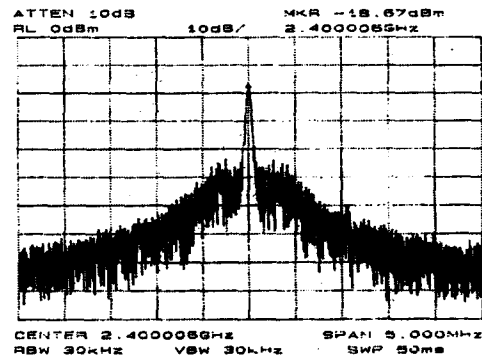


圖十三、頻率合成器線路圖

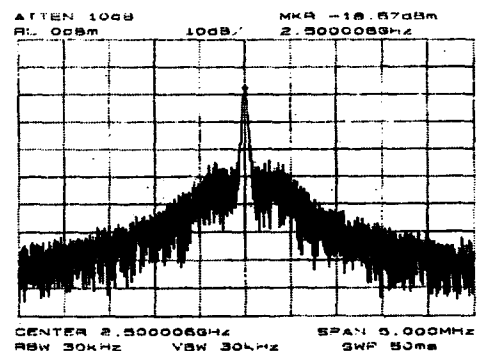


圖十四、頻率合成器佈局圖

量測所得之頻譜為圖十五和圖十六，各為 2.4GHz 和 2.5GHz 的輸出。兩者最後一位(kHz)均有誤差，此為石英振盪器所貢獻。兩者的在 100kHz offset 處的相位雜訊約為 -75dBc/Hz 。整個頻率合成器可合成的範圍幾乎可達到壓控振盪器的完整工作範圍。



圖十五、 2.4GHz 頻譜



圖十六、 2.5GHz 頻譜