

多媒體無線接收機系統單晶片設計技術成果報告  
子計畫：數位式多媒體無線接收機之射頻類比前級電路設計與製作  
計畫編號：NSC 89-2215-E-002-024-  
執行期限：88/08/01 ~ 89/07/31  
子計畫主持人：劉深淵教授

### 一、研究目標

本計畫第一年所要完成的部分包含：

1. CMOS 被動及主動元件高頻 S 參數量測及模型建立。
2. LNA 的設計及量測。
3. 變電容的模擬量測。

### 二、研究目的

由於個人通訊時代的來臨，無限通訊市場的發展可以說是日益蓬勃，相關產品的銷售亦是不斷成長，所以射頻無限接收機的研製相對舉足輕重。以往的無限通訊系統在類比前級電路實現都透過 bipolar, GaAs 製程的高頻元件來設計寬頻放大器、低雜訊放大器、混波器，功率放大器。但是隨著 CMOS 製程技術不斷革新，元件的 gate-length 持續縮小，silicon-substrate 的 CMOS 也可以操作在高頻，而與後級的中頻、基頻 CMOS 電路整合在一個晶片上，大幅降低了成本、面積。和採用 bipolar、GaAs 射頻類比前級電路的混合式無線系統比較起來，有更強的市場競爭力，也使 CMOS 的射頻電路研究日形重要。

然而，CMOS 的射頻類比前級電路設計方式和 CMOS 中頻、基頻電路有很大的不同，因為 CMOS 元件的高頻（射頻）模型（包含主動、被動元件）不完整也不甚準確，無法單純以 spice 來模擬設計。因此，如何在缺乏高頻模型的情況下設計電路並同時着手建立準確的高頻模型，是 CMOS 射頻電路重要的課題。因此設計 CMOS 射頻電路的第一步要先針對元件（主動、被動）的高頻特性進行量測與瞭解，以便日後設計及模擬電路。第二步開始建立元件（主動、被動）的資料庫，並建立元件模型使得未來高頻電路的設計可以在像 Hspice 之類的電路模擬軟體下做系統整合設計。第三步我們根據所建立的元件資料庫選取適當的元件來設計我們的線路。

### 三、研究成果

射頻前端接收電路的設計必須符合幾項考量。首先是靈敏度。前端線路的輸入雜訊必須足夠低才能偵測到微弱的輸入訊號。前端線路的增益必須足夠高才能減低後級雜訊的影響，否則靈敏度便會降低。其次，前端電路必須要有很寬的輸入動態範圍，以容忍臨頻非接收訊號的干擾。同時，要有好的線性度以避免輸出訊號的失真影響到臨頻。第三，前端電路必須有好的輸入阻抗

匹配，通常是針對天線的  $50\Omega$  阻抗而言，以免造成訊號的反射。

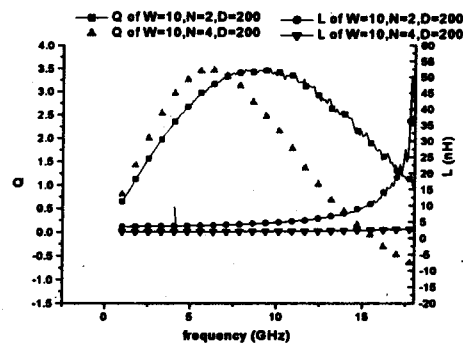
低雜訊放大器及射頻混波器決定了前級接收電路的特性。低雜訊放大器的增益雖然是愈高愈能減低後級雜訊的影響，不過過高的增益卻會降低動態範圍，設計上必須有所取捨。

### 1. Inductors 實驗結果與討論

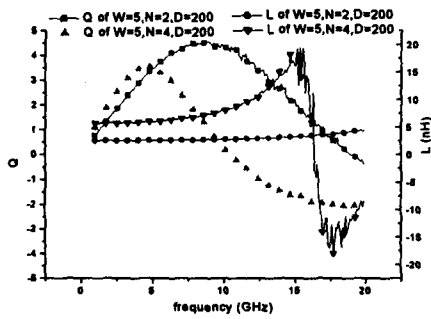
決定電感的幾何因素有圈數(N)、金屬寬度(W)、外徑(D)及金屬間距，單位為  $\mu\text{m}$ 。金屬間距都採用  $1\mu\text{m}$ ，金屬間距愈小，金屬間的電容愈大，自振頻率也愈低，對 Q 值的影響並不顯著。我們針對 W、N 和 L 這些因素來做一些討論。量測數據是用 GSG 探針直接在晶片上點測而得，製程為  $0.25\mu\text{m}$  CMOS。

#### N 的影響

由[圖 1]、[圖 2]兩組 W 不同的電感可知，當 N 增加時，寄生電容  $C_s$ 、 $C_{sub}$ 、 $R_{sub}$  與  $R_s$  均增加，Q 值會下降，而且  $Q_{max}$  所在的  $f_{max}$  也跟著變低。 $f_{max}$  所代表的意義是電感的共振頻率，由感值與寄生電容所形成，過了共振頻率之後，Q 值迅速下降，寄生效應開始大於電感值，因此電感值不再呈現穩定。一般來說，電感只能工作在  $f_{max}$  以前。 $f_{max}$  隨著圈數增加而下降，造成低頻時(4GHz 以內)，反而是圈數大的 Q 值高，不過，圈數大的電感應用頻率會受限於  $f_{max}$ 。



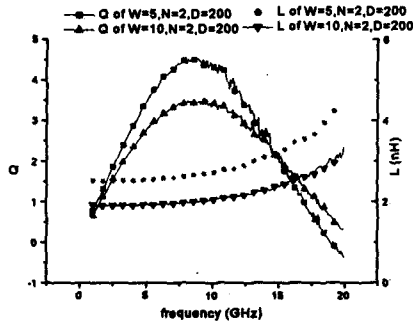
[圖 1]  $W=5\mu\text{m}$



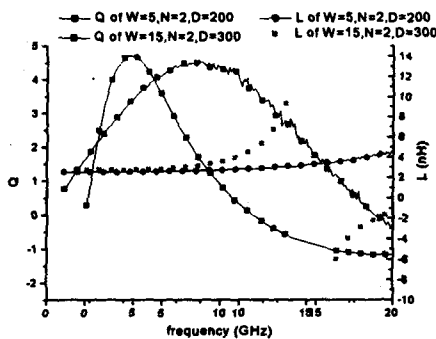
[圖 2] W=10 μm

### W 的影響

當 W 增加時，理論上金屬的電阻值會下降，Q 值應該會提升。但是當 W 增加時，同面積同圈數之下，金屬線圈的長度會相對減少，單位面積的電流減少，所以磁通量減低，造成感值下降；另一方面 W 增加，寄生電容的效應也會增加，這些效應加總造成 Q 值反而下降的原因，如[圖 3]。所以當 W 增加時，D 也必須加大，避免磁通量下降，造成感值下降。但是 D 增大的時候，寄生電容也會變大，因此  $f_{max}$  會降低，使得電感可用頻率減少，但是如果應用範圍在 5GHz 以內，則會有較佳的 Q 值，如[圖 4]。



[圖 3] W=5 & 10 D=200 μm

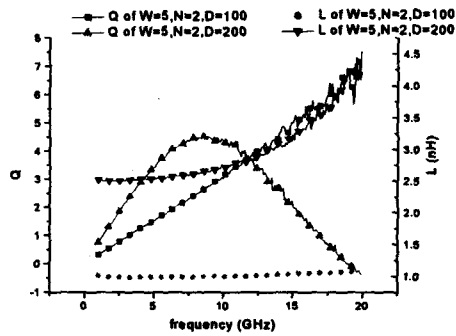


[圖 4] W=5 & 15 D=300 μm

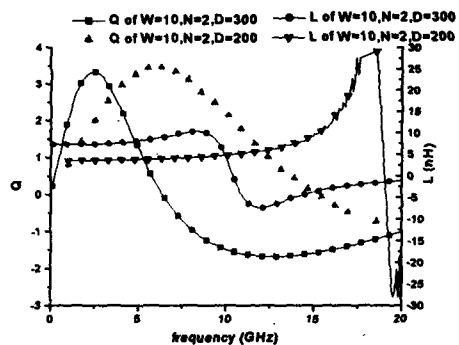
### D 的影響

D 愈小，電感面積愈小，寄生效應的損失也愈小， $Q_{max}$  愈高， $f_{max}$  也愈高，當然感值也愈低。

但在操作頻率低時，5GHz 以內，D 大者由於  $f_{max}$  低的緣故，Q 值反而比 D 小者為大，如[圖 5]、[圖 6]。



[圖 5] W=5, D=200 & 100 μm



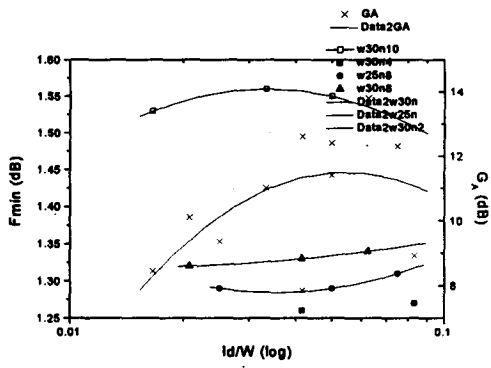
[圖 6] W=10, D=200 & 300 μm

## 2. Capacitors and Resistors

MIM 的製程，電容的 Q 值都可以達到 15 以上，非理想性較低。而 double poly 的製程電容，受限於 poly 的電阻值較高，Q 值都在 10 以下，如果電容值大於 20p 以上，Q 值會小於 1。如果用作匹配網路的電容，最好採用 MIM 電容，Q 值較佳，不至影響增益雜訊。至於 double-poly 電容則可以用於直流穩壓之用，Q 值雖低，但不會影響電路高頻表現。電阻的使用上不會用於匹配，以免造成很大的增益損失，一般用於直流偏壓路徑；同時製程提供的模型高頻時偏差不大，所以電阻使用上問題較小。

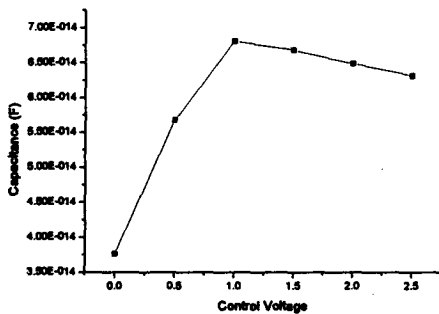
## 3. NMOS

在深次微米製程， $f_T$  至少有 10GHz 以上。在佈局上要盡量減少開級端的寄生電容，減低  $C_{gs}$ ，同時避免開級端和汲極端跨接，以降低  $C_{gd}$ ，提高電晶體的 isolation。[圖 7]為在  $V_{ds}$  為 3.3V 的偏壓條件下，對量測的四種電晶體大小的  $F_{min}$  及 available gain 在 2.4GHz 作圖。針對低雜訊放大器的設計， $W=25 \times 8$  的大小有最佳的  $F_{min}=1.28dB$ ， $G_a=11.5dB @ I_d=10mA$ 。



【圖 7】0.35 $\mu$ m NMOS:  $i_d/W$  V.S.  $F_{min}$

#### 4. 變電容



圖示為變電容在 D&S 電壓為 0V，改變 gate 電壓所得的電容變化。

在 CMOS 的主動及被動元件高频 S 參數量測整理完畢後，電路實作結果如下：

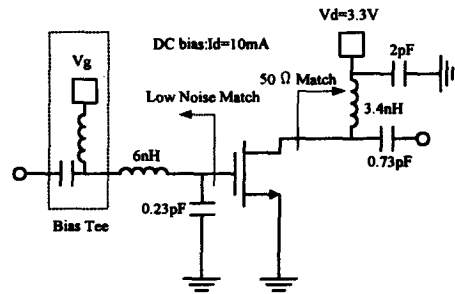
#### 5. Single-stage LNA

整理出電晶體的 S 參數、Noise Factor、及 Available Gain 建立起電晶體的 Library，我們選擇的偏壓為  $V_{ds}=3.3V, I_d=10mA$ ，我們的 size 有  $W=30 \times 4, W=25 \times 8, W=30 \times 8$ 。其中以  $W=25 \times 8$  有最大的  $G_a$  及最小的  $NF_{min}$ ，所以我們選擇他為 LNA 中的電晶體。

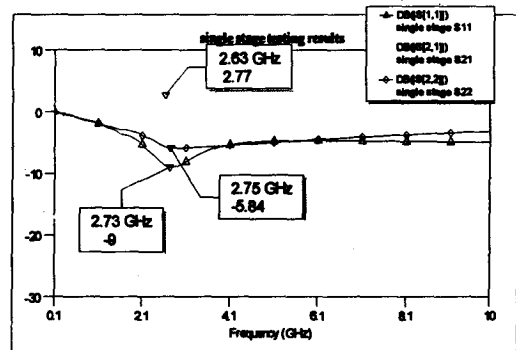
這部分主要是依據單級低雜訊放大器的設計原理，在第一級做低雜訊的匹配([圖 8])。依我們所選定的電晶體大小  $25 \times 8$ ，偏壓  $V_{ds}=3.3V, I_d=10mA$  畫出 2.4GHz 的 available gain circle 及 constant noise figure circle。我們選定 Noise figure=2dB, available gain=15dB 時的  $\Gamma_s$  做為我們的 input matching network。先以理想的電感電容作為匹配元件，在至換我們所量測的實際電感的 s 參數值。電容部分由於 Q 值都很理想，所以仍依理想值代入。因為電感的非理想性(Q 值不高)，所以 noise figure 及 available gain 均會因而變差。電路大小為  $900\mu m \times 1460\mu m$ 。

【圖 9】為單級低雜訊放大器量測結果。量測

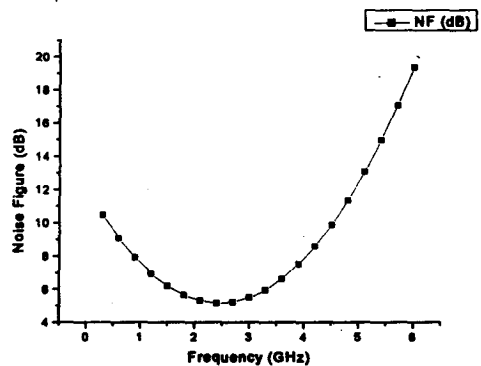
結果顯示  $S_{21}$  的峰值略有偏移至 2.63GHz，同時增益降至 2.77dB， $S_{11}$  與  $S_{22}$  的匹配點也有偏移至 2.7GHz 附近，同時  $S_{22}$  比模擬來的差上 5dB 以上。【圖 10】為單級放大器雜訊參數量測結果。



【圖 8】Single-stage LNA



【圖 9】Measurement results of single-stage LNA



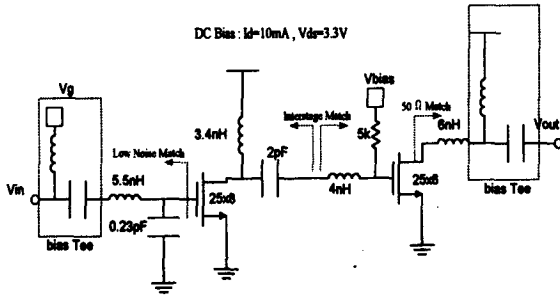
【圖 10】Measured NF of single-stage LNA

#### 6. Double-stage LNA

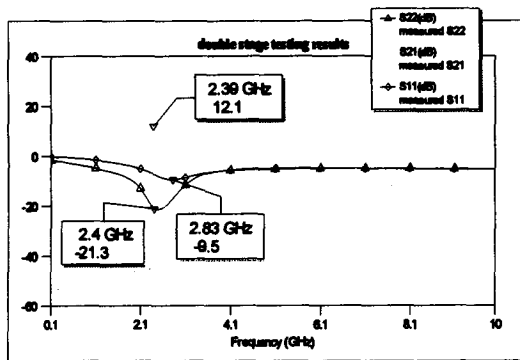
電路架構如[圖 11]。兩級的電路中，第一級作低雜訊匹配，與設計單級低雜訊放大器相同。在與第二級的 interstage matching 部分，第二級的電晶體我們也是選擇大小為  $25 \times 8$ 。匹配的方法是先將第一級的輸出匹配至  $50\Omega$ ，也就是把第一級的  $S_{22}$  匹配至  $50\Omega$ 。由於我們希望第二級能有最大的 power gain，因此我們畫出電晶體的 2.4GHz 的 maximum power gain circle。選定在  $50\Omega$  圖上的一點作為第二級匹配的  $\Gamma_s$ ，將第一級原本本匹配至  $50\Omega$  的  $S_{22}$  經過一個 DC blocking 電容至  $\Gamma_s$ 。第二級的輸出則將第二級的  $S_{22}$  匹配至  $50\Omega$ 。noise figure、 $S_{21}$ ，在 2.4GHz 時， $NF=4dB, S_{21}=22dB$ 。

電路在 2.4GHz 時  $S_{11}=-6.6\text{dB}$ 、 $S_{22}=-35\text{dB}$ 。  $S_{11}$  較不理想的原因是第一級並非做 conjugate match，而是 low noise match。電路大小為  $1260\mu\text{m}\times 2700\mu\text{m}$ 。

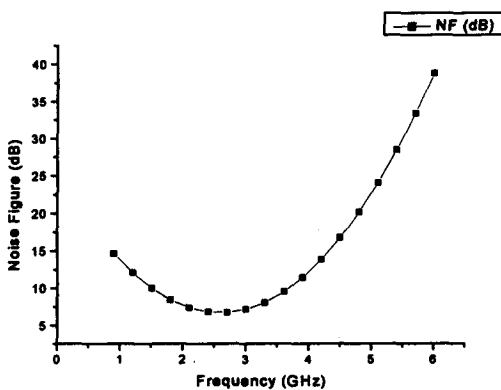
[圖 12] 為雙級低雜訊放大器的量測結果。 $S_{21}$  及  $S_{22}$  的匹配頻率都選接近 2.4GHz，只有  $S_{11}$  略有偏移。不過， $S_{21}$  與模擬結果相差 10dB， $S_{22}$  也是相差了 10dB。除此之外，再低頻還發生了震盪的情形。[圖 13] 為雜訊的量測結果。低雜訊匹配有至 2.4GHz 附近，不過 NF 為 6dB 多，較模擬增加 2dB 以上。



[圖 11] Double-stage LNA



[圖 12] Measurement results of double-stage LNA



[圖 13] Measured NF of double-stage LNA

4. 電路 Layout 圖如下：  
Single-stage LNA:



Double-stage LNA



#### 四、結論

本次電路實作實現了 CMOS 射頻前端電路的兩個重要方塊：LNA 及 Mixer，符合本計畫之第一年進度。LNA 還存在低頻震盪的問題，不過已找出解決之道。Mixer 的實驗結果還能令人接受。初步將 LNA 及 Mixer 整合在一起也得到了實驗結果。這些都有助於日後實現一個完整的 CMOS 射頻前端電路，並且能達到像 Bluetooth 的規格要求。

在高頻電路設計中，如何考量測試及在測試的過程所帶來其它額外影響，例如 DC bias 針所帶來雜訊影響，都是在模擬所必須考量在內的。雖然最後量測結果和模擬結果有所出入，但我們再跟據量測結果來假設可能的原因並重新模擬，其模擬值便跟實際量測值蠻接近的。而這些經驗都有助於下次晶片設計時能更有效的改善電路性能。

以 CMOS 製作射頻端電路最大的好處在於可實現高度整合的目標，其 SOC (System On a Chip) 乃是未來的趨勢，其中基頻(Base band)、中頻(IF band)都以 CMOS 製程為主，若要將其整合在單一晶片上，則射頻端就必須採用 CMOS 製程。系統單晶片不僅可以大幅縮小面積外，也會使得價格更具有競爭力，但以 CMOS 製程為高頻電路製程對國內來說，其經驗仍相當缺乏，希望藉由此次製作經驗能更了解 CMOS 高頻特性，實現 SOC 的目標。

五 研究成果:

1. Guang-Kaai Dehng, June-Ming Hsu, Ching-Yuan Yang, and Shen-Iuan Liu, "Clock-deskew buffer using a SAR-controlled delay-locked loop", IEEE Journal of Solid-State Circuits, SC-35, pp. 1128-1136, Aug. 2000 (NSC89-2215-E-002-024)
2. Guang-Kaai Dehng, Ching-Yuan Yang, June-Ming Hsu and Shen-Iuan Liu, "A 900-MHz/1-V CMOS frequency synthesizer", IEEE Journal of Solid-State Circuits, SC-35, pp. 1211-1214, Aug. 2000(NSC89-2215-E-002-024)
3. Cheng-Chieh Chang, Yuh-Shyang Hwang and Shen-Iuan Liu, "Low-voltage analog tripler circuit", accepted by Journal of Analog Integrated Circuits and Signal Processing, 2000. (NSC-89-2215-E002-024)
4. Cheng-Chieh Chang and Shen-Iuan Liu, "Current-mode pseudo-exponential circuit with tunable input range", accepted by Electronics Letters, 2000. (NSC89-2215-E-002-024)
5. Cheng-Chieh Chang and Shen-Iuan Liu, "Pseudo-exponential function using MOSFETs in saturation", accepted by IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing, 2000. (NSC89-2215-E-002-024)
6. Yu-Shun Huang, Chia-Shin Wu, and Shen-Iuan Liu, "2.4-GHz CMOS RF Front-End Receiving Circuits", the 11th VLSI/CAD symposium, Taiwan, R.O.C., Aug. 2000. (獲得大會最佳學生論文獎之一)