

行政院國家科學委員會補助專題研究計畫成果報告

高速數位用戶迴路 DMT 基頻處理電路架構設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC89 - 2218 - E - 002 - 080

執行期間：89 年 8 月 1 日至 90 年 7 月 31 日

計畫主持人：闕志達

共同主持人：

執行單位：國立臺灣大學電機學院電機系

中 華 民 國 90 年 8 月 28 日

行政院國家科學委員會專題研究計劃成果報告

多媒體與多重服務之數位用戶迴路通訊系統 子計畫二 - 高速數位用戶迴路 DMT 基頻處理電路架構設計

Design of DMT Baseband Processing Architecture for High-Speed DSL

計劃編號: NSC-89-2218-E-002-080

執行期限: 89年8月1日至90年7月31日

主持人: 闕志達 國立臺灣大學電機學院電機系

計劃參與人員: 王敏書、林永藤 國立臺灣大學電機學院電機系

一、中文摘要

本文中，根據 ETSI 所提出之高速數位用戶迴路標準，設計一以 DMT 作調變之傳收機。近年來，高速資料傳輸的需求增加，特別是在網際網路相關的應用中，像是網路會議、視訊點播、影像電話等。由於全面鋪設光纖是相當昂貴的，為了在現有的電話網路上達到寬頻的傳輸，DSL 的技術便因應而生。在本文中，首先介紹 DMT 相關的理論基礎，並介紹 ETSI 所提出之高速數位用戶迴路標準中之重要參數。在將實際通訊系統中之非理想特性加以考慮之下，我們提出一傳收機架構，並驗證其可以克服用戶迴路上之非理想特性，而為了實際的硬體實作，利用定點數模擬來決定架構中重要節點之位元數，在系統效能不會損失太多的情況下，降低所需電路的複雜度。最後並以 FPGA 驗證系統中之重要功能方塊。

關鍵詞：收發機、VDSL、DMT

Abstract

In this paper, a transceiver design for VDSL standard using the DMT(Discrete Multi-Tone) modulation is proposed. The design is based on ETSI VDSL standard, which is for very high speed digital subscriber loop. Recently, the need for high-speed data transmission increases rapidly, especially in the application of net-meeting, video on demand, video phone, etc. The DSL technology is proposed to achieve broadband access by

transmitting data on existing telephone network instead of using fiber all the way to the residence, which is more costly. Basic principles of DMT and its related issues are illustrated in the paper. Besides, the important features and parameters of ETSI VDSL standard are also introduced. By taking the non-idealities in the transmission environment into consideration, a transceiver architecture is proposed and verified by functional simulations and is able to combat those impairment in subscriber lines. For hardware implementation, fixed-point simulation of the proposed transceiver architecture was conducted to determine word length of important signals in the architecture with a view to reducing the circuit complexity and resources requirement without incurring too much performance loss. Finally, the main functional blocks are implemented by FPGA to verify their functionality..

Keywords: transceivers, VDSL, DMT

二、計劃緣由與目的

近年來由於電信自由化的進展潮流及各種的無線或有線通訊技術的進步，使得通訊產品更趨於多樣化，且市場的需求大增。由於傳輸資料量的大增及對於傳輸品質要求的提高，因此對於有效對抗不良通道效應的寬頻調變技術的研究也日益重要。其中，通道編碼正交分頻調變即為近年來研究的焦點。

正交分頻調變法(OFDM)目前廣泛使用在

無線區域網路、數位廣播系統或有線數據通訊上。其中國際電機電子工程師學會提出 IEEE802.11a 為新一代寬頻區域網路標準。歐洲 DVBird 計劃提出數位視訊廣播 (DVB-T) 為數位地面電視廣播的標準。ETSI 提出 ETSI 300 401 為數位廣播系統 (DAB) 標準。它們都是以正交分頻調變來達到多載波調變的傳輸。此外 xSDL 系統所採用的 (DMT) 離散式多音調傳輸亦為 OFDM 的一種。其中由其是 xDSL 乃為未來寬頻上網際網路所採行的兩大途徑之一 (另一路徑為經由 cable modem)，因此其重要性不言可喻。

本計畫之目的在於研究發展 VDSL 系統中離散式多音調 (DMT) 基頻模組的架構設計，其中包含了快速傅立葉轉換架構，時域等化器，頻域等化器，符元時序同步技術，時序偏移回復技術等等。以符合 VDSL 系統的規格要求

三、結果與討論

(一) 簡介

根據 ETSI 訂定之 VDSL 規格，提出之傳送機架構如圖一所示。在將實際通訊系統之非理想特性，如通道衰減、交談干擾、白雜訊、無線電波干擾加入考慮下，提出接收機設計如圖二所示。其中利用 Correlation Estimator (圖三) 做符元邊界的估計，並利用一以內插器為基礎之鎖相迴路 (圖四) 配合 pilot tone 的傳送，做取樣誤差的補償，再經由頻域等化器 (圖五) 以補償通道的衰減，最後經過一連串數位解碼的動作將資料解回。模擬加入 20ppm 的取樣誤差及其它干擾的情況下，圖六是符元邊界估計的結果可正確找到符元邊界，圖七是時序回復電路中濾波器的輸出，可正確估出取樣誤差，圖八則畫出其中一次載波之星座圖，可以看到由通道造成的衰減已被補償回來。

(二) Fixed-Point 模擬結果

因為要將所設計的架構做成硬體，因此必需將原來用浮點數模擬的架構做 fixed-point 模擬，以在硬體複雜度及效能

的考量上決定一較佳位元數。圖九則是比較整個接收機在 Fixed-Point 與 Floating Point 的情況下 BER 對 SNR 曲線上的差別，以確定效能的衰減在可接受範圍內。

(三) FPGA 硬體驗證

在此我們是利用 Altera 公司所生產的 FLEX 10K200 系列的 FPGA 來做硬體驗證，由於整個接收機所需記憶體太大，因此在 FPGA 驗證上將次載子數目由 4096 降至 1024 個來做功能的驗證，圖十是 FPGA 使用情形。圖十一、圖十二則是對 Correlation Estimator 及 FFT 將 FPGA 量測結果與模擬結果相比較以驗證其正確性。

四、計畫成果自評

在本論文中，我們設計了一個以 DMT 為調變方式的傳收機架構。此架構中利用 Correlation Estimator 估得符元邊界，配合取樣誤差鎖定迴路及頻域等化器，可將資料正確解回。目前已完成了系統架構的模擬、fixed-point 架構的模擬、部份 Verilog 的模擬以及部份硬體的 Emulation (FPGA)。由目前的驗證結果可以得知，的確可以利用所設計的接收機架構，在硬體資源的考量下，得到理想的系統效能。

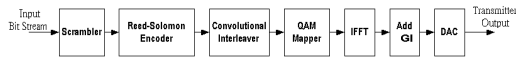
五、參考文獻

- [1] ETSI TS 101 270-1 (V1.2.1): *Transmission and Multiplexing(TM); Access transmission systems on metallic access cables; Very high speed Digital Subscriber Line(VDSL); Part 1: Functional requirement*
- [2] ETSI TS 101 270-2 (V1.1.1): *Transmission and Multiplexing(TM); Access transmission systems on metallic access cables; Very high speed Digital Subscriber Line(VDSL); Part 2: Transceiver specification.*, Feb 2001
- [3] Edfors, O., Sandell, M., van de Beek, J.-J., Landstom, D. and Börjesson, P.O., "An Introduction to Orthogonal Frequency Division Multiplexing," Research Report TULEA 1996:09, Lulea University of

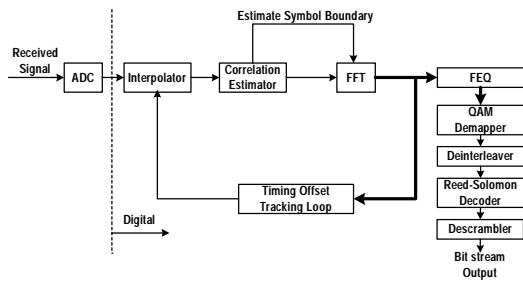
Technology, Apr. 1996

[4] Cook, J.W.; Kirkby, R.H.; Booth, M.G.; Foster, K.T.; Clarke, D.E.A; Young, G., "The noise and crosstalk environment for ADSL and VDSL systems," *IEEE Communications Magazine*, Vol. 37, No. 5, pp. 73-78, May. 1999.

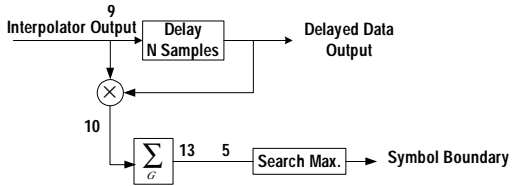
一、圖表



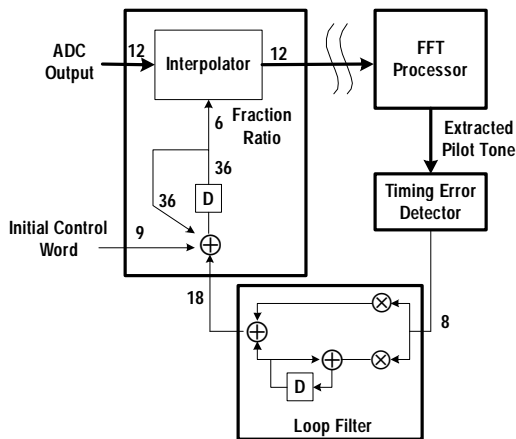
圖一、傳送機架構圖



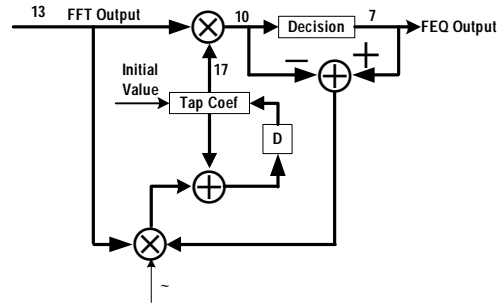
圖二、接收機架構圖



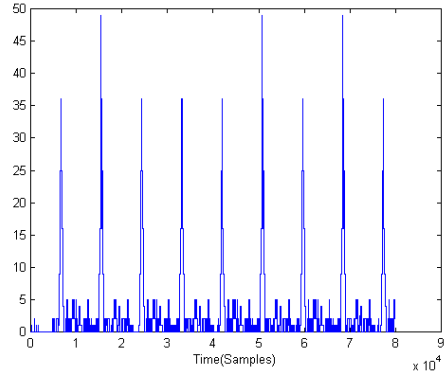
圖三、Correlation Estimator 電路架構



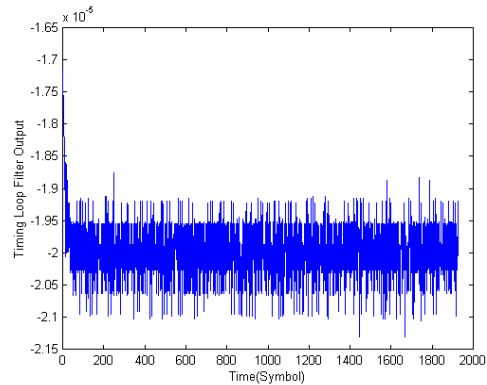
圖四、取樣誤差鎖定迴路



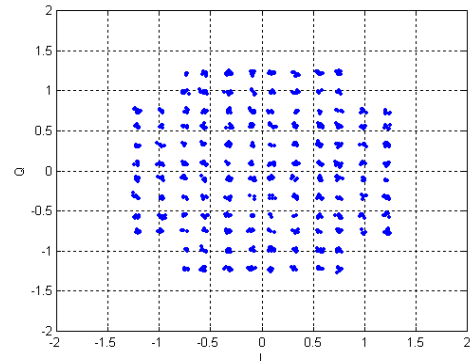
圖五、頻域等化器



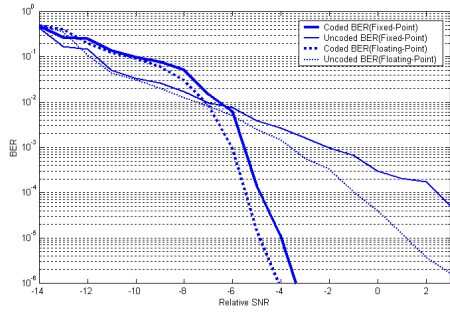
圖六、符元邊界估計結果



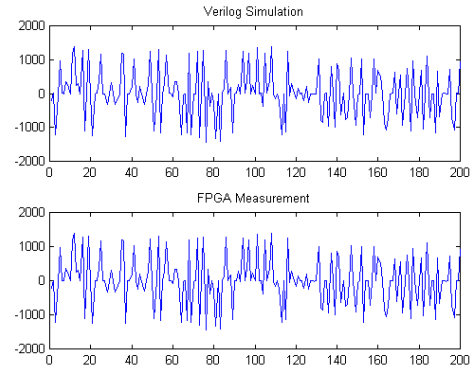
圖七、取樣誤差鎖定迴路中濾波器之輸出



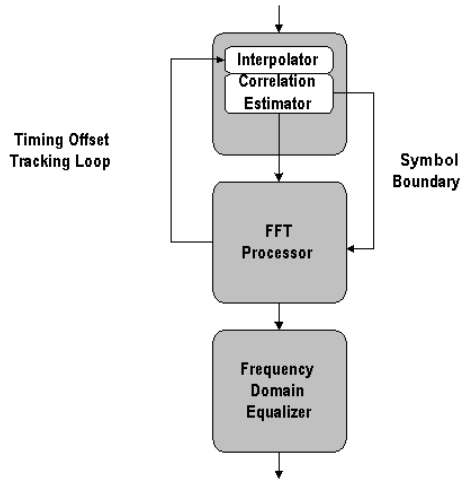
圖八、經頻域等化器後之星座圖



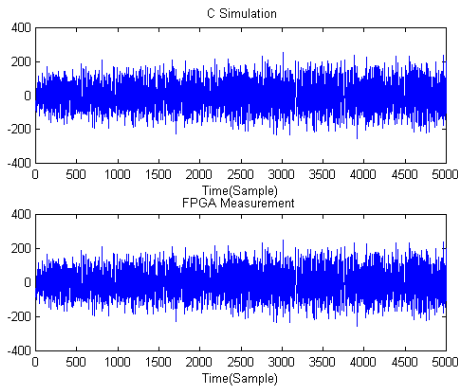
圖九 定點數與浮點數模擬在 BER 對 SNR 曲線上之比較



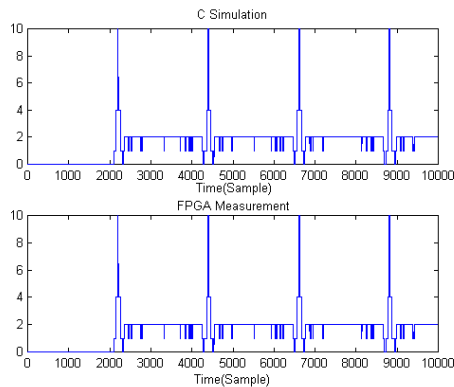
圖十三、FFT 功能驗證



圖十、FPGA 使用情形



圖十一、內插器功能驗證



圖十二、Correlation Estimator 功能驗證