

行政院國家科學委員會電信國家型研究計畫成果報告
總計畫：多媒體無線接收機系統單晶片設計技術之研究
子計畫一：數位式多媒體無線接收機之射頻類比前級電路設計與製作
計畫編號：NSC 89-2218-E-002-087
執行期限：89年8月1日至90年7月31日
總計畫主持人：陳良基教授 台灣大學電機工程研究所
子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、大綱

於個人通訊時代的來臨，無限通訊市場的發展可以說是日益蓬勃，相關產品的銷售亦是不斷成長，所以射頻無線接收機的研製相對舉足輕重。

然而，CMOS 的射頻類比前級電路設計方式和 CMOS 中頻、基頻電路有很大的不同，因為 CMOS 元件的高頻（射頻）模型（包含主動、被動元件）不完整也不甚準確，無法單純以 spice 來模擬設計。因此，如何在缺乏高頻模型的情況下設計電路同時著手建立準確的高頻模型，是 CMOS 射頻電路重要的課題。第一步便是對元件（主動、被動）的高頻特性進行量測與瞭解，以便日後進行電路設計與模擬。第二步開始建立元件（主動、被動）的 Library，並建立 Model 使得未來高頻電路的設計可以在像 Hspice 之類的電路模擬軟體下 Design。第三步我們根據所建立的元件 Library 選取適當的元件來設計我們的線路。

在這計畫中，我們設計了低雜訊放大器及鏡像消除混頻器，並量測及驗證特性，以作為第三年整合型晶片設計之依據。

二、採用方法

本計畫將以 CMOS 之積體電路製程為主要電路架構，用以實現射頻前級電路，包含低雜訊放大器、混頻器等。實現各式電路之積體化。進行積體電路之佈局及晶片製造，最後測試並配合完成系統之整合。

採用本方法之原因

1. CMOS 積體電路可工作於高頻數位及類比電路，適用於本計畫之頻段。
2. 積體化的電路，可降低成本、大小及功率等的考量，可提升其附加價值。

三、可能遭遇的困難

1. 開發高頻積體電路有相當的困難及挑戰性。
2. 晶片上被動元件的非理想特性。
3. 積體化電路的佈局與連線的高頻考量和傳統類比電路不同。
4. 測量設備與設計軟體之不足。

四、解決的途徑

1. 正確地推導理論，選擇正確的方塊圖，利用 CAD 軟體進行電路的模擬分析與設計，配合晶片的製作，相互驗證。
2. 收集相關資料，加以分析與研讀
3. 添購量測所需之儀器與相關 CAD 軟體。

五、進行步驟

第二年：

(a) 完成第一年中之

- (1) 高頻元件資料庫建立。
- (2) 低雜訊放大器。
- (3) 鏡像混頻器。

三項電路的全晶片佈局，並完成各項電路之製作與測試。

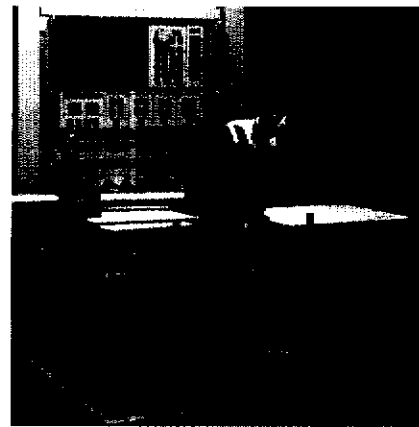
(b) 對於(a)之電路進行改進與系統性能改善之可行性分析，以及晶片電路及佈局之改良。

六、歷年成果

1. 論文發表

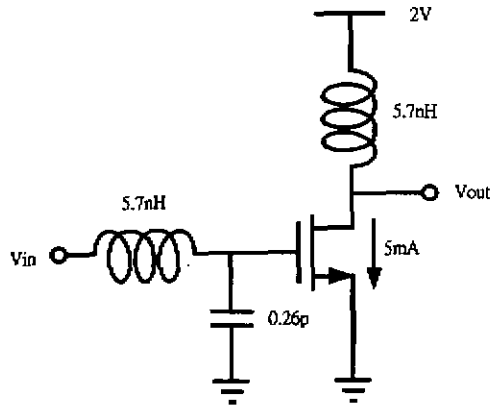
1. Guang-Kaai Dehng, June-Ming Hsu, Ching-Yuan Yang, and Shen-Iuan Liu, "Clock-deskew buffer using a SAR-controlled delay-locked loop", IEEE Journal of Solid-State Circuits, SC-35, pp. 1128-1136, Aug. 2000 (NSC89-2215-E-002-024)
2. Guang-Kaai Dehng, Ching-Yuan Yang, June-Ming Hsu and Shen-Iuan Liu, "A 900-MHz/1-V CMOS frequency synthesizer", IEEE Journal of Solid-State Circuits, SC-35, pp. 1211-1214, Aug. 2000(NSC89-2215-E-002-024)
3. Cheng-Chieh Chang, Yuh-Shyang Hwang and Shen-Iuan Liu, "Low-voltage analog tripler circuit", Journal of Analog Integrated Circuits and Signal Processing, pp. 125-128, Feb. 2001. (NSC-89-2215-E002-024)
4. Cheng-Chieh Chang and Shen-Iuan Liu, "Current-mode full-wave rectifier and vector summation circuit", Electronics Letters, vol. 36, pp. 1599-1600, Sept. 2000.
5. Cheng-Chieh Chang and Shen-Iuan Liu, "Current-mode pseudo-exponential circuit with tunable input range", Electronics Letters, vol. 36, pp. 1335-1336, Aug. 2000. (NSC89-2215-E-002-024)
6. Cheng-Chieh Chang and Shen-Iuan Liu, "Pseudo-exponential function using MOSFETs in saturation", IEEE Trans. Circuits and Systems-II: Analog and Digital Signal Processing, pp. 1318-1321, Nov. 2000. (NSC89-2215-E-002-024)
7. Yu-Shun Huang, Chia-Shin Wu, and Shen-Iuan Liu, "2.4-GHz CMOS RF Front-End Receiving Circuits", the 11th VLSI/CAD symposium, Taiwan, R.O.C., pp. 261-264, Aug. 2000. (one of the two best student paper awards)
8. Chih-Chun Tang, Wen-Shih Lu, Lan-Da Van, Wu-Shiung Feng and Shen-Iuan Liu, "A 2.4-GHz CMOS Down-Conversion Doubly Balanced Mixer with Low Supply Voltage". IEEE International Symposium on Circuits and Systems (ISCAS), Sydney, May 2001.
9. Chih-Chun Tang and Shen-Iuan Liu, "Low voltage CMOS low noise amplifier using the planar interleaved transformer", Electronics Letters, vol. 37, pp. 497-498, April 2001.
10. Cheng-Chieh Chang, Ming-Lang Lin and Shen-Iuan Liu, "CMOS current-mode exponential-control variable-gain amplifier", Electronics Letters, vol. 37, pp. 868-869, July 2001.
11. Chih-Chun Tang, Chia-Hsin Wu, Wu-Sheng Feng, and Shen-Iuan Liu, "A 2.4GHz Low Voltage CMOS Down-Conversion Double-Balanced Mixer", IEICE Trans. on Electronics, Vol. E84-C, pp. 1084-1091, Aug. 2001.
12. Chih-Chun Tang, Chia-Hsin Wu, Chi-Kun Chiu, Shen-Iuan Liu, "Analysis and Application of Miniature 3D Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O.C., Session: RF ICs, Sensors and Actuators, B3-1, Aug. 2001
13. Shr-Lung Chen, Hsiang-Hui Chang, Kun-Hsien Li, Shen-Iuan Liu, "CMOS Magnetic to Digital Converter Using DS Oversampling Modulator", 12 th VLSI Design/CAD Symposium, Taiwan, R.O.C., Session: RF ICs, Sensors and Actuators, B3-4, Aug. 2001
14. Chia-Hsin Wu, Chih-Chun Tang, Shen-Iuan Liu, "A 2.4GHz CMOS LNA with New Area-Efficient Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O. C., Session: RF ICs, Sensors and Actuators, B3-10, Aug. 2001
15. Chih-Chun Tang and Shen-Iuan Liu, "A 1V 5.8GHz CMOS Low Noise Amplifier in a 0.35um CMOS Process", accepted by 2001 International Symposium on Communications, Tainan, Taiwan, Nov. 2001

2. 完成低功率2.4GHz低雜訊放大器



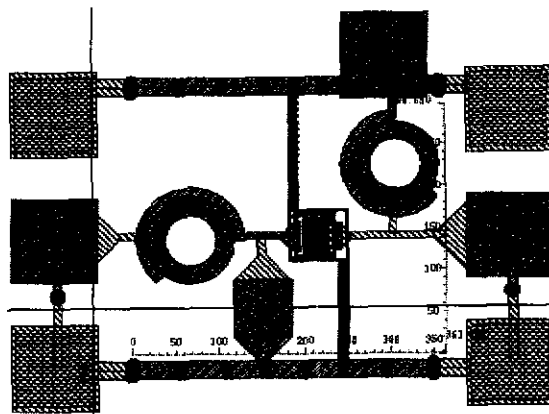
圖一、On-wafer testing system including of Cascade probe station, HP 8510 network analyzer and HP 8170 noise figure meter. 低雜訊放大器測試儀器如圖一所示，包含點測機台（Probe

Station)、網路分析儀、雜訊量測系統。低雜訊放大器的設計、實現和測試如下所述(使用製程為 TSMC 0.35um 製程):

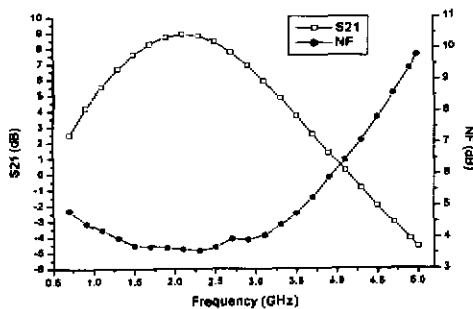


圖二、低雜訊放大器線路圖

低雜訊放大器線路如圖二所示，由輸入級低雜訊匹配電路及輸出共軛匹配網路構成。主動元件的選擇以符合功率要求為主，佈局圖如圖三，模擬結果如圖四所示。

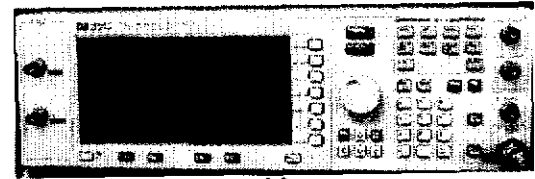


圖三、低雜訊放大器佈局圖

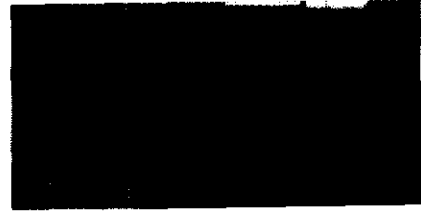


圖四、低雜訊放大器模擬結果

3.完成2.4GHz 混頻器



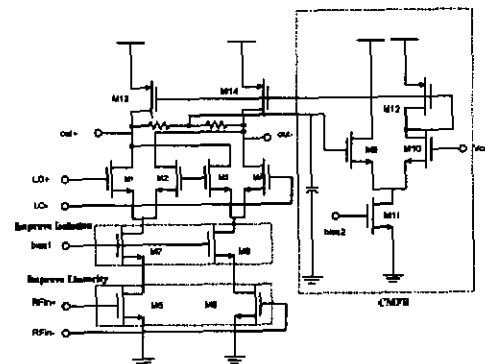
(a)



(b)

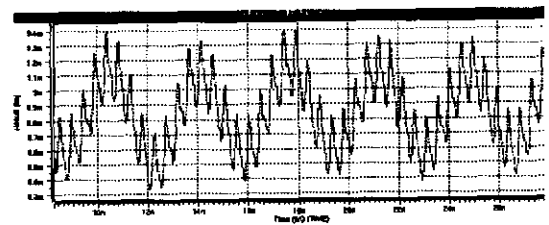
圖五、混頻器量測儀器，
(a) HP ESG-D4000A digital signal generator,
(b) HP 8560A spectrum analyzer.

混頻器的測試儀器如圖一所示，包含 RF 訊號產生(HP ESG-D4000A digital signal generator), 和頻譜量測(HP 8560A spectrum analyzer)。混頻器的設計、實現和測試如下所述(使用製程為 TSMC 0.35um 製程):



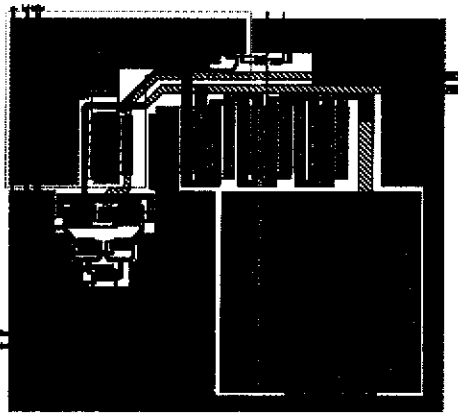
圖六、混頻器線路圖

圖六為混頻器的線路圖,採用簡單的吉爾伯特電路,中頻選在 280MHz.



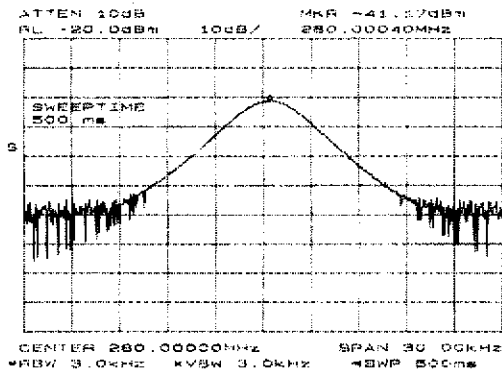
圖七、混頻器線路模擬

圖七為混頻器的線路對時間的模擬圖,利用 HSPICE 軟體模擬。



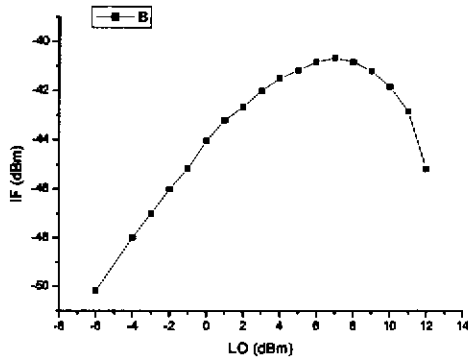
圖八、混頻器佈局圖

圖八為混頻器的線路佈局圖。面積為400um X 435um。



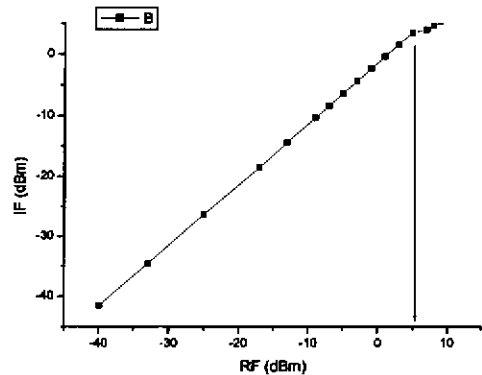
圖九、混頻器量測頻譜

圖九為混頻器的量測頻譜,由結果顯示,增益為-1dB。



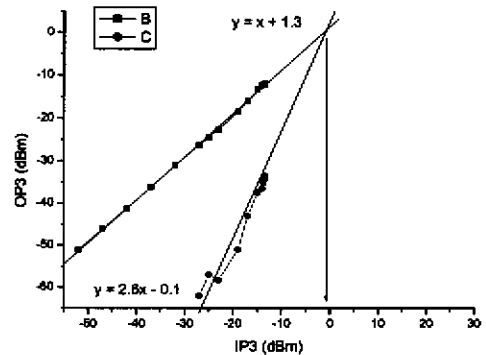
圖十、中頻信號對本地震盪訊號的量測

圖十為中頻信號對本地震盪訊號的量測結果,可以看出當本地震盪訊號為6dBm 時,混頻器的增益最大。圖十一為中頻信號對射頻訊號的量測結果,可以看出當射頻訊號為6dBm 時,混頻器的增益開始衰減1dB。



圖十一、中頻信號對射頻信號的量測

圖十二所示為混頻器的三次線性度量測結果,斜率較小的為射頻信號,斜率較大的是三次諧波,由量測可知三次線性度為-1dBm。



圖十二、混頻器三次線性度的量測結果