

多媒體無線接收機系統單晶片設計技術之研究(2/3)-總計畫
The study of SOC technology on digital wireless multimedia receiver

計畫編號：NSC89-2218-E-002-088

執行期限：89/8/1 ~ 90/7/31

計畫主持人：陳良基 教授 國立台灣大學電機工程學系

共同主持人：劉深淵，汪重光，龐台銘，吳安宇，賴永康 教授

摘要

本研究計畫之目標對未來 3C 之整合及系統晶片 (SOC) 設計技術之需求，結合類比、數位電路技巧，及無線通信傳輸規範配合國科會學門「SOC」規劃，提出一系列關鍵零組件之電路設計及架構分析。並透過已可重複使用智產元件 (Reusable-IP) 之模組管理形式，作為未來系統晶片成果展示及驗證之實驗平台。在去年第一年 (88/8/1 - 89/7/31) 演算法做完整的資料收集及分析，將整個系統的系統參數分析出來。而今年 (90/8/1 - 90/7/31) 則完成各子計畫的模組架構設計與實作。預計於下年度完成各子計畫的 Demo 系統，並完成數位與類比部分的整合。

關鍵字：

單晶片系統，智產元件，模組，積體電路，架構，演算法。

計劃緣由與目的

由於多媒體、電腦及電訊傳輸的快速發展，這三大領域的交集已成為眾所矚目的焦點。影像與視訊系統在資訊傳播與記錄上的應用日趨普遍，成為訊息傳播的主流。而在新一代的無線傳輸標準上，影像傳輸更是不可或缺的功能。目前無線傳輸標準的趨勢在 Cellular 方面有 IMT-2000，適用於手機系統。局部區域有 Bluetooth 適用於電腦主機與週邊之無線傳輸。及 HomeRF，適用於消費性電子與伺服主機及網路無線傳輸。而考量到新的無線傳輸環境下，所規

範出來的新的多媒體訊號處理標準則為 MPEG-4。其影像資訊由於其多樣性、高頻寬、以及即時處理的特性，更成為應用中的焦點。

研究方法與成果

本計畫之研究總目標為建立多媒體無線接收機設計技術，包含射頻類比前級電路、中頻/基頻類比前級電路、基頻帶處理器、視訊解碼處理器、資料壓縮與資料安全等如圖一。由於此設計技術中，系統之規劃、電路之切割與連結、訊號之傳遞及處理、規格之擬定等。彼此依賴，環環相扣，唯有進行整合性研究，才能建立完善的設計環境與相關研究。本計畫的研究方法與成果分佈如下：

A. 射頻類比前級電路

CMOS 的射頻類比前級電路設計方式和 CMOS 中頻、基頻電路有很大的不同，因為 CMOS 元件的高頻(射頻)模型(包含主動、被動元件)不完整也不甚準確，無法單純以 SPICE 來模擬設計。因此，如何在缺乏高頻模型的情況下設計電路同時著手建立準確的高頻模型，是 CMOS 射頻電路重要的課題。第一步便是對元件(主動、被動)的高頻特性進行量測與瞭解，以便日後進行電路設計與模擬。第二步開始建立元件(主動、被動)的 Library，並建立 Model 使得未來高頻電路的設計可以在像 Hspice 之類的電路模擬軟體下 Design。第三步我們根據所建立的元件 Library 選取適當的元件來設計我們的電路。第二年進行步驟：

- (a) 完成第一年中之
 - (1) 高頻元件資料庫建立。
 - (2) 低雜訊放大器。

(3)鏡像混頻器。

三項電路的全晶片佈局，並完成各項電路之製作與測試。

- (b) 對於(a)之電路進行改進與與系統性能改善之可行性分析，以及晶片電路及佈局之改良。

低雜訊放大器線路由輸入級低雜訊匹配電路及輸出共軛匹配網路構成。主動元件的選擇以符合功率要求為主，佈局圖如圖二，模擬結果如圖三所示。

B. 中頻與基頻類比前級電路。

本計劃之類比前級主要應用於無線區域網路，射頻為 2.4GHz，中頻為 280MHz，基頻頻寬為 17.6MHz。本報告為子計劃的第二年報告，本年度主要計畫，為限制放大器、接收訊號強度指示器之佈局設計，以及 post-layout 模擬；與降頻工作部分：包括混波器，低通濾波器，震盪器的線路設計及模擬。混波器及濾波器，能有效達成 280MHz 的中頻信號，降頻為基頻信號，其震盪訊號，由一環狀震盪器產生。另外，低通濾波器為配合展頻系統不同的 chip rate，需有四種可調整的頻寬，分別為 2.2/4.4/8.8/17.6 MHz。圖四為限制放大器及接收訊號強度指示器佈局設計圖。佈局時，除了注意良好的對稱性，在每個增益單元外側，都需加上保護的環形結構，以避免由 substrate 耦合進入的雜訊。否則，一小的雜訊，將可能在通過多級放大後，使電路失真了。其中的偏移電壓消除器，將輸出端的直流偏移電壓取出，送至限制放大器輸入端，將其消除。此取出直流成份的電路，實際上，為一低通濾波器。

根據佈局設計所做的 post-simulation，都是以四個 corner 的製程變異與-40 至 80 度的溫度變異為模擬條件。可得增益級(gain stage)的頻率響應，見圖五，仍有大於 300MHz 的-3dB 頻寬，與超過 38dB 的增益。

C. 數位基頻帶處理器

圖七為數位訊號處理器的區塊圖，此處理器

使用Harvard架構，其中包含了兩個資料記憶區塊 (data memories) 一個程式記憶區塊 (program memory)，每個記憶體包含了16bit addressing space；其中資料記憶區塊為16-bit word width、程式記憶區塊為28-bit word width，每個資料記憶區塊內含位址產生器。此處理器的資料路徑包含以下四個部分：運算邏輯單元 (ALU)、乘法累積單元 (MAC)、barrel shifter (SFT) 與比較器 (CMP)。ALU、SFT、MAC的累加器與CMP的輸入端為40-bit wide，而乘法器的輸入為16-bit wide。此資料路徑的輸出可被存入兩個40-bit的暫存器 (D0與D1) 或兩個資料記憶區塊。

由於MAC架構支援8-bit資料型態運算，我們可輕易的將FIR運算速度加倍。其輸入資料的記憶體安排與參數如圖六所示，輸入資料流將被儲存在一個資料記憶體內，而濾波器參數亦將儲存在另一個資料記憶體內。

D. 視訊解碼處理器

位元流處理協同處理器是MPEG4 中相當重要的關鍵性模組，它負責將MPEG4 的 bitstream 正確的解出，提供給內部的模組正確的資訊。我們以一個 RISC 核心處理器作為平台來作運算複雜度分析。運算複雜度定義為分析 (parse) 一個位元流所需全部的 RISC 時脈。根據位元流格式分析，有七種運算在位元流解碼時會被執行。因此，在複雜度分析的過程中，需要對個別的位元流運算，取得其執行次數，與執行一次時所需的 RISC 時脈數，即可得到其乘積，就是複雜度。其對應的架構如圖八所示。位元流經由 Sequencer 移至正確的位置，送至 Functional Unit (FU)中，所有的解碼、條件判斷與算術運算都在這裏執行。執行何種運算是根據指令解碼器(INSTDEC)的結果而定，記憶體位址的計算，與 FNC、FOR 的資料暫存堆碟 (stack)，是在 AG 中完成。此架構也實際以硬體描述語言實現。

E. 資料壓縮與資料安全智產元件設計

本論文提出了一個新的 64 位元區塊加密器 (Blowfish) 之架構如圖九，此架構可以達到 4 bits/clock 的速度，也就是相當於 Pentium 處理速度的九倍快。我們分析了整個加密算法與傳統區塊加密的特性，並根據硬體的技術與實作上的一些問題考量來設計我們的硬體架構。在此架構中我們採用管線結構(pipeline structure)和運算子的重新排列(operator rescheduling)來化簡電路中最長的路徑，使得此區塊加密器的效能提高，並針對此區塊加密器安全上的考量，加上了傳統區塊加密器的四種運算模式，使其安全性更高，錯誤率在可容忍的範圍內，並擴充了其可應用之範圍。為了驗證我們所提出的架構是可行的，我們先以 CPLD (Xilinx) 來做整個架構的驗證，最後實際採用台積電 0.35 微米單層多晶矽四層金屬的互補式金氧半場效電晶體製程技術，並利用 Compass cell library 來實作出我們的成品。整顆晶片的面積為 3.3mmx3.3mm，最高的工作頻率可高於 72MHz 以上，相當於 throughput 可高於 288Mbits/sec，功率消耗量測為 32.7mW。

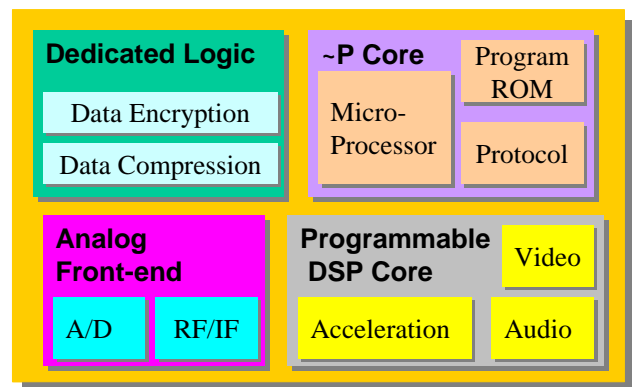
結論

此跨世紀之整合型研究計畫係針對無線傳輸多媒體系統晶片的設計和驗證流程，在計畫第一年已經對各子計畫進行參數的分析及架構最佳化的模擬 (含資料壓縮保密、視訊編碼解碼、射頻接收機、中基頻數位類比轉換處理器等)，本年度第二年也針對各子計畫的部分透過實際的矽晶片製作及驗證。此計畫的目的除了加強 3C 整合系統之傳輸標準，產品規劃等能力，同時強化 IP 的創新性和實用性，並將設計經驗轉成法則，藉以推動 SOC 系統設計。

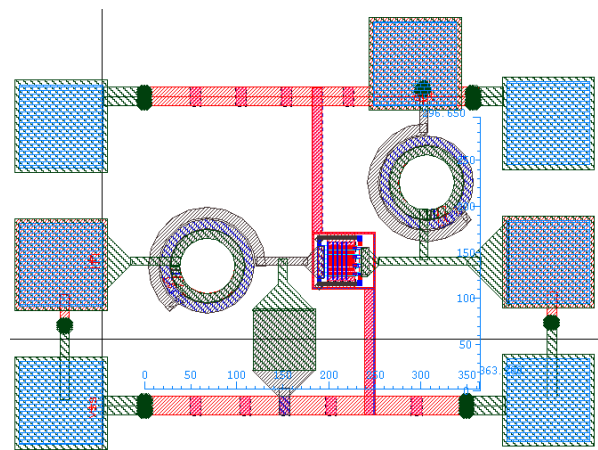
參考文獻

1. Cheng-Chieh Chang, Yuh-Shyang Hwang and Shen-Iuan Liu, "Low-voltage analog tripler circuit", Journal of Analog Integrated Circuits and Signal Processing, pp. 125-128, Feb. 2001.
2. B. Gilbert, Monolithic Logarithmic Amplifier, August, 1994

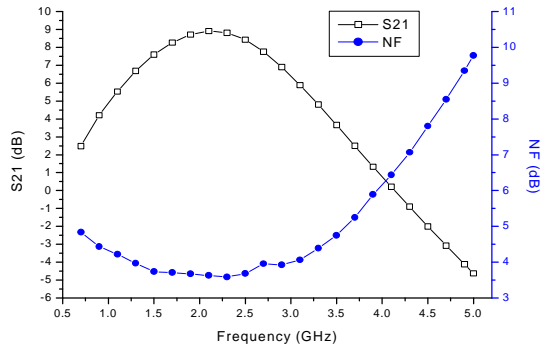
3. B.-W. Kim et al, "MDSP-II: A 16-bit DSP with mobile communication accelerator," IEEE Journal of Solid-State Circuits, vol. 34, pp. 397-404, Mar.ch 1999.
4. H.-C. Chang, L.-G. Chen, M.-Y. Hsu, Y.-C. Chang, "Performance Analysis and Architecture Evaluation of MPEG-4 Video Codec System", in Proc. International Symposium on Circuits and Systems (ISCAS'2000), May 2000.
5. M.C.J. Lin, Youn-Long Lin, "A VLSI implementation of the blowfish encryption/decryption algorithm", Design Automation Conference, 2000. Proceeding of the ASP-DAC 2000. Asia and South Pacific, 2000.



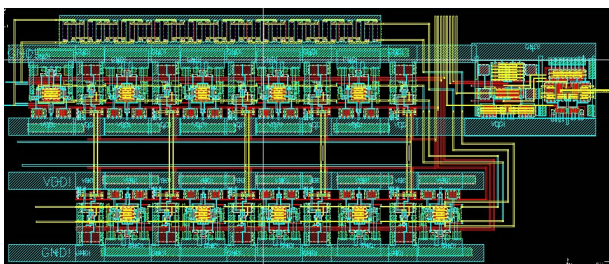
圖一 整體系統圖



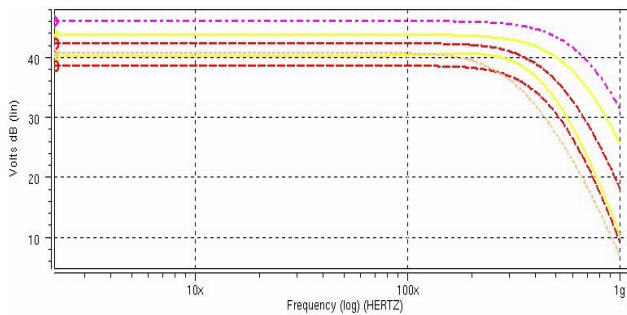
圖二、低雜訊放大器佈局圖



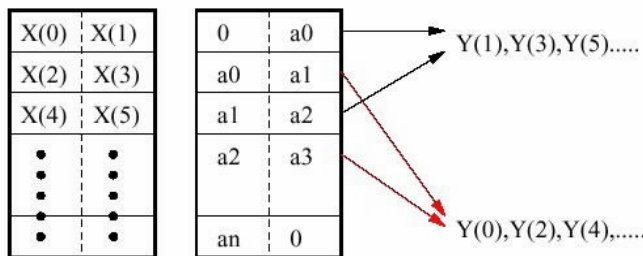
圖三、低雜訊放大器模擬結果



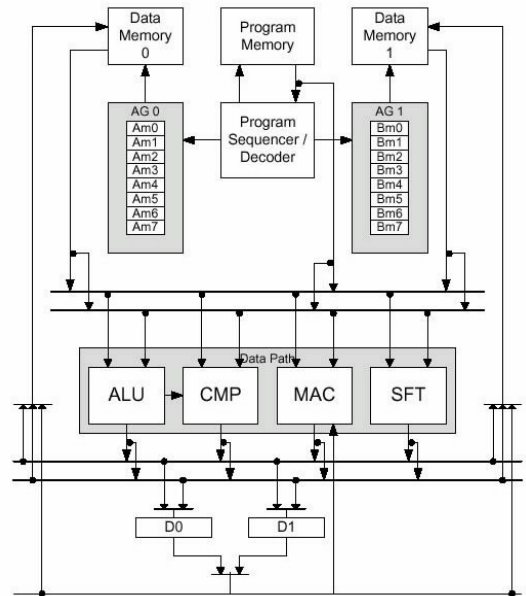
圖四 限制放大器及接收訊號強度指示器佈局圖



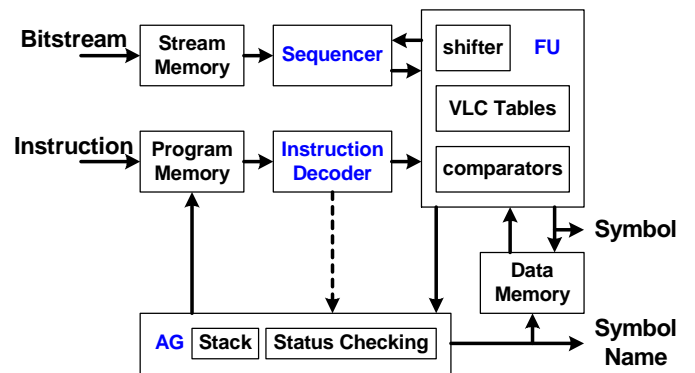
圖五 限制放大器頻率響應



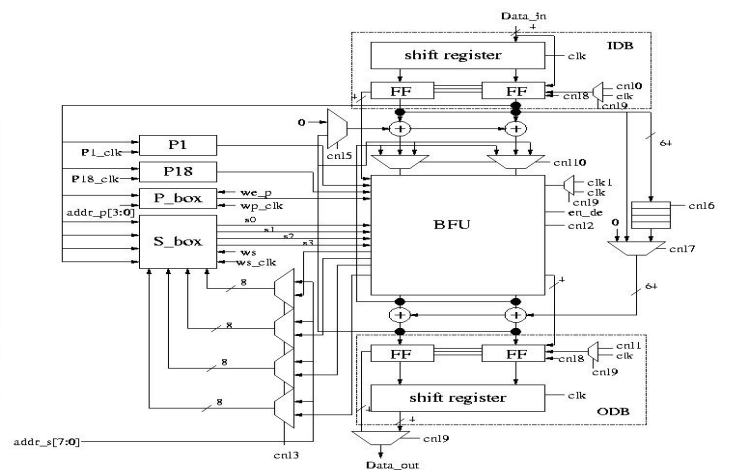
圖六 FIR 運算的記憶體分配



圖七 數位訊號處理器的架構圖



圖八 MPEG-4 視訊位元流解碼器架構圖



圖九、64 位元區塊加密器(Blowfish)之架構