

數位式多媒體無線接收機設計技術之研究(II)-子計劃四

適用於無線傳輸環境之泛用視訊解碼處理器設計

General Video Decoding Processor Design for Wireless Communication Environment

計劃編號：NSC89-2218-E-002-091

執行期限：89/8/1 ~ 90/7/31

計劃主持人：陳良基 教授 國立台灣大學電機所

參與人員：張皓傑、張永基、許美雲、王逸竹

摘要

在第一年度的報告中，我們介紹了 MPEG-4 這個下一代多媒體通訊技術應用國際標準，它結合了視訊、音訊、數據的壓縮及傳輸等多項多媒體通訊技術，可提供一個優良的多媒體通訊環境，預料在未來將會成為個人通訊的主流。

在本年度中，我們繼續深入探討 MPEG-4 解碼器中形狀解碼系統與位元流處理模組的演算法以得到最佳的電路架構，根據第一年度對 MPEG-4 視訊解碼演算法的運算分析，以及在複雜度較高的演算法上做運算最佳化的考量，並設計最佳化的指令集(Instruction Set)，完成其微架構實現，以及晶片製作與效能評估。

研究動機與發展現況

在 MPEG-4 視訊壓縮標準為了支援在新的傳輸環境下，有更好的視訊影像傳輸效果及更加生動的功能，包含了許多新的功能。為提供了對視訊內容具有以物件導向方式存取的能力 (Content-based interactive)，還需要作二元形狀解碼的運算。由於 MPEG-4 支援更多的功能性，更具彈性的多媒體場景以及更具可靠性的傳輸能力，這使得在 MPEG-4 多媒體平台的實作上，比起過去的影音編解碼的技術要困難許多。

在 MPEG-4 視訊解碼器系統中，需處理的資訊包含了三類：Shape、Motion、與 Texture。在

Motion 與 Texture 的部份是沿襲傳統視訊編解碼的流程；而 Shape 的部份，是在 MPEG-4 中新加入的，為了能提供物件導向的編碼功能。因此若要支援 MPEG-4 的功能，一個有效率的形狀解碼系統將是不可或缺的關鍵性重要模組。

而在系統最前方的部份，會有一個位元流的處理單元，將接收到的位元流中重要的資訊擷取出來，並依其資料型態送至不同的後級解碼器去作更進一步的解碼。以最簡單的 MPEG-4 多媒體接收機來說，在前端的位元流處理上，就會遇到各種新增的位元流格式，各種格式的處理方式也大不相同。因此，如何有效率的處理各種功能的 MPEG-4 位元流，就成了設計一個 MPEG-4 多媒體接收機首先必須面對的問題。在位元流的處理上，其發展現況大體上是沿用以往在其他視訊解碼標準 (MPEG-2, H.263) 的方式，以一個固定的有限狀態機 (Finite-State Machine) 來實作，此種方式可達到較高的效率；功能上較有彈性的作法，則包含支援少數特定模式的固定作法，以及用 RISC 或是 DSP 來實現。

研究方法與成果

首先，在形狀解碼系統的設計上，我們根據 MPEG-4 的規定，針對其所需之運算作複雜度的分析，再對其中與以往上差異較大的模組作最佳化的設計。

在位元流處理協同處理器的設計上，我們會對 MPEG-4 視訊位元流標準的所有語法格式作

一完整的分析與整理。根據分析的結果，建立符合一般性位元流層次運算原則的運算模型，並對標準的 MPEG-4 視訊位元流做此標準運算模型的運算複雜度分析。從分析結果中，找出其運算瓶頸，以進行最佳化。之後以軟體作功能上的驗證，並對最佳化的運算模型作硬體架構設計，以及作硬體設計的模擬與測試。

形狀解碼系統

圖一是形狀解碼系統的方塊圖，包括一個不定長度解碼器(VLD)，二元移動補償單元(BMC, Binary Motion Compensation)，Sub-sample 單元，Context-based Arithmetic Decoder(CAD)，Up-sample 單元，以及 VOP memory。再進行架構設計之前，首先我們先針對形狀解碼系統的運算特性及複雜度予以分析，以對整個系統有概括性的了解。針對 MPEG-4 Core Profile Level 2 (CPL2)來作分析，結果列在表一中。由其中可發現 Up-sample 與 CAD 是複雜度較高的二個運算。

Tools	Complexity (OPS)
VLD	400K
MC	3M
Sub-sample	3M
CAD	28.2M
Up-sample	121.6M

表一、形狀解碼系統複雜度分析結果

在形狀解碼系統中的 VLD 和一般視訊解碼系統中 VLD 不同之處，在於其必須對位元流處理兩次。在進行算術解碼運算之前，需要將位元流中前 31 個除去 stuffing bit 的位元送入算術解碼器；然而，這些位元可能真正少於 31 個位元是屬於算術編碼的欄位，其他被讀入的位元其實是屬於其他欄位。而一開始被誤以為是 stuffing bit 的位元，當然也必須被放回位元流中。因為形狀解碼系統中的 VLD 運算須要對位元流處理兩次，所以實際的運算複雜度會高於 400K。這部分尚未有一個有效率的架構被提出，因此我們首先針對 VLD 提出架構設計。

圖二為所提出的 VLD 架構圖。包括一個 sequencer，和兩個檢查 stuffing bit 之電路 (skip1 及 skip2)。當要開始解算術解碼的時候，首先在 barrel shifter 中剩餘尚未解掉的位元會送入 skip1 檢查，在 bitstream buffer 中的位元也需要送入 skip1 檢查，直到獲得 31 個不含 stuffing bit 的位元為止；接著算術解碼器便開始運作，同時 skip2 會根據算術解碼器真正解掉的位元數，從頭檢查 stuffing bit 的存在，並且 feedback 給 sequencer。

位元流處理協同處理器

一個位元流是由許多有意義的符號 (symbol) 所結合而成的，這些符號的長度大小不定，可長可短，主要分為固定長度碼 (fixed-length code) 與不定長度碼 (variable-length code) 二種。位元流結構 (bitstream structure) 就是在描述這些碼如何接在一起以組成一完整的位元流。位元流層次 (bitstream-level) 運算主要分為三大類：

1. 描述碼的長度特性：包含固定長度解碼 (FLD) 與不定長度解碼 (VLD) 二種。
2. 算術運算 (CAL)：例如遞增、遞減、位移、與給予定值。
3. 碼與碼間之關係：在這裏會有一些條件判斷。下一個要來的碼，其長度或是大小可能會與之前解出來的碼的值有關 (BRP)，或是與其本身的价值有關 (BRN)；另外，由於 MPEG-4 位元流結構為階層式的，因此需要在不同層間作轉換 (FNC)；在位元流結構中也會出現重覆的子結構 (sub-structure)，這時就需要採用迴圈的方式來處理 (FOR)。

接下來，我們以一個 RISC 核心處理器作為平台來作運算複雜度分析。運算複雜度定義為分析 (parse) 一個位元流所需全部的 RISC 時脈。根據位元流格式分析，有七種運算在位元流解碼時會被執行。因此，在複雜度分析的過程中，需要對個別的位元流運算，取得其執行次

數，與執行一次時所需的 RISC 時脈數，即可得到其乘積，就是複雜度。分析的結果列在表二中。可以發現，其中 FLD、VLD、BRP、與 BRN 幾乎佔了大部分的比例。這主要是因為 RISC 架構上與指令集設計上並未對位元流處理有特別的考慮與支援，因此會造成其效率低落。

	RISC Cycles	Task Count		MOPS	
FLD	8~13	4,668,092	(33.2%)	49.01	(30.9%)
VLD	19~26	1,485,524	(10.6%)	33.42	(21.1%)
BRP	6~9	3,446,538	(24.5%)	25.85	(16.3%)
BRN	11~14	3,843,957	(27.3%)	48.05	(30.3%)
FNC	4	490,081	(3.5%)	1.96	(1.2%)
FOR	3	123,624	(0.9%)	0.37	(0.2%)
Total	---	14,057,816	(100%)	158.67	(100%)

表二、MPEG-4 位元流運算複雜度分析結果

根據以上對複雜度的分析，為了改進位元流處理的效率，我們提出一套對位元流處理最佳化過的新的指令集。所提出的指令集主要是針對 RISC 作改良。在解碼上，我們支援在一個時脈中就能完成一固定長度或不定長度的解碼；在條件判斷上，所提出的指令集可同時完成二個條件判斷。表三列出不同指令集所需時脈數比較結果。所提出的指令集在 FLD 與 VLD 上有相當顯著的加速。不同指令集分析一完整的 MPEG-4 視訊位元流所需的運算數如圖三所示。

	32-bit RISC	RISC Extension	Proposed	Speedup with RISC
FLD	8~13	1	1	8~13
VLD	19~26	4	1	19~26
BRP	6~9	5~8	2~4	1.5~2.25
BRN	11~14	6~9	2~3	3.67~5.5
FNC	4	4	1	4
FOR	3	2	1	3
CAL	2~3	2~3	2~3	1

表三、不同指令集所需時脈數比較結果

其對應的架構如圖四所示。位元流經由 Sequencer 移至正確的位置，送至 Functional Unit (FU)中，所有的解碼、條件判斷與算術運算都在這裏執行。執行何種運算是根據指令解碼器(INSTDEC)的結果而定，記憶體位址的計

算，與 FNC、FOR 的資料暫存堆碟 (stack)，是在 AG 中完成。此架構也實際以硬體描述語言實現，晶片佈局圖如圖五所示，表四列出晶片規格表。

Technology	TSMC 0.35um CMOS 1P4M
Die Area	2.23 mm x 2.21 mm
Gate Count	24,517 (RAM excluded)
Memory	9,088 bits
Transistor Count	227,224
Speed	40 MHz
Power	250 mW @ 40 MHz, 3.3V

表四、晶片規格表

結論

在本計畫第二年度中，我們根據去年的分析結果，著手進行形狀解碼系統與位元流處理協同處理器的設計。藉由完整的分析流程，我們針對不同於傳統的模組以及以往架構的缺失提出高效率的設計。在下一年度，我們將繼續完成 MPEG-4 視訊解碼器 SOC 之整合，以實現適用於無線傳輸環境之泛用視訊解碼處理器的設計。

參考文獻

- [1] M. Berekovic, H. -J. Stolberg, M. B. Kulaczewski, P. Pirsch, "Instruction Set Extensions for MPEG-4 Video," *Journal of VLSI Signal Processing*, Vol. 23, No. 1, pp.27-49, October 1999.
- [2] M. Budagavi, J. Webb, M. Zhou, J. Liang, R. Talluri, "MPEG-4 Video and Image Coding on Digital Signal Processors," *Journal of VLSI Signal Processing*, Vol. 23, No. 1, pp.51-66, October 1999.
- [3] J. H. Li, N. Ling, "Architecture and Bus-arbitration Schemes for MPEG-2 Video Decoder," *IEEE Transactions on Circuits and Systems for Video Technology*, Vol. 9, No. 5, pp.727-736, August 1999.
- [4] M. Berekovic, G. Meyer, Y. Guo, P. Pirsch, "A Multimedia RISC Core for Efficient Bitstream Parsing and VLD," *Proceedings of SPIE: Multimedia Hardware Architectures*, Vol. 3311, pp.131-141, 1998.
- [5] S. Sriram, C. -Y. Hung, "MPEG-2 Video Decoding on the TMS320C6X DSP Architecture," *IEEE Thirty-Second Asilomar Conference on Signals, Systems, and Computers*, Vol. 2, pp.1735-1739, 1998.
- [6] L. Bolcioni, M. Borgatti, M. Felici, R. Rambaldi, R. Guerrieri, "A Low-power, Voice-controlled, H.263 Video Decoder for Portable Applications," *IEEE Journal of Solid-State Circuits*, Vol. 33, No. 11, pp.1810-1818, November 1998.

[7] ISO/IEC JTC1/SC29/WG11. *N2502a, Generic Coding of Audio-Visual Objects: Visual 14496-2, Final Draft of International Standard*, Atlantic City, Dec. 1998.

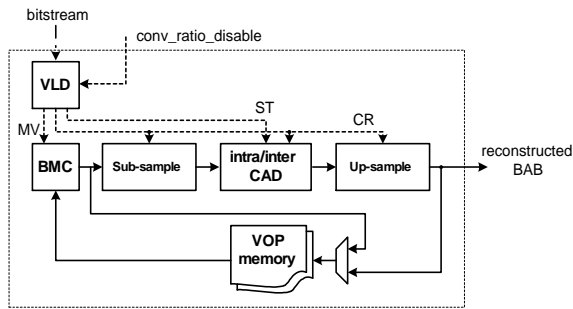
[8] Y. C. Chang, H. C. Chang and L. G. Chen, "Design and Implementation of a Bitstream Parsing Coprocessor for MPEG-4 Video System-on-chip Solution", *International Symposium on VLSI—Technology, Systems, and Applications (VLSI-TSA '2001)*, Taiwan, April 2001.

[9] J. L. Hennessy, D. A. Patterson, *Computer Architecture: A Quantitative Approach*, second

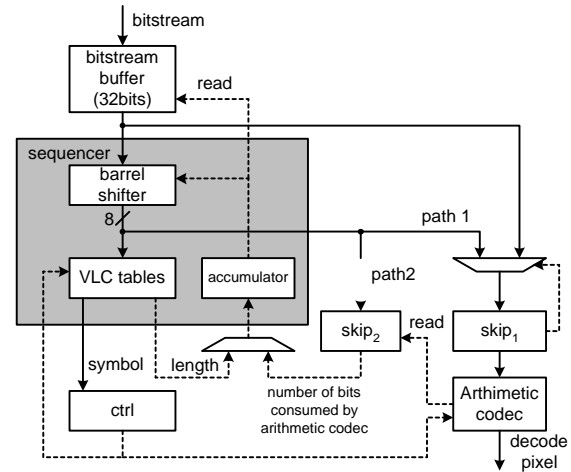
edition, Morgan Kaufmann Publishers, Inc., 1996.

[10] S. -M. Lei, M. -T. Sun, "An Entropy Coding System for Digital HDTV Applications", *IEEE Transactions on Circuits and Systems for Video Technology*, vol.1, No.1, Mar. 1991.

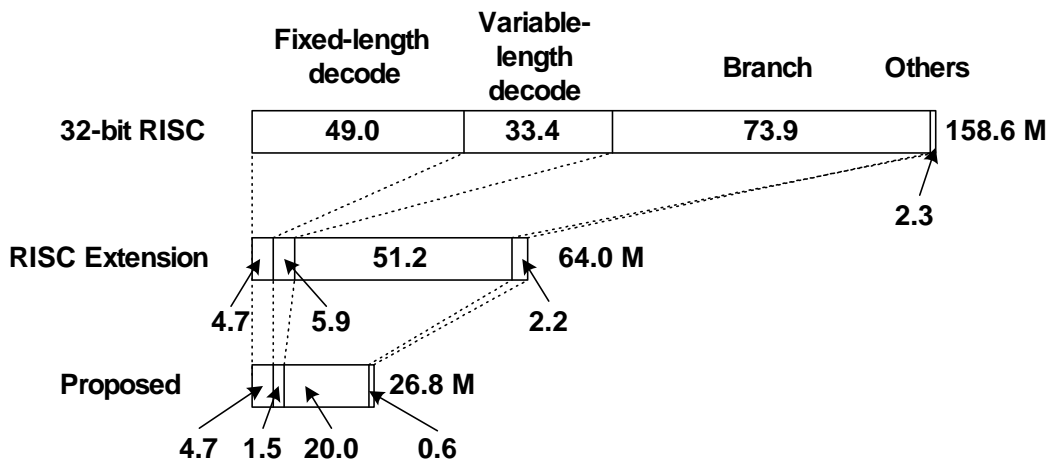
[11] A. Mukherjee, N. Ranganathan, and J. W. Flieder, and T. Acharya, "MARVLE: A VLSI chip for data compression using tree-based codes", *IEEE Transactions on VLSI Systems*, vol. 1, pp. 203-214, Jun. 1993.



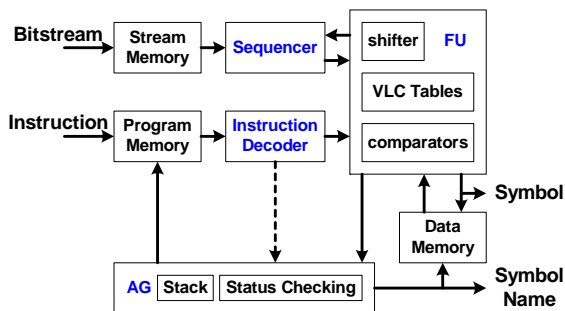
圖一、形狀解碼系統的方塊圖



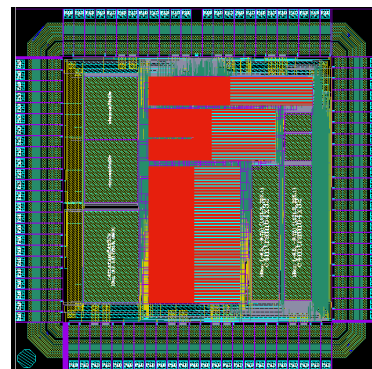
圖二、形狀解碼系統 VLD 架構圖



圖三、MPEG-4 視訊位元流解碼效率比較圖



圖四、MPEG-4 視訊位元流解碼器架構圖



圖五、晶片佈局圖