

適用於高速數位用戶迴路之 DMT 數位 IP 模組設計及實現 (I)

Design and Implementation of Digital IP for DMT Engine in High-Speed DSL Applications (I)

計畫編號：NSC89-2218-E-002-108-

執行期限：89/08/01 ~ 90/07/31

主持人：吳安宇 副教授 Email: andywu@cc.ee.ntu.edu.tw

執行機構：國立台灣大學電機工程學系

一、中文摘要

在 DMT Modulation Engine 中，高點數的反快速傅利葉轉換/快速傅利葉轉換 (IFFT/FFT)、多維格子迴旋碼 (Multi-dimensional TCM) 編解碼器以及李德-所羅門 (Reed-Solomon) 編解碼器都是重要的核心模組。由於這些模組都具有高計算複雜度 (Computational Complexity) 的特性；若利用數位信號處理器 (DSPs) 來加以實現，這些模組的運作將會佔據太多的系統資源，而且無法達到即時運算的目的 (Real-time Processing)。因此利用超大型積體電路 (VLSI) 來實現這些模組是比較適合的作法。因此，本子計畫研究的重點在於針對這些 DMT Modulation Engine 中的重要核心模組來設計高效能/低功率的數位 IP (Intellectual Property)。

在這個子計畫中，首先我們將對各個模組做演算法上的分析，以期在演算法階層 (Algorithmic Level)，以設計空間搜尋 (Design Space Exploration) 方式，改進計算複雜度及節省記憶體空間/頻寬。接著針對其 VLSI 架構作推導，更進一步改善模組之速度/功率/面積，最後將落實於 VLSI 電路實現。計畫目標為建立一組高效能/低功率的數位 IP 模組，供子計畫二之 DMT 基頻架構使用。同時，我們並以可重設組態的 (Reconfigurable) IP 為研究之重點，以達到 IP 再使用 (Reuse) 及快速雛型設計 (Rapid Prototyping) 之目的。

關鍵詞：

離散多頻調變，反快速傅利葉轉換/快速傅利葉轉換，多維格子迴旋碼編解碼器，李德-所羅門編解碼器，矽智慧區塊。

二、英文摘要

High-point IFFT/FFT, 4D-TCM codec and Reed-Solomon codec are the kernel modules in

DMT modulation Engine. Due to the massive computational complexity, the implementation of these modules by DSP processor will dominate the computational complexity and cannot achieve real-time data processing in practical implementations. Hence, using VLSI to implement those digital IPs would be a better solution. The main goal of this project is to design high-performance/low-power digital IP modules in the DMT engine.

In this project, we will first analyze the algorithms of each IP module. By applying "design space exploration", we seek to find optimized design to reduce the computational complexity and memory space/bandwidth at the algorithmic level. At the architectural/circuit level, we will derive effective VLSI architectures and circuits to further improve the area/speed/power performance. By the end of the project, we will implement these IP modules down to ASIC level. The final goal is to create a set of high-speed/low-power digital IP modules for the DMT baseband architecture developed in sub-project 2, and link with other modules of the group project. Also, to achieve the goal of IP reuse and rapid prototyping, we will also explore the reconfigurable structures for these IPs.

Keywords :

DMT, IFFT/FFT, TCM, Reed-Solomon, Intellectual property (IP).

三、計畫緣由與目的

最近網際網路 (Internet) 的進步導致迫切需要較高的資料傳輸率，為了解決傳統雙絞電話線的傳輸瓶頸，一些調變/解調的方法被提出，包括 CAP、DMT 和 QAM，離散多頻 (DMT) 調變/解調方法是非對稱數位傳輸系統 (ADSL) 上的標準傳輸技術，更對於非常高速數位用戶迴路 (VDSL) 提出類似的 SDMT 技

術。DMT 利用大量的前瞻性 DSP 技術來達到調適性速率(rate-adaptive)的資料傳輸,但是它的計算複雜度卻遠超過其他調變/解調的方法。

在 DMT Modulation Engine 中,高點數的反快速傅利葉轉換/快速傅利葉轉換 (IFFT/FFT)、多維格子迴旋碼 (Multi-dimensional TCM)編解碼器以及李德-所羅門(Reed-Solomon)編解碼器都是重要的核心模組。實際上,這些模組有具有高計算複雜性的共同特性。在硬體實現中,利用 DSPs 來實現這些模組的即時處理是幾乎不可能,因此,更好的解決辦法將是利用 VLSI 來實現這三個核心模組。

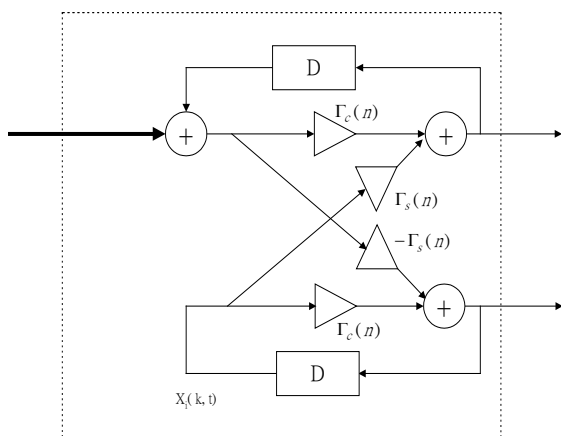
四、研究方法與成果

在這個子計畫中,首先我們將對各個模組做演算法上的分析,以期在演算法階層 (Algorithmic Level),以設計空間搜尋(Design Space Exploration)方式,改進計算複雜度及節省記憶體空間/頻寬。接著針對其 VLSI 架構作推導,更進一步改善模組之速度/功率/面積,最後將落實於 VLSI 電路實現。計畫目標為建立一組高效能/低功率的數位 IP 模組:

- IFFT/FFT 模組

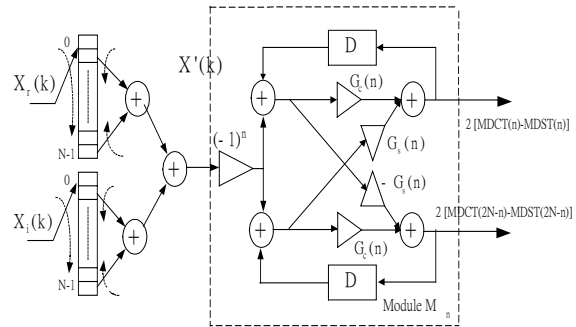
1. 正向與反向快速傅立葉轉換架構

在[3]中,我們針對離散多頻調變系統提出一套有效率的快速傅立葉轉換的理論與硬體架構。依據快速傅立葉轉換的對稱性,我們推導出平行格時間遞迴架構。此架構只有純實數的修改的離散餘旋轉換與修改的離散正旋轉換,如此可避免複數的運算單元。此核心架構如圖一所示。



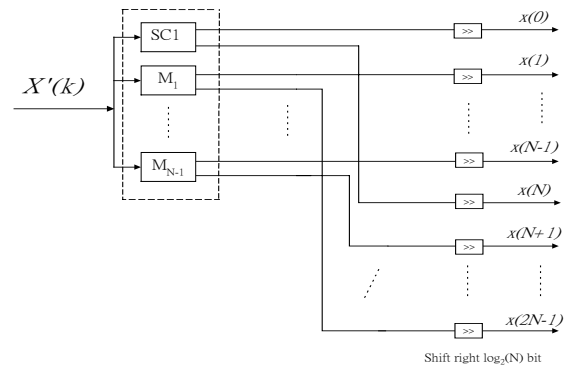
圖一、平行格時間遞迴架構

在[4]中,我們更深入探討輸入資料的對稱與反對稱性,提出簡易的前置架構,便可簡化後置處理電路,並使處理速度加倍。改良後的核心架構如圖二所示。

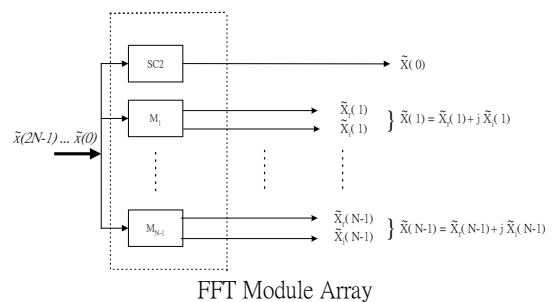


圖二、改良的平行格時間遞迴架構

完整的反向快速傅立葉轉換與正向傅立葉轉換架構如圖三與圖四所示。



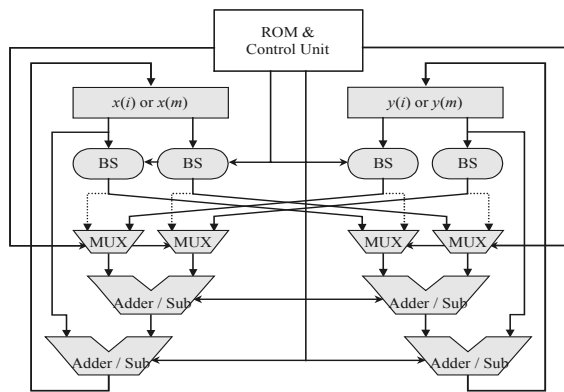
圖三、反向傅立葉轉換架構圖



圖四、正向傅立葉轉換架構圖

2. 改良式向量旋轉器核心

遞迴式傅立葉轉換模組的核心是一旋轉器,我們可利用精簡數位座標旋轉計算器,來取代四個乘法器與兩個加法器的龐大面積。依據之前所提出改良過的高解析度架構[5],我們可將面積減少成為 4W/3 個加法器,其中 W 為加法器的位元數。如此可以大幅減少硬體面積,達成有效率的實現。圖五為精簡數位座標旋轉計算器的架構圖。

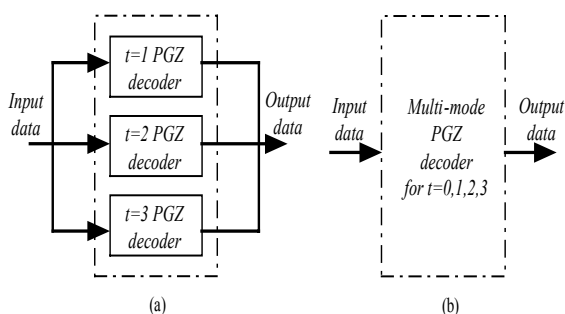


圖五、數位座標旋轉計算器架構圖

● Reed-Solomon FEC Codec

我們基於 PGZ 演算法推導一可規劃的 VLSI 電路架構，以實現具有各種錯誤更正能力的多模式 RS code，PGZ 演算法提供最簡單的方法去實現 $t \leq 3$ RS 解碼器，這就需要小的更正能力的系統而言是非常節省成本，例如：ECC 應用在處理器記憶體。

不同於其它疊代(iterative)的解碼方法，一般 PGZ 演算法的主要弊端乃是僅可工作於單一的更正能力[6]，亦即，能解決 $t=3$ 的 PGZ 電路是不能去解 $t=1$ 或者 $t=2$ ，而導致一個 $t \leq 3$ PGZ 解碼器將需要三份硬體來分別計算 $t=1$ 、 $t=2$ 和 $t=3$ 。此整體電路被顯示在圖六(a)中。明顯地，把三個 PGZ 解碼器放在一個電路上是非常浪費面積及成本。因此，我們尋求一個能合併三個不同解碼器在一個 VLSI 電路中，我們稱之為多模式的 PGZ 解碼器，如同圖六(b)所示。



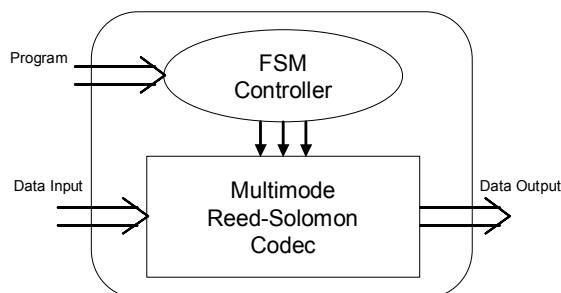
圖六、(a) 三份 PGZ 硬體基於傳統設計方法
(b) 適用於多模式 PGZ 解碼器

此外，PGZ 演算法還有另一個弊端就是當 $t > 3$ 時其硬體複雜度將迅速成長，因此，透過利用有限域運算的特性，我們將可大大的降低硬體複雜度。再者，我們將此設計應用於多模式的 PGZ 解碼器，使得整體複雜度大大的降低約 50%，如圖七中之比較表所示。

Architecture type	Number of FFM	Number of FFA
Direct implementation PGZ algorithm for $t = 3$	40	16
The derived reduced complexity PGZ for $t = 3$	21	11
The proposed Multi-mode PGZ for $t = 0, 1, 2, 3$	24	12

圖七、PGZ 演算法之硬體複雜度比較表

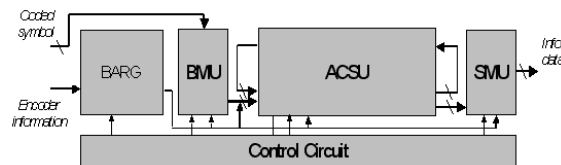
低成本多模式 PGZ 演算法已獲准在 IEEE SiPS2001 中刊出[7]。基於這個設計概念，我們將推廣到其它規則的 RS 演算法，進一步，將設計擴展為一個可規劃多模式 RS codec，如圖八所示。



圖八、所提出之可重設組態多模式 RS 架構

● Trellis-Coded Modulation Codec

在 TCM 迴旋碼解碼器的設計中，使用最大相似演算法的唯特比解碼器已被廣泛地使用。然而在不同的應用中，不同的參數往往導致在唯特比解碼器時，必須重頭來過，使得設計的過程耗時又耗力。因此我們提出一個可規劃式的唯特比解碼器，希望只需更改模組間的控制電路，便可應用到不同規格的设计上；如圖九，我們加上一個稱為 BARG(BM-to-ACS Routing Generator)的模組，利用改變傳統唯特比解碼器中 BMU 和 ACS 之間的一些線路更動和加上適當的邏輯電路，即可適用於不同參數之應用。



圖九、可規劃式唯特比解碼器架構

然而，和傳統的唯特比解碼器一樣，BMU、ACSU、SMU 等三個模組亦為設計上重要的考量[9]；其中在 BMU 裡，我們採用 soft decision 的方式來計算其值，這樣一來可以較使用 hard decision 的方式得到 2.2dB 的編碼增益值；而在 ACSU 這個模組裡，處理單元(PE)的數目將會影響其面積、速度等；我們在比較了各種方法之後(如圖十)，採取較平行

處理、適合高速運作的方式，即該表中的“Full PEs”方法。最後是 SMU 模組的設計 [10]，這裡的重點是在於資料在記憶體存取、運作的方式，調查所得的各項方法如圖十一所示，我們採取的是 One-P 的方法。

	Single PE	Full PEs	N_b PEs		
			One-Time Step	In place	FFT Structure
Routing	Medium	Medium	Medium	Complex	Simple
Path Memory	2^*N^*B	N^*B	$(2N-2^{2b})^*B$	N^*B	$(2N-2^{2b})^*B$
PE Using Percentage	100%	100%	100%	100%	50%
Through-put Rate	$2/N$	1	$2N_b/N$	$2N_b/N$	$2N_b/N$
Area ratio	1	$N/2$	N_b	N_b	N_b

圖十、處理單元數目對 ACSU 的影響

Method	Reg. Exch.	Traceback			Trace-For word	Sliding Windows	Hybrid RE & TB
		One-P	k-P even	k-P odd			
Memory size	D^*N	$\frac{k+1}{k-1}DN$	$\frac{2k}{k-1}DN$	$\frac{2k-1}{k-1}DN$	$2^*D^*N^*m$	D^*N	D^*N+L^*N
Type of cell required	Dual-port + mux + wiring	Single-port SRAM					SRAM + DP + mux + wiring
latency	D	$\frac{k+1}{k-1}D$	$\frac{2k}{k-1}D$	$\frac{2k-1}{k-1}D$	$2D$	D^*	$D+L+D/L$
Write Bandwidth	D^*N		N	N	N	N/D	L^*N+N
Read Bandwidth	D^*N		k	1	1	1	L^*N+N
Total	D^*2N		$k+N \neq N$	$1+N \neq N$	$1+N \neq N$	$1+2ND$	$2(L+1)^*N$
Others	Large power consumption	Simple addressing	k+1 point 1-directional addressing	k+1 point Bi-directional addressing	When $k=3$ in TB, TF's latency is short than TB's		Stable for processor approach

N : number of PEs D : trace back depth k : memory bank - 1 L : state width

圖十一、SMU 的不同實現方法比較

在決定了各個模組的實現方法之後，我們使用 Matlab 來做功能上的驗證。我們以一個參數為(2,1,5)的迴旋碼為例，可以得到下圖的模擬結果，確認其結果為正確的。

```

Circle 1
input: 0 0 1 0 0 0 0 0 1 0 1 1 1 1 1 0 1 0 1 0 1 0 1 0 1 1 1 1
output: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
errors: 10 00 00 00 00 00 01 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

Circle 2
input: 1 0 0 0 0 0 0 1 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 0 1 0 0
output: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
errors: 00 00 00 10 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

Circle 3
input: 1 1 0 0 0 1 0 0 0 1 0 1 1 1 0 0 0 0 0 0 0 0 0 1 1 1 0 0 1 0
output: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
errors: 01 01 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

Circle 4
input: 1 0 0 0 1 0 1 0 1 0 1 1 1 1 0 0 1 0 0 1 1 1 1 1 1 1 1 0 1 1
output: 0 0 1 0 0 0 0 0 1 0 1 1 1 1 1 0 0 1 0 1 0 1 0 1 0 1 1 1 1 1
errors: 00 00 01 10 00 00 01 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 11 10

Circle 5
input: 1 1 1 1 1 1 0 0 1 1 0 0 1 1 1 0 0 0 0 0 1 1 1 1 0 0 0 0 1 1 0 0
output: 1 0 0 0 0 0 0 0 1 1 0 1 0 0 0 0 0 0 1 0 0 0 1 1 0 0 0 1 0 0 0 0
errors: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 01 00 00 00 00 00 00 00 00 00
    
```

圖表四、Matlab 模擬結果

五、 結論與討論

在本子計劃中，我們針對這些 DMT Modulation Engine 中的重要核心模組來設計高效能/低功率的數位 IP 模組。透過演算法分析降低硬體實現的複雜度，並藉由 VLSI 架構的推導，進一步改善模組之速度/功率/面積，最後將落實於 VLSI 電路實現。

在未來的計劃中(Part II and III)，我們以可重設組態的(Reconfigurable)IP 為研究之重

點，以達到 IP 再使用(Reuse)及快速離型設計(Rapid Prototyping)之目的。

六、 參考文獻

- [1] K. Sistanizadeh, P. Chow, and J. M. Cioffi, "Multi-tone transmission for asymmetric digital subscriber lines (ADSL)," in *Proc. ICC'93*, pp. II.756-760, 1993.
- [2] I. Lee, J. S. Chou, and J. M. Cioffi, "Performance evaluation of a fast computation algorithm for the DMT in high-speed subscriber loop," in *IEEE J. Select. Areas Communication*, vol. 13, pp. 1560-1570, Dec. 1995.
- [3] A. Y. Wu and T. S. Chan, "Cost-efficient parallel lattice VLSI architecture for the IFFT/FFT in DMT transceiver technology," in *Proc. IEEE Int. Conf. Acoust. Speech, Signal Processing (ICASSP-98)*, Seattle, pp. VI.3517-3520, May 1998.
- [4] C. L. Yu and A. Y. Wu, "An improved time-recursive lattice structure for low-latency IFFT architecture in DMT transmitter," in *Proc. IEEE Int. Symp. Circuits and Systems (ISCAS-2001)*, Sydney, pp. IV.250-253, May 2001.
- [5] C. S. Wu, and A. Y. Wu, "The modified vector rotational (MVR-CORDIC) algorithm and its application to FFT," in *IEEE International Symposium on Circuits and System (ISCAS'2000)*, Geneva, Switzerland, pp. IV.529-532, May, 2000.
- [6] Meera Srinivasan and Dilip V. Sarwate, "Malfunction in the Peterson-Gorenstein-Zierler Decoder," in *IEEE Trans. on Information Theory*, vol. 40, no.5, September 1994.
- [7] S. F. Wang, H. Y. Hsu and A. Y. Wu, "A very low-cost multi-mode Reed Solomon decoder based on Peterson-Gorenstein-Zierler algorithm," to appear in *IEEE Workshop on Signal Processing Systems (SiPS'2001)*, Belgium, September 2001.
- [8] L. F. Wei, "Trellis-coded modulation with multi-dimensional constellations," in *IEEE Trans. Information Theory*, vol. 33, pp. 483-501, July 1987
- [9] H. L. Lou, "Implementing the Viterbi algorithm," in *IEEE Signal Processing Mag.*, vol. 12, no.5, pp. 42-52, Sept. 1995.
- [10] G. Feygin and P. G. Gulak, "Survivor sequence memory management in Viterbi decoders," in *IEEE Trans. on Communication*, vol. 41, no.3, pp. 425-429, Mar.1993.