

# 行政院國家科學委員會補助專題研究計畫成果報告

## 數位視訊傳輸之前饋式錯誤修正碼之 快速雛形機設計技術與 超大型積體電路架構設計( )

計畫類別： 個別型計畫          整合型計畫

計畫編號：NSC89 - 2218 - E - 002 - 109

執行期間：89年8月01日至90年7月31日

計畫主持人：吳安宇博士

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：國立台灣大學電機工程學系

中華民國 90年 09月 21日

# 數位視訊傳輸之前饋式錯誤修正碼之快速雛形機設計技術與 超大型積體電路架構設計( )

## Rapid Prototyping and VLSI Architecture of the Feed-forward Error Correction Subsystems for Digital Video Transmission ( )

計畫編號：NSC89-2218-E-002-109

執行期限：89/08/01 ~ 90/07/31

主持人：吳安宇 副教授 Email: [andywu@cc.ee.ntu.edu.tw](mailto:andywu@cc.ee.ntu.edu.tw)

執行機構：國立台灣大學電機工程學系

### 一、中文摘要

由於現今超大型積體電路(VLSI)的快速發展，“單晶片系統”逐漸成為主流。這種新的積體電路設計方式的複雜度比傳統的設計高出許多，所以使用快速雛形產生器及智慧專利(IP)設計模組的再利用可以減少設計人員的負擔及提高設計效率。

在本子計畫中，我們將發展一項以設計經驗為基礎的電腦輔助設計(CAD)工具來協助 IC 設計者來設計我們群計畫“數位視訊傳輸系統”中所需要的前饋式錯誤修正(FEC)子系統。本 CAD 工具可接受系統規格，如李德所羅門(RS)編解碼系統的  $m, n, t$  值，再根據設計流程方法產生可合成的高階硬體描述語言(Verilog-HDL)碼，以供特定應用積體電路(ASIC)或現場可程式邏輯閘陣列(FPGA)使用。因此，系統 IC 設計者可節省在 FEC 模組上花太多設計時間，而將設計焦點集中於系統層次的課題，以符合單晶片系統設計的潮流。

我們首先完整地完成一次 RS 碼及交織編碼(Interleaver / De-interleaver)的 ASIC 設計流程，以瞭解設計技術。此經驗將成為以暫存器轉換階層(RTL)來實現 FEC 的設計方法的依據。然後，我們將上述結果納入 CAD 工具的設計流程。我們認為這項研究成果是朝向“以 CAD 發展數位信號處理(DSP)”的基礎步驟。而且也提供了一項在通訊系統中

利用可規劃式自動 IP 產生器來產生快速雛形的例子。

**關鍵字：**智慧專利，電腦輔助電路設計，數位信號處理，交織編碼，李德-所羅門編解碼器，自動化設計

### 二、英文摘要

Recent rapid progress in VLSI technology has led to an emerging theme - “*System-on-a-chip.*” The complexity of new design paradigm is much higher than conventional IC designs. Hence, it calls for *rapid prototyping* and *design reuse* of major IP modules so as to alleviate the designer's effort and to speed up the design process.

In this project, we will develop a knowledge-based CAD tool to assist the IC designers with the Feed-forward Error Correction (FEC) subsystems in our group project - “*Digital Video Transmission System.*” The CAD tool can take the system specification such as  $m, n, t$  of Reed Solomon (RS) codec. Then the code generator will follow the design methodology to automatically generate synthesizable Verilog codes for ASIC and/or FPGA implementations. Thus, the system IC designer can focus on system-level design issues without going through tedious designs of the FEC modules.

We first go through the complete ASIC design flow to explore the design techniques in RS codec and Interleaver / De-interleaver. The design experience will be formulated to form the complete design methodology of the FEC modules at the register-transfer level (RTL). Then we incorporate the knowledge into our CAD tool design flow. We consider this research work as our first step towards the emerging area - *CAD for DSP*. Also, it provides a good example for rapid prototyping of a reconfigurable IP design in communication system.

**Keywords:** Intellectual property (IP), Computer-aided design (CAD), Digital signal processor (DSP), Reed-Solomon codec, Interleaver/De-interleaver, Design automation

### 三、計畫緣由與目的

由於現今的通訊系統及儲存媒體的快速發展，因此能修正在傳輸過程中雜訊所造成的錯誤就顯得非常重要，其中的前饋式錯誤修正(FEC)模組所使用的李德所羅門碼(RS code)就經常被使用到，而 RS code 會因為規格中的  $n$ ,  $k$ ,  $t$ , primitive polynomial  $G(x)$ 等值的改變，在硬體實行上會有些許的不同。而本計畫的目的就是利用高階的電腦輔助設計工具(CAD)及現有的知識技術製作一快速雛形產生器，能根據不同的規格標準，自動調整產生相對應的硬體架構。如此，使得系統設計人員能夠快速有效率的產生符合規格所需要的前饋式錯誤修正模組。

首先，我們把整個計畫劃分為三大步驟，主要如：

第一、理論研究與設計：研讀相關的論文或書籍，以求瞭解前饋式錯誤修正模組的原理與精神，初步使用電腦模

擬系統運作以確定理論的可行性及超大型積體電路(VLSI)架構的研究與設計。

第二、系統設計與方法：將前饋式錯誤修正模組的理論付諸於 VLSI 的架構實現，並將設計經驗形成一套有系統的設計流程。

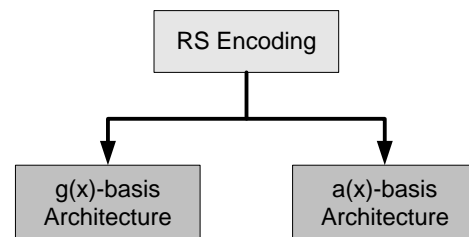
第三、CAD 工具的開發：將上述兩項所得到的知識與經驗，以高階硬體描述語言(Verilog-HDL)實現，使得設計人員能夠在訂定規格後，以此可合成碼快速及自動地產生需要的前饋式錯誤修正模組。

## 四、研究方法與成果

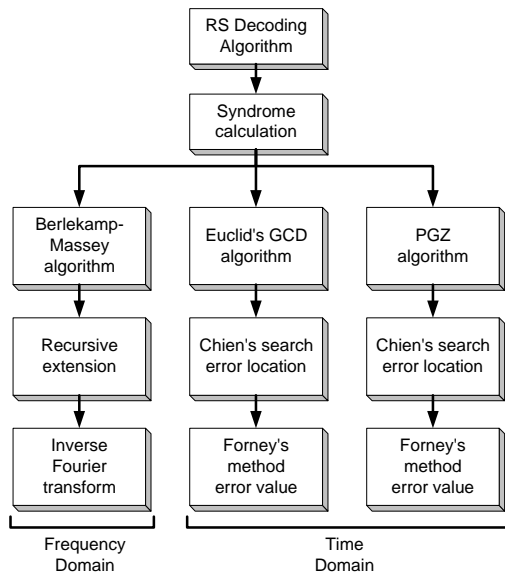
### (1) 研究方法

李德所羅門碼(RS)是 BCH 碼的延伸，其中的運算皆是操作在有限場域(Finite field)中。常見的 RS 參數有  $n$ ,  $k$ ,  $t$  三個，其中  $k$  代表訊息源個數， $t$  為可更正的錯誤數， $n$  則等於  $k+2t$ (本工具中  $n$  的設定值為  $2^m$ )，為整個碼的長度。

編碼器的設計有  $g(x)$ -basis 及  $a(x)$ -basis 兩種不同的架構可供選擇，如圖一所示。解碼器的設計依據不同的運算方法而有不同的設計技巧；解碼器主要則是為了知道錯誤發生時之錯誤的位址與錯誤的差值，而將錯誤的值修正回正確的值。目前有幾個常用的方法來計算錯誤的位址與錯誤的差值，主要可分為時間領域(Time Domain)與頻率領域(Frequency Domain)，其分類如圖二所示。



圖一、RS 編碼器的架構



圖二、RS 解碼演算法分類

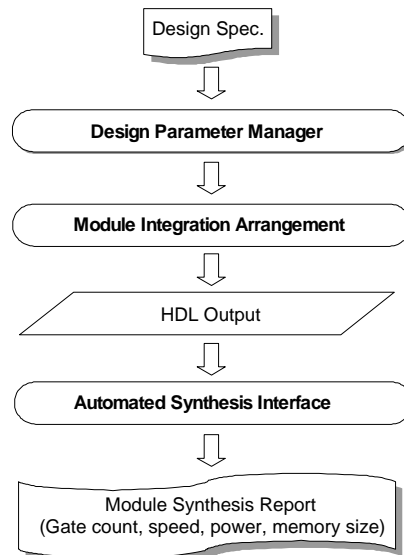
我們將上述幾種不同的設計方法融入我們的李德所羅門快速雛形產生器中。為了能適合各種不同規格的應用，我們提供了許多的參數可使用，如表一所示，主要可區分為基本參數(包含前述的  $m$ 、 $t$  值)與進階參數(如編碼器架構的選擇、解碼器演算法的選擇以及是否採用折疊的觀念來設計等)。

表一、RS 產生器參數表

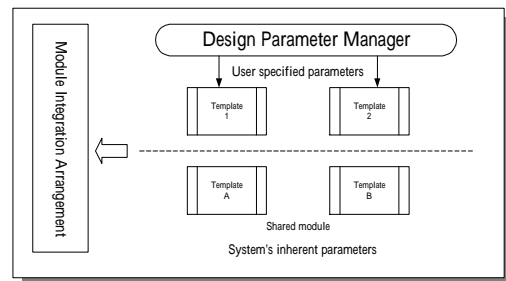
Basic Definition	
$-(m,t)$	$m$ : {4,7,8} $t$ : {2,8,10}
Encoding Basis	
$-(eb)$	= 1 $g(x)$ basis = 2 $a(x)$ basis
Decoding Algorithm	
$-(db)$	= 1 Berlekamp-Massey = 2 Euclidean = 3 PGZ
Folding and Unfolding Level	
$-(f\hat{t})$	= 1 Don't do anything = 2 Unfold by 2 = 3 Fold by 2 = 4 Fold by 4

我們所設計的李德所羅門快速雛形產生器主要由三個部分所構成，分別為 Design Parameter Manager，Module Integration Arrangement，以及 Automated Synthesis Interface。圖三即為此快速產生器的設計流程圖。圖四則為 Design

Parameter Manager 與 Module Integration Arrangement 部份。

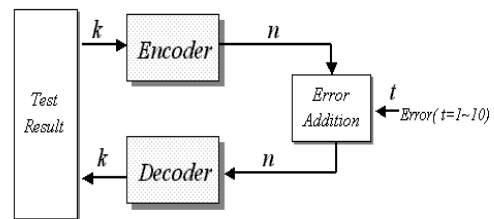


圖三、RS 快速產生器



圖四、DPM 與 MIA

另外在此 CAD 工具所提供的測試檔案方面，有兩個檔案分別可供驗證編/解碼器的功能是否正確；另外還有一個整體測試檔，可讓使用者自行輸入編/解碼器間傳送時所造成之誤差，來測試此李得所羅門碼是否能正確地解回原來的訊息，如圖五所示。



圖五、RS 功能測試



圖六、RS 測試檔模擬結果

## (2) 研究成果

經由圖七的互動式操作介面，我們可以輸入不同的 RS( $m, n$ )值，並將所產生出來的程式碼進行合成分析之後，可以得到不同編碼器(圖八)和解碼器(圖九)架構在所佔面積以及速度上的比較。根據這些實驗所得的數據來分析，我們可以得知在目前所採用的製程環境中，李得所羅門碼各種演算法在實現上的效能比較(如表二)。最後我們利用產生器所提供的測試檔案，可以得到如圖六的測試結果，驗證該程式碼的功能無誤。

```

input RS code symbol size nn (nn={4,7,8}) : 8
RS code block length na = 255
Input RS code correctable symbols tt ({2,8,10}) : 2

Type 1: s(x) Base. It generates only encoder hardware.
Type 2: a(x) Base. It combines with encoder and syndrome module.
Input Encode code Type(1 or 2): 1

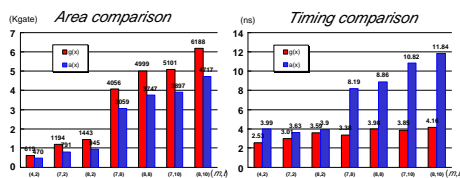
(1) Don't do anything
(2) Unfolding by 2 factor - This will increase area
(3) Folding by 2 factor - This will increase speed
(4) Folding by 4 factor - This will increase speed

Input Folding level (1,2,3,4): 1

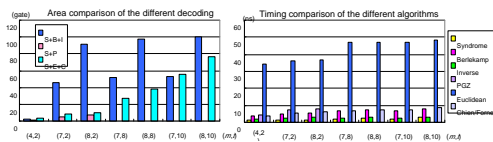
(1) Berlekamp-Massey Algorithm
(2) Euclidean's Algorithm
(3) PGZ Algorithm (only for t < 3)
Input RS decoder algorithm(1,2, or 3) : 1

We will create the top module
rsenc.v : RS Encoder circuit
rsdec.v : RS Decoder circuit
Thanks your using .....
  
```

圖七、RS 產生器操作介面



圖八、編碼器面積及速度之比較



圖九、解碼器面積及速度之比較

表二、RS 產生器效能比較表

	Berlekamp	Euclidean	PGZ
Area	High	Medium	Low
Speed	Low	High	Medium
Power	High	Low	Medium
Buffer	High	Medium	Low

High : Worst choice  
Low : Best choice

## 五、結論與討論

在本計畫中，我們完成了一個李得所羅門碼的硬體描述語言快速雛型產生器。這個產生器可針對使用者所輸入的不同參數及編/解碼器架構，快速地產生可合成的程式碼。而為了使用者方便，我們另外提供了快速合成檔(Rapid Script file)，使用者只要輸入該指令即可自動將所產生出來的程式碼進行合成。在測試方面則提供分別針對編/解碼器以及整個模組的測試檔案，使用者可經由模擬所得波形來驗證該程式碼運作的正確性。

## 六、參考文獻

- [1] S. B. Wicker, *Error Control Systems for Digital Communication and Storage*. Prentice Hall, 1995.
- [2] Wicker and Bhargava, *Reed-Solomon codes and applications*. IEEE Press, 1994
- [3] K. Y. Liu, "Architecture for VLSI design of Reed-Solomon decoders," IEEE Trans. on Computers, vol. C-33, pp. 178-189, Feb 1984.
- [4] N. Demassieux, F. Jutand, and M. Muller, "A 10 MHz (255,233) Reed-Solomon decoder," in Proceedings of IEEE 1988 Custom Integrated Circuits Conference, pp. 17.6.1-17.6.4, IEEE, 1988.
- [5] H. M. Shao, T. K. Truong, L. J. Deutsch, J. H. Yuen, and I. S. Reed, "A VLSI design of a pipeline Reed-Solomon decoder," IEEE Trans. On Computers, vol. C-34, pp. 393-402, May 1985