

# 行政院國家科學委員會專題研究計畫 執行成果報告

## 快速熱機台設備及製程研發(3/3)-子計畫二 超高真空快熱化學沉積反應機台之製作與應用

計畫編號: NSC 90-2212-E-002-226

執行期限: 90/08/01~91/07/31

主持人: 劉致為 [chee@cc.ee.ntu.edu.tw](mailto:chee@cc.ee.ntu.edu.tw) 台灣大學電機系

計畫參與人員: 李敏鴻、張書通 台灣大學電機系

### 一. 中文摘要:

利用原有的 RTCVD 機台, 將真空元件更換並加裝 Turbo pump 將可使反應腔能夠抽到  $10^3$  torr。加上流量控制、溫度控制、及壓力控制, 將可完成 UHV 成長之基本條件, 因此機台同時具有快熱與超高真空的特性。此外, 利用超高真空製程, 可以增加  $\text{SiO}_2/\text{Si}$  介面的粗糙度, 對於金氧半發光二極體的發光效率有著明顯的提升。對於以往的氣化製程亦可利用超高真空預烤, 增加氣濃度。我們已成功將矽晶圓與另一片原已成長氧化層之矽晶圓粘合, 使得原有的 RTCVD 機台具備 Wafer bonding 能力。

**關鍵字:** RTCVD 機台、Turbo 幫浦

**英文摘要:**

Base on the original RTCVD chamber, we changed the vacuum units and add turbo pump on to make the chamber pressure level down to  $10^3$  torr. Together with flow control, temperature control, and pressure control, the basic requirements of UHV growth can be reached. Hence our chamber has properties of rapid thermal and ultra high vacuum at the same time. To prebake silicon with ultrahigh vacuum (UHV) environment at high temperature before growing oxide layer which make the rougher surface of silicon wafer. The UHV prebake can enhance the efficiency by a factor of ~10 from the light intensity vs. current measurement. Wafer bonding technology can also be implemented by our RTCVD system.

**Keywords:** RTCVD chamber、turbo pump

### 二. 緣由與目的

由於元件尺寸必須越來越小, 由 1999 年的  $0.18\mu\text{m}$ , 到 2012 年的  $0.05\mu\text{m}$ , 使得閘極氧化層厚度必需在  $2\text{nm}\sim 5\text{nm}$  之間, 因此超薄氧化層的成長及穩定度成爲重要的研究課題。

### 三. 研究方法與成果

在計劃支持下, 利用半組裝的方式建立一個 8 吋的 UHV/RTCVD 系統, 見圖一、圖二與圖三

#### A. UHV/RTCVD 的特性

由於低溫成長可減少參雜的擴散, 及表面原子遷移; 爲了保持在低溫成長時的潔淨度, 我們將原來 RTCVD 改進爲 UHV/RTCVD 系統。在 UHV/RTCVD 系統中成長的機制主要是由反應物分子在矽晶圓表面的分解反應決定, 與一般 CVD 系統最大的差異在於缺少流體力學的邊界效應與分子氣相反應。這是由於在反應時的超低壓(約  $10^3$  torr)下, 分子的平均自由徑約與反應器大小相當, 因此分子間的碰撞將減到最低, 分子間氣相反應也極不易發生。

#### B. 機台加裝 Turbo pump

根據設計的理念, 利用原有的 RTCVD 機台, 將溫度測量(pyrometer 及熱耦器)及控制完成自動化, 流量利用 mass flow controller 已可穩定控制, 壓力自動控制已完成, install turbo pump 與超高真空元件, 完成 UHV/RTCVD 系統中之真空環境, 如圖三。

#### C. 電性量測

圖四是我們以 RTO 在溫度  $900^\circ\text{C}$  減壓下所成長出氧化層厚度  $2.3\text{nm}$  的 MOS 元件之電流-電壓特性曲線圖, 可

以清楚看出元件的光電流隨光照強度變化的狀況。快熱氧化層的成長溫度從 900°C 到 1000°C，無光電流減少了 100 倍，而 PMOS 偵測器也有類似大小的無光電流。

#### D. 超高真空與氘化製程

在矽基板上，於高溫 (1000°C)、超高真空環境中預烤(pre-bake)矽晶圓作為表面處理，成長氧化層之前，先用氘氣預烤表面，再利用快熱氧化技術(rapid thermal oxide)成長 2~3 奈米的氧化層，接下來便是氘氣退火，於氧化層上面蒸鍍金屬鋁，利用光學微影術(photolithography)及濕式蝕刻製成 PMOS 電容元件。若只有經過氘氣預烤，氘濃度約  $2 \times 10^{19} \text{cm}^{-3}$ ；有氘氣預烤和氘氣退火處理，其氘濃度可提高到  $1 \times 10^{20} \text{cm}^{-3}$ ，圖五是有為超高真空預烤處理後再氘氣預烤和氘氣退火的二次離子質譜儀分析結果，氘濃度更高達  $9 \times 10^{20} \text{cm}^{-3}$ ，很明顯的經過超高真空預烤過的表面，更容易形成氘-矽鍵，氘含量提高了近一個數量級。經由氘氣處理的元件，對矽/氧化層介面缺陷有著較好的穩定度，也造成元件有較佳的表現。圖三即為 UHV/RTCVD 機台協助業界對 100nm technology node 的八吋晶圓氘化製程狀況。

#### E. 超高真空製程與粗糙率

在 n 型的矽基板上成長氧化層之前，分別於高溫 (1000°C)、超高真空環境中預烤(pre-bake)矽晶圓，利用快熱氧化技術(rapid thermal oxide)成長 2~3 奈米的氧化層，於氧化層上面蒸鍍金屬鋁，再利用光學微影術(photolithography)及濕式蝕刻製成 PMOS 電容元件。元件表面的粗糙度是經由原子力顯微鏡(Atomic Force Microscopy)所測量。圖九為我們在利用快熱氧化技術成長氧化層後，由 AFM 量得氧化層表面粗糙度後，再以氫氟酸(HF)移除氧化層，立即量測  $\text{SiO}_2/\text{Si}$  介面粗糙度的比較圖。由兩者斜率比接近 1 可以發現，氧化層的成長與介

面關係具有一致性(conformal growth)。圖八(a)和(b)為 PMOS 元件在成長氧化層前有無先經過超高真空預烤，元件表面的粗糙度比較。可看出經超高真空環境中預烤成長氧化層確可增加元件表面的粗糙度。圖九為通電發光量測結果，可用 EHP 模型(electron-hole plasma model)模擬的相當好[3]。我們可以發現在相同的穿透電流下，有超高真空預烤的都比沒有超高真空預烤的光強；再經由圖十比較其發光效率與表面粗糙度的關係，電流在 100mA 時，發現效率會隨著表面粗糙度增大而增大，而且在相同的穿透電流下，有超高真空預烤的比沒有超高真空預烤的效率大一個數量級。對於金氧半發光二極體的發光效率有著明顯的提升。

#### F. 晶圓粘合技術

由於 SOI(silicon-on-insulator)晶圓在高速元件及微機電(MEMS)的應用上日益重要，而晶圓與晶圓的黏接(wafer bonding)技術對 Smart-cut 晶圓或 BESOI(bonding and etch back SOI)晶圓而言均是其關鍵技術。圖十一是我們最近利用 UHV/RTCVD 系統的快熱製程，成功將矽晶圓與另一片原已成長 700nm 氧化層之矽晶圓粘合起來，使得原有的 UHV/RTCVD 機台整合具備 Wafer bonding 能力。

### 四. 結論與討論

利用現有的 RTCVD 機台，換裝超高真空系統，已完成 UHV 之反應室，真空度應可達  $10^{-7}$  torr。配合管路系統，已具有超高真空製程的能力，可成長低溫矽磊晶，並整合具備 Wafer bonding 能力。

### 五. 參考文獻

- [1] C. W. Liu, et al., IEEE Electron Devices Lett., Vol. 21, No. 6, pp. 307-309, June 2000.
- [2] C. W. Liu, et al., Appl. Phys. Lett. 77, 1111 (2000).
- [3] C. W. Liu, et al., Appl. Phys. Lett. 76, 1516 (2000).

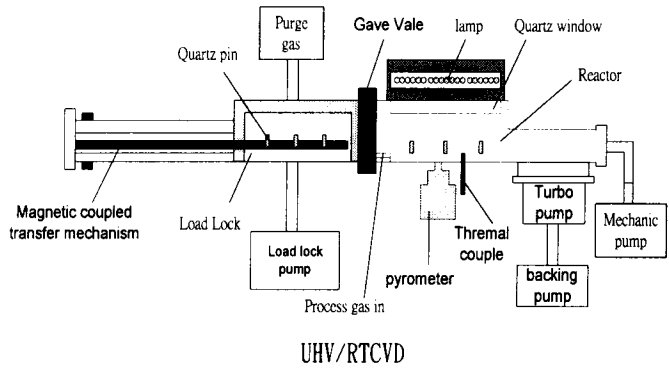


Fig.1 The diagram of the UHV/RTCVD equipment.

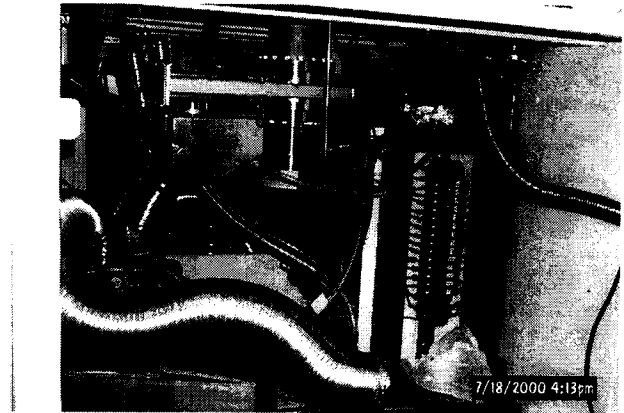


Fig.3 Base on the original RTCVD chamber , we changed the vacuum units and add turbo pump on.

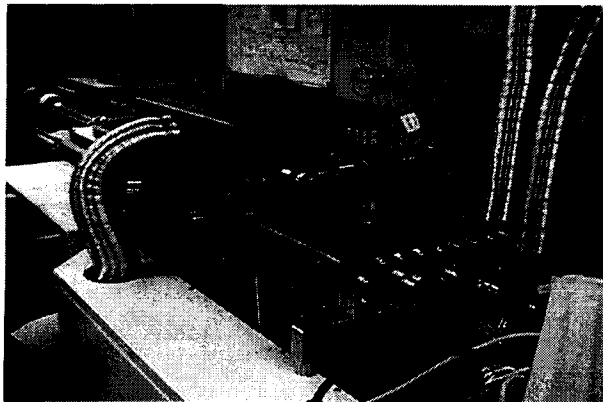


Fig.2 The physical layout of the UHV/RTCVD process equipment.

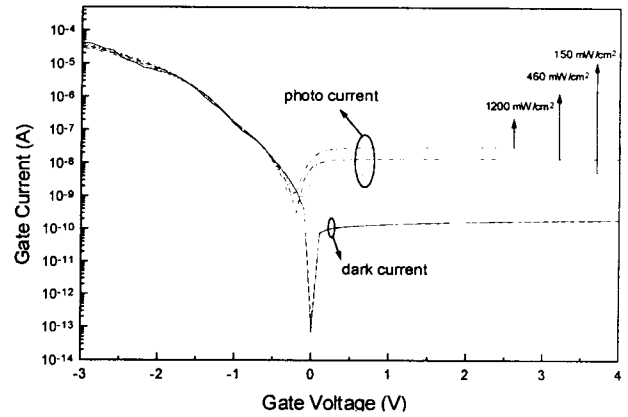


Fig. 4 Photo and dark currents of a NMOS tunneling diode. Dark current does not change after light exposure. Device size is  $3 \times 10^{-4} \text{ cm}^2$ . The photo current was generated by metal halide lamps with spectra similar the sun.

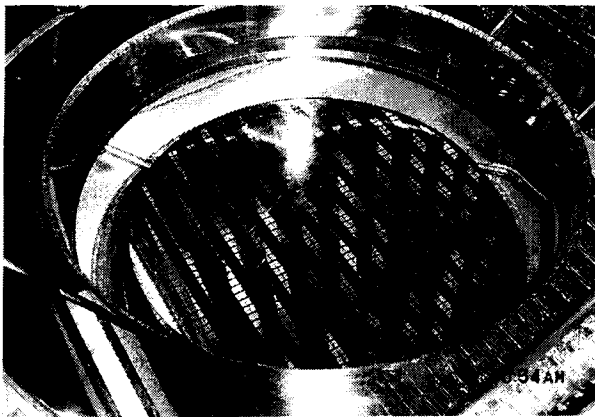


Fig. 5 The 200mm deuterium pre-bake, and the post-oxide deuterium annealing process.

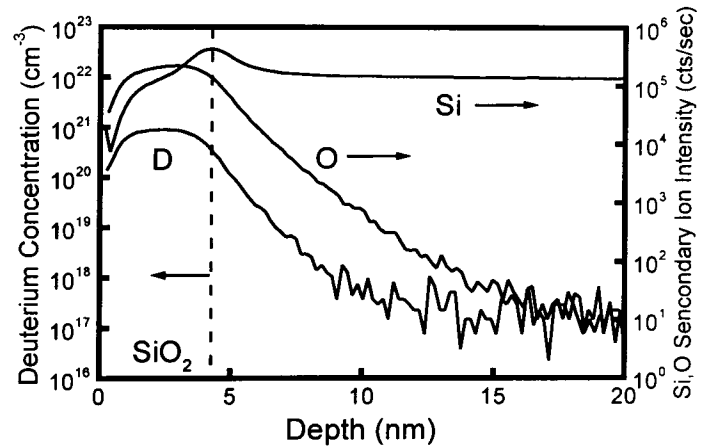


Fig. 6 SIMS profiles of the rapid thermal oxide with UHV prebake, deuterium prebake, and the post-oxide deuterium annealing.

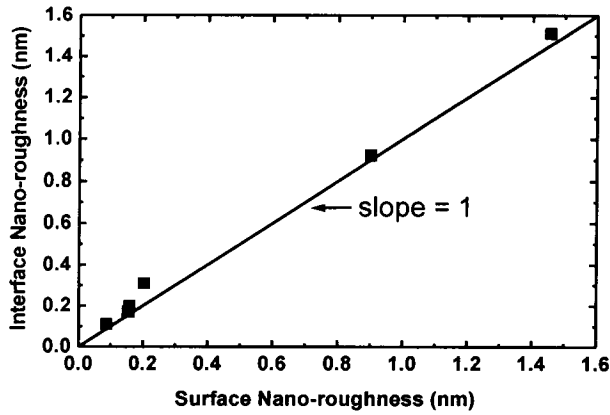


Fig. 7 The plot of surface oxide nano-roughness vs interface nano-roughness between Si/oxide. The linear relationship indicates the conformal growth of rapid thermal oxidation.

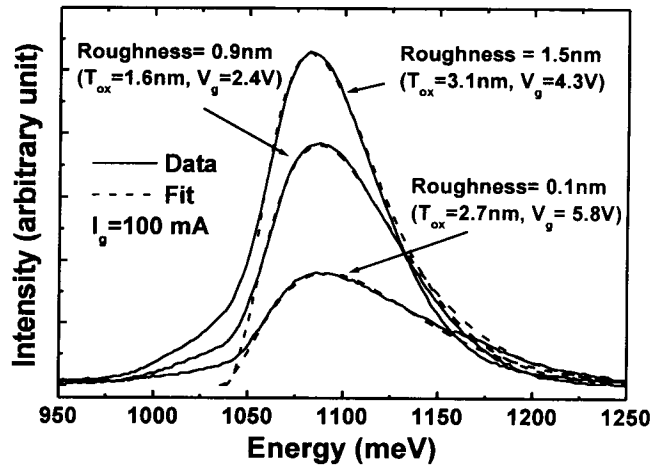


Fig. 9 The EL spectra of PMOS tunneling diodes with different oxide roughness. The oxide thickness and voltage are indicated in the parentheses.

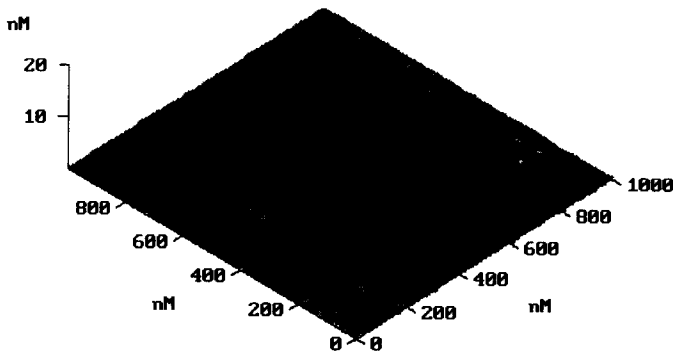
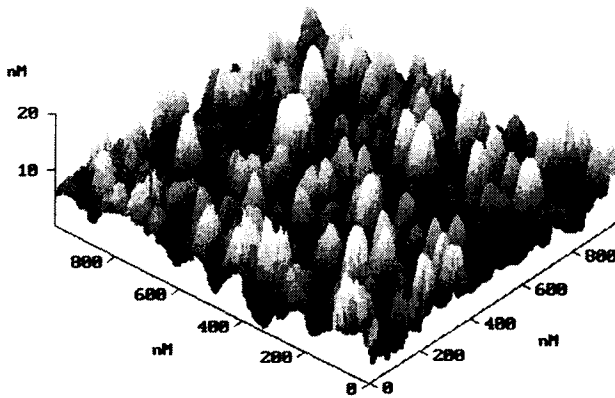


Fig. 8 (a) and (b) are the surface morphologies from the AFM measurement of the PMOS devices with the device area of  $4 \times 10^{-2} \text{ cm}^2$  for different oxide nano-roughness with and without very high vacuum prebake, respectively.

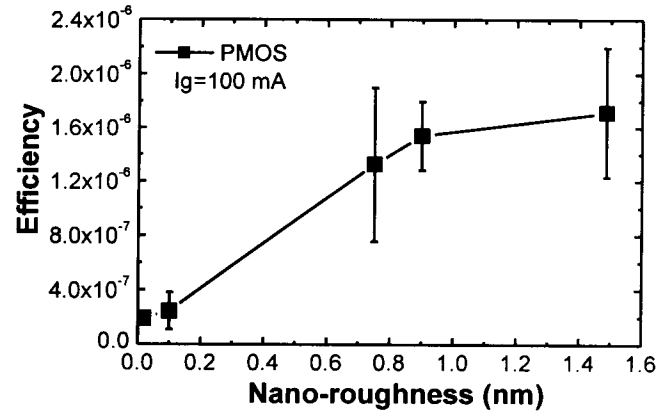


Fig. 10 The external quantum efficiency vs oxide roughness. The error bar is the standard deviation of external quantum efficiency for a set of devices.

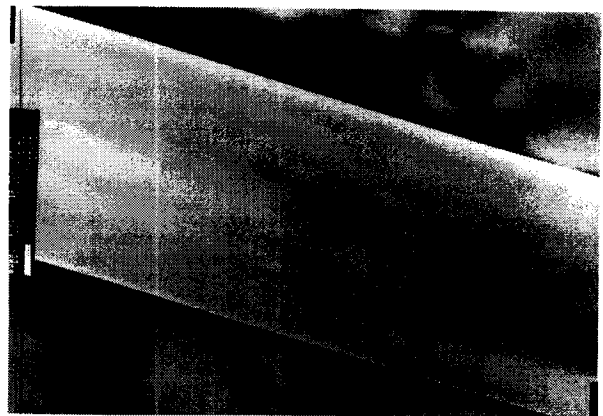


Fig. 11 XTEM micrograph of a 700 nm thick oxide wafer-bonding SOI.