

行政院國家科學委員會電信國家型研究計畫成果報告
總計畫：多媒體無線接收機系統單晶片設計技術之研究
子計畫一：數位式多媒體無線接收機之射頻類比前級電路設計與製作

計畫編號：NSC-90-2215-E002-043

執行期限：90年8月1日至91年7月31日

總計畫主持人：陳良基教授 台灣大學電機工程研究所

子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、大綱

由於個人通訊時代的來臨，無線通訊市場的發展可以說是日益蓬勃，相關產品的銷售亦是不斷成長，所以射頻無線接收機的研製相對舉足輕重。隨著市場對於低成本的解決方案有著強烈的需求，因此對於低功率，少量元件，低成本，且須符合要求標準。本次計劃除了需有效達成射頻訊號接收及降頻轉換外，並達成鏡像消除效果，另一重要目標，為數位與類比電路之相容性，即以SOC (System-On-Chip)為方向。

在這計畫中，我們根據我們所建立的元件庫來設計低雜訊放大器及鏡像消除混頻器，並量測及驗證特性，最後並整合低雜訊放大器及鏡像消除混頻器，並量測及驗證特性以完成第三年計劃目標。

二、採用方法

本計畫將以 TSMC 0.35 μ m CMOS 標準製程，用以實現射頻前級電路，包含低雜訊放大器、混頻器等。實現各式電路之積體化及晶片製造。於第三年進行射頻前級電路整合，並完成射頻前級電路整合及晶片製造，最後並完成電路驗證，最後測試並初步完成與中頻電路之整合。我們採用 CMOS 標準製程之原因

1. CMOS 積體電路可工作於高頻數位及類比電路，適用於本計畫之頻段。
2. 積體化的電路，可降低成本、大小及功率等的考量，可提升其附加價值。

三、可能遭遇的困難

1. 開發高頻積體電路有相當的困難及挑戰性。
2. 晶片上被動元件的非理想特性。
3. 積體化電路的佈局與連線的高頻考量和傳統類比電路不同。
4. 測量設備與設計軟體之不足。

四、解決的途徑

1. 正確地推導理論，選擇正確的方塊圖，利用 CAD 軟體進行電路的模擬分析與設計，配合晶片的製作，相互驗證。
2. 收集相關資料，加以分析與研讀
3. 添購量測所需之儀器與相關 CAD 軟體。

五、進行步驟

第三年：

- (a) 完成第二年中之
 - (1) 低雜訊放大器。
 - (2) 鏡像混頻器。

二項電路的全晶片佈局，並完成各項電路之製作與測試。

- (b) 對於(a)之電路進行修改與系統整合之可行性分析，以及晶片電路及佈局之改良，並完成射頻前級電路整合，並與中頻電路進行初步整合及模擬。

六、歷年成果

1. 論文發表

1. Cheng-Chieh Chang and Shen-Iuan Liu, "Current-mode full-wave rectifier and vector summation circuit", Electronics Letters, vol. 36, pp. 1599-1600, Sept. 2000.

2. Yu-Shun Huang, Chia-Shin Wu, and Shen-Iuan Liu, "2.4-GHz CMOS RF Front-End Receiving Circuits", the 11th VLSI/CAD symposium, Taiwan, R.O.C., pp. 261-264, Aug. 2000. (one of the two best student paper awards)

3. Chih-Chun Tang, Wen-Shih Lu, Lan-Da Van, Wu-Shiung Feng and Shen-Iuan Liu, "A 2.4-GHz CMOS Down-Conversion Doubly Balanced Mixer with Low Supply Voltage". IEEE International Symposium on Circuits and Systems (ISCAS), Sydney, May 2001.

4. Chih-Chun Tang and Shen-Iuan Liu, "Low voltage CMOS low noise amplifier using the planar interleaved transformer", Electronics Letters, vol. 37, pp. 497-498, April 2001.

5. Cheng-Chieh Chang, Ming-Lang Lin and Shen-Iuan Liu, "CMOS current-mode exponential-control variable-gain amplifier", Electronics Letters, vol. 37, pp. 868-869, July 2001.

6. Chih-Chun Tang, Chia-Hsin Wu, Wu-Sheng Feng, and Shen-Iuan Liu, "A 2.4GHz Low Voltage CMOS Down-Conversion Double-Balanced Mixer", IEICE Trans. on Electronics, Vol. E84-C, pp. 1084-1091, Aug. 2001.

7. Chih-Chun Tang, Chia-Hsin Wu, Chi-Kun Chiu, Shen-Iuan Liu, "Analysis and Application of Miniature 3D Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O.C., Session: RF ICs, Sensors and Actuators, B3-1, Aug. 2001

8. Shr-Lung Chen, Hsiang-Hui Chang, Kun-Hsien Li, Shen-Iuan Liu, "CMOS Magnetic to Digital Converter Using DS Oversampling Modulator", 12 th VLSI Design/CAD Symposium, Taiwan, R.O.C., Session: RF ICs, Sensors and Actuators, B3-4, Aug. 2001

9. Chia-Hsin Wu, Chih-Chun Tang, Shen-Iuan Liu, "A 2.4GHz CMOS LNA with New Area-Efficient Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O. C., Session: RF ICs, Sensors and Actuators, B3-10, Aug. 2001

10. Chih-Chun Tang and Shen-Iuan Liu, "A 1V 5.8GHz CMOS Low Noise Amplifier in a 0.35um CMOS Process", accepted by 2001 International Symposium on Communications, Tainan, Taiwan, Nov. 2001

11. Chih-Chun Tang, Kun-Hsien Li, and Shen-Iuan Liu, "2.4GHz offset-canceling down-conversion mixer", Electronics Letters, vol. 38, pp. 395-396, April 2002.

12. Chih-Chun Tang, Chia-Hsin Wu, and Shen-Iuan Liu, "Miniature 3D inductors in standard CMOS process", IEEE Journal of Solid-State Circuits, vol. 37, pp. 471-480, April 2002.

13. Hsiang-Hui Chang, Jyh-Woei Lin, Ching-Yuan Yang and Shen-Iuan Liu, "A wide-range delay-locked loop with a fixed latency of one clock cycle", IEEE Journal of Solid-State Circuits, SC-37, pp. 1021-1027, Aug. 2002.

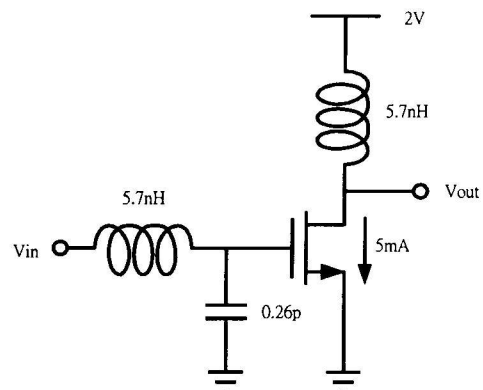
14. Yuh-Shyan Hwang, Pei-Tzu Hung, Wei Chen, Shen-Iuan Liu, "Systematic generation of current-mode linear transformation filters based on multiple output CCII's", Journal of Analog Integrated Circuits and Signal Processings, pp. 123-134, Aug. 2002.

15. Chien-Hung Kuo, Tzu-Chien Hsueh, and Shen-Iuan Liu, "Multi-bit delta-sigma modulator using a modified DWA algorithm", accepted by Journal of Analog Integrated Circuits and Signal Processings, 2002.

16. Hsiang-Hui Chang, Jyh-Woei Lin, and Shen-Iuan Liu, "A fast locking and low jitter delay-locked loop using DHDL", accepted by IEEE Journal of Solid-State Circuits, 2002.

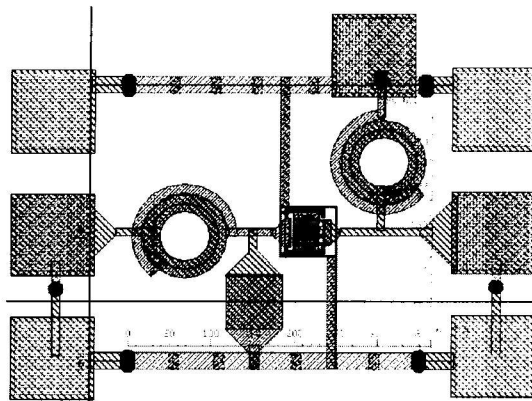
2. 量測 2.4GHz 低雜訊放大器

低雜訊放大器測試儀器包含點測機台 (Probe Station)、網路分析儀、雜訊量測系統。低雜訊放大器的設計、實現和測試如下所述 (使用製程為 TSMC 0.35um 製程):

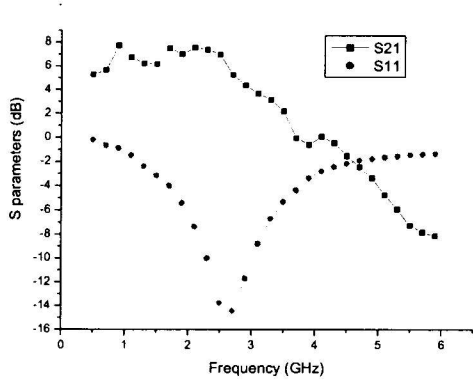


圖一、低雜訊放大器線路圖

低雜訊放大器線路如圖一所示，由輸入級低雜訊匹配電路及輸出共軛匹配網路構成。主動元件的選擇以符合功率要求為主，佈局圖如圖二，量測結果如圖三所示。



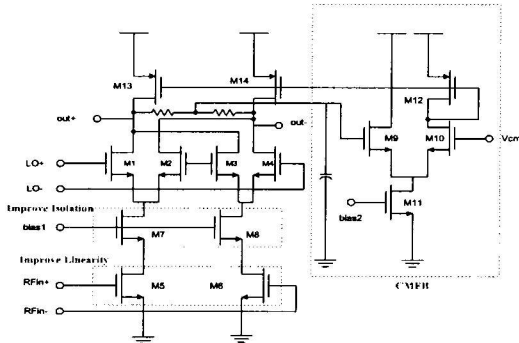
圖二、低雜訊放大器佈局圖



圖三、低雜訊放大器量測結果

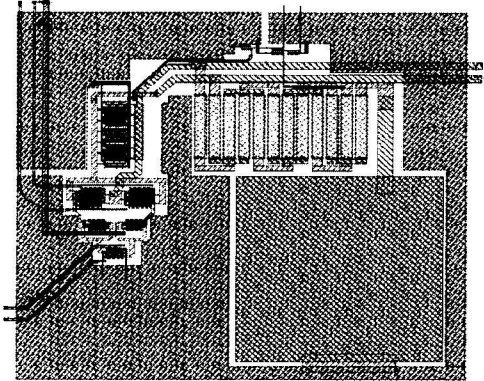
3. 量測 2.4GHz 鏡像消除混頻器

混頻器的測試儀器包含 RF 訊號產生 (HP ESG-D4000A digital signal generator), 和頻譜量測 (HP 8560A spectrum analyzer)。混頻器的設計、實現和測試如下所述 (使用製程為 TSMC 0.35um 製程)：



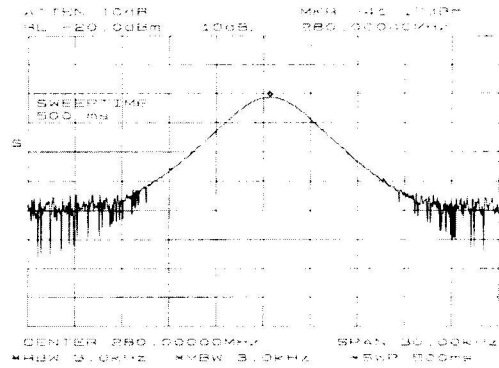
圖四、混頻器線路圖

圖四為混頻器的線路圖,採用簡單的吉爾伯特電路,中頻選在 280MHz.



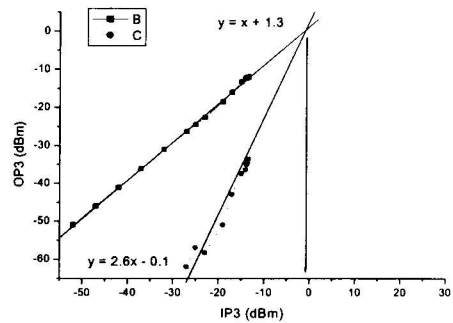
圖五、混頻器佈局圖

圖五為混頻器的線路佈局圖。面積為 400um X 435um。



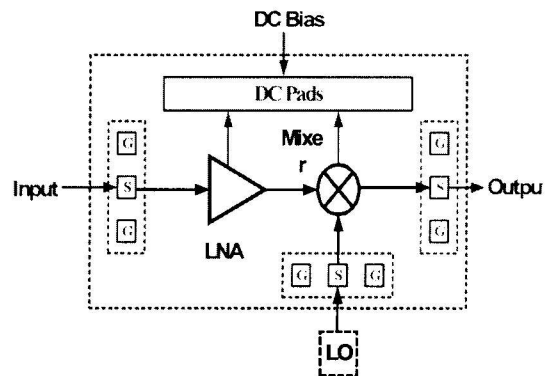
圖六、混頻器量測頻譜

圖六為混頻器的量測頻譜,由結果顯示,增益為 -1dB。圖七所示為混頻器的三次線性度量測結果,由量測可知三次線性度為 -1dBm。



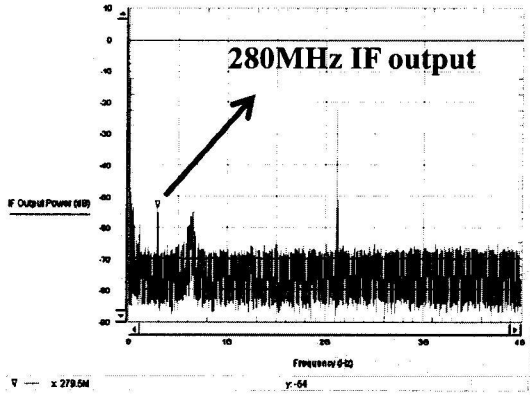
圖七、混頻器三次線性度的量測結果

圖八為低雜訊放大器及混頻器的整合電路量測示意,



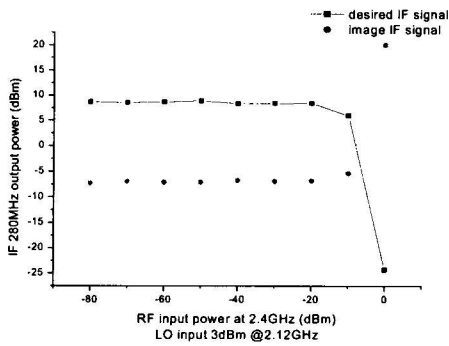
圖八、LNA 及 MIXER 整合電路及量測示意圖

圖九為低雜訊放大器及混頻器的整合電路輸出頻譜量測結果,並在中頻 280MHz 得到訊號輸出,其轉換增益(單端輸出)約為 9dB,



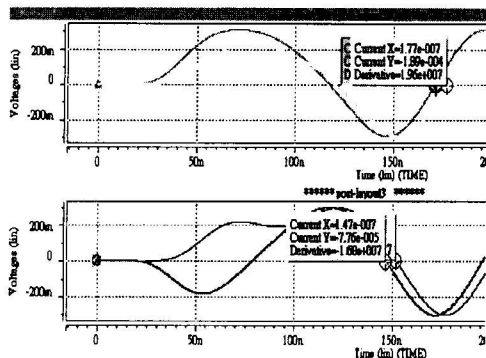
圖九、LNA 及 MIXER 整合電路輸出頻譜量測圖

圖十為低雜訊放大器及混頻器的整合電路輸出功率在不同輸入功率量測結果,由量測結果所示其 P_{1dB} 為 -15dBm ,



圖十、LNA 及 MIXER 整合電路輸出功率量測圖

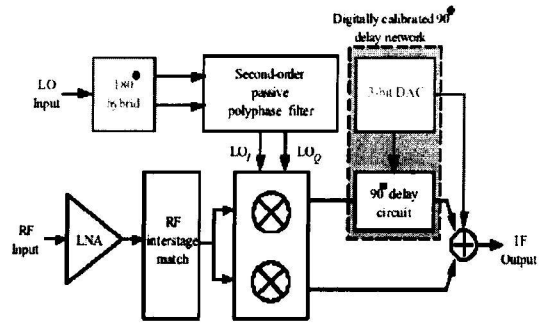
接下來看到的,則是將射頻整合電路與中頻整合電路結合起來的模擬圖,輸入 2410MHz 22Vp-p & 100mVp-p 的訊號進入後所得到的圖形。



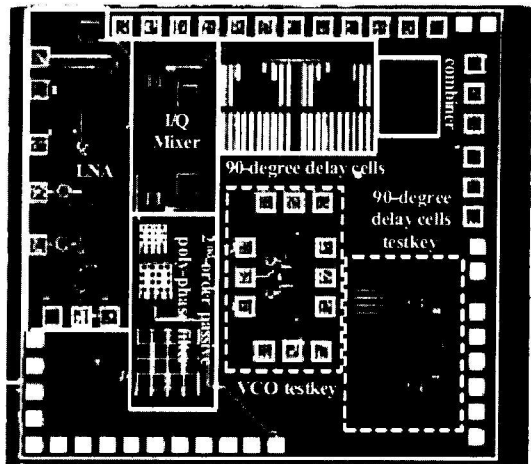
圖十一、RF 及 IF 整合電路輸出暫態模擬圖

接下來基於現有研究基礎發展具有 IQ

相位低中頻鏡像消除接收機,傳統 IQ 相位經過降頻後必須再經過 RC-CR 電路後再予以合成,在此計畫中我們提出利用延遲鎖相迴路 (Delay-locked loop, DLL) 來取代 RC-CR 電路以實現較高的鏡像消除效果及節省電路面積.示意圖如圖十二及線路佈局圖如圖十三.



圖十二、新式低中頻鏡像消除接收機



圖十三、新式低中頻鏡像消除接收機佈局圖

量測結果如表一所示。

Table 1 Performances summary of the test chip.

	Value
RF	2.4-GHz
LO	-10 dBm @ 2.3985-GHz
IF	1.5-MHz
IF Gain	0 dB
IIP3	-3 dBm
IRR	30 dB
NF	11 dB
Power Consumption	54 mW @ 3.3-V
Process	TSMC 0.35- μm 1P4M CMOS
Area	3.13 mm^2