

數位式多媒體無線接收機設計技術之研究(III)-子計劃四
適用於無線傳輸環境之泛用視訊解碼處理器設計
**General Video Decoding Processor Design for
Wireless Communication Environment**

計劃編號：NSC90-2215-E-002-045

執行期限：90/8/1~91/7/31

計劃主持人：陳良基 教授 國立台灣大學電機所

計劃參與人員：林世豐、連崇志、黃昭智、方弘吉，黃朝宗、徐志璋

一、中文摘要

在前二年度的報告中，我們介紹了 MPEG-4 這個下一代多媒體通訊技術應用國際標準，它提供一個優良的多媒體通訊環境，即將成為個人通訊的主流。我們對其解碼演算法作了運算分析，深入探討 MPEG-4 解碼器中形狀解碼系統與位元流處理模組的演算法，並設計最佳化的指令集以得到最佳的電路架構，完成其微架構實現以及晶片製作與效能評估。

在本年度中，我們整合位元流、Motion、與 Texture 部份的解碼模組，建構一完整的 MPEG-4 視訊解碼器。藉由程式化的位元流解碼模組，達到泛用視訊解碼處理器的需求；針對無線傳輸的環境，我們也在設計中加強了支援抵抗錯誤的功能。

Abstract

MPEG-4, which is the next-generation international multimedia communication standard, is introduced in last two years reports. We performed the computational analysis for video decoding part, and proposed architectures for shape decoding and bitstream parsing modules with chip implementation and performance evaluation.

In this report, a complete MPEG-4 video decoding system is constructed. It provides general decoding capability by

integrating an embedded bitstream processor, and is suitable for wireless communication environment with error resilience decoding functions.

二、緣由與目的

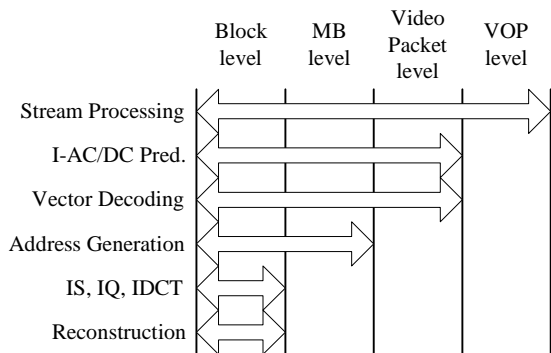
在 MPEG-4 視訊壓縮標準為了支援在新的傳輸環境下，有更好的視訊影像傳輸效果及更加生動的功能，包含了許多新的功能。由於 MPEG-4 支援更多的功能性、更具彈性的多媒體場景以及更具可靠性的傳輸能力，這使得在 MPEG-4 多媒體平台的實作上，比起過去的影音編解碼的技術要困難許多。

對於實作一個 MPEG-4 視訊解碼器系統而言，需將許多個別的解碼模組結合起來，藉由整的分析與最佳化，以完成一個完整的系統。以下即對各部份作詳細的說明。

三、研究方法與成果

首先，我們先對整個 MPEG-4 視訊解碼運算，根據其需要資料的範圍作分析，其結果如圖一所示。可發現有些運算橫跨的資料範圍相當大，這對於實作時資料的取得會有不利的影響，因此我們針對其中幾項工作作最佳化。對於移動向量解碼與 Inverse AC/DC Prediction，video packet 的相關資訊都是必需的，因此在實作時我們另外提供一專門存放 video packet 的暫存器，以便將 packet level 的工作獨立出來。

此外，對於位址產生的運算，我們提供 block-based 的記憶體存取模式，以便使各個 block 能更輕易的被取得，並且該運算也可被限制在 block level。總而言之，各模組本身的功能性被強化，且複雜度又可下降，可使後續系統整合時的困難度減少。



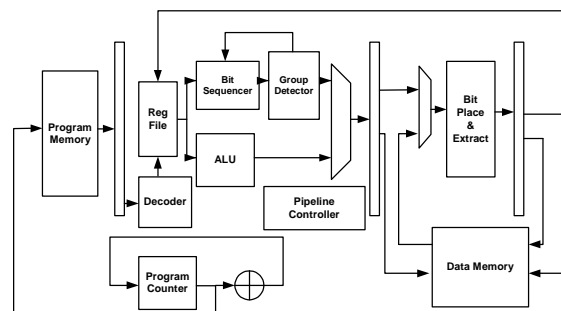
圖一、解碼工作分類圖

位元流處理器

在位元流處理器的設計上，依照我們對 MPEG-4 位元流的分析，我們發現離散餘弦係數在整個位元流中佔了非常大的比重。因此，我們在位元流處理器的指令集中，加入加速離散餘弦係數解碼的功能，對於連續出現的離散餘弦係數，可以達到一個時脈解碼出一個位元流中的 symbol，而沒有分支判斷的 overhead。其次，為了有效率的提供資料分割(data partitioned)編碼的位元流解碼，我們也提出一個有效使用記憶體的演算法，以前後解析(parsing)兩次的方式，用最少的時脈 overhead 來達成減少記憶體使用的目標。

處理器的設計提供了完整的重新程式化功能，以記憶體為基礎之可變位元流解碼(RAM-based variable-length decoding)。一些特殊的設計包括了有位元存取、條件執行(conditional execution)等等功能，使得韌體的實現更加的簡易。其硬體架構圖如圖二所示，為一四級 pipeline 的 RISC 架構。其與其它設計模組規格比較表如表一所

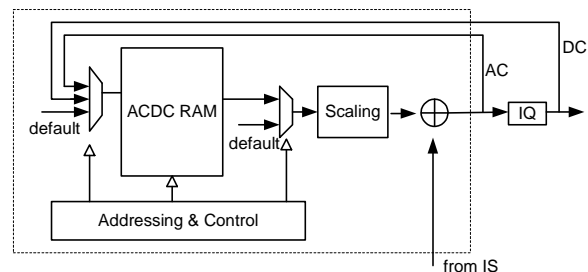
示。我們所提出的架構有最好的可程式化特性，也有最快速的解碼效率，所需的記憶體也不大，非常適合於系統整合的實現。



圖二、位元流處理器架構圖

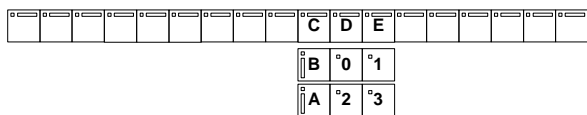
Inverse AC/DC Prediction

圖三為所提出的 Inverse AC/DC Prediction 架構圖。其中 AC/DC RAM 是用來存放之前解碼的係數以作為後續解碼的預測值，若採直接實作的方式將會需要 420 K bit 的空間。我們在此提出減少所需記憶體的方式。

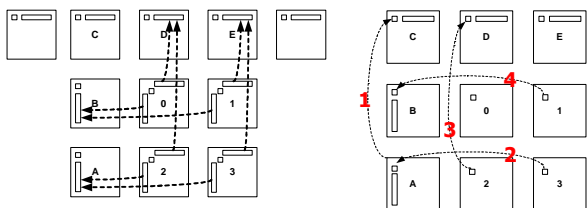


圖三、Inverse AC/DC Prediction 架構圖

如圖四所示，不需存放三行 block 的資料，而只需 1 行加上 1 個 MB 的資料，且每個 block 只需要存 8 個水平或垂直的係數以作為後續解碼的預測之用。加上 4 個 DC 係數，只有 742 的係數需要存放，相較於傳統需要 2684 係數的作法，約節省了 70% 的空間。在 MB 接續解碼時，只要藉由簡單的係數空間調整，即可達到 Data Reuse 的功能，如圖五所示，其中左圖為 AC 係數的空間調整，右圖為 DC 係數的空間調整。數字代表移動的先後順序。



圖四、AC/DC RAM 資料儲存示意圖



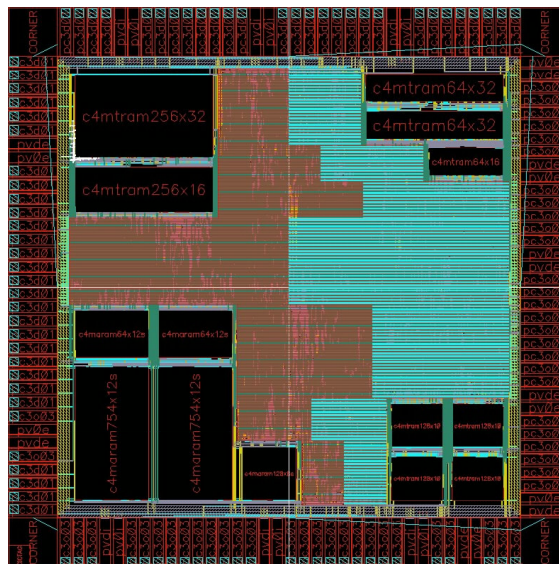
圖五、AC/DC 係數重覆使用示意圖

解碼系統

整個 MPEG-4 視訊解碼器架構圖如圖六所示。上半部從 IS 至 IDCT 為 Texture 解碼的部份，下半部由 VD(Motion Vector Decoding)至 Pixel Buffer 為 Motion 解碼的部份。44-bits VP register 是用來存放 MB 在 video packet 中的位置。MB coordinate 模組則是實現以 MB 為基礎的座標運算。移動補償單元中的位址產生器以一個固定 83 個時脈為工作週期的架構，管理所有對外的資料交換。除此之外，對於交錯式 (Interlaced) 視訊信號的解碼部分，也只需要在 Texture 解碼模組與 Motion 解碼模組之間加入一個格式轉換的模組，即可輕易的將交錯解碼的功能加入架構之中。整個 MPEG-4 視訊解碼器以 Verilog 實作並進行晶片下線驗證，晶片規格表列於表二，晶片佈局圖如圖七所示。

表二、晶片規格表

Technology	TSMC 0.35um CMOS 1P4M
Die Area	4.56 x 4.56 mm ²
Gate Count	184,848(RAM included)
Memory	42160 bits
Transistor Count	934,578
Speed	33 MHz
Power	150.91 mW @ 33 MHz, 3.3V



圖七、晶片佈局圖

所實作的解碼系統與其它文獻上的 MPEG-4 視訊解碼器比較列於表三。所提出之 MPEG-4 視訊解碼器可提供最大畫面的解碼，且支援交錯式視訊與不同位元流格式的解碼，具有十分強大的功能。

四、結論

在本計畫第三年度中，我們根據已往二年的分析結果，著手進行完成 MPEG-4 視訊解碼器 SOC 之整合，以實現適用於無線傳輸環境之泛用視訊解碼處理器的設計。

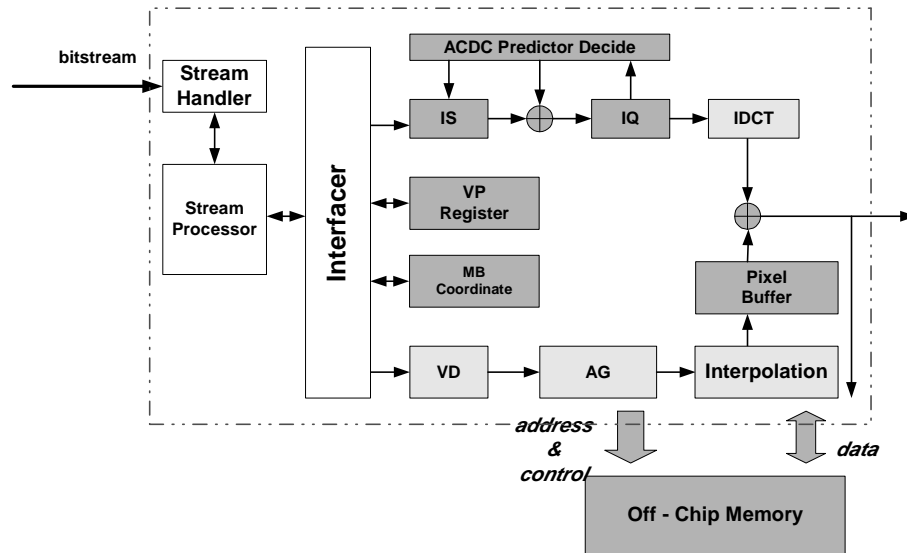
五、參考文獻

- [1] MPEG-4 Video Group, "Generic Coding of Audio-Visual Objects: Part 2-Visual 14496-2", ISO/IEC JTC 1/SC 29/WG N3056, FDAM 1, Maui, Dec 1999.
- [2] Y. C. Chang, H. C. Chang and L. G. Chen, "Design and Implementation of a Bitstream Parsing Coprocessor for MPEG-4 Video System-on-chip Solution", in Proc. International Symposium on VLSI—Technology, Systems, and Applications (VLSI-TSA'2001), April 2001.
- [3] M. Berekovic, H.J. Stolberg, M.B. Kulaczewski, P. Pirsch, "Instruction Set Extension for MPEG-4 Video", Journal of VLSI Signal Processing, Vol. 23, No. 1, pp.27-49, Oct. 1999.
- [4] Y. C. Chang, W. H. Ji, and L. G. Chen, "A Memory-Efficient MPEG-4 Simple Scalable Profile Decoder with Optimized Motion Compensation," in 3rd Workshop and Exhibition on MPEG-4 (WEMP4), June 2002.
- [5] Sigma Designs, "EM8470/EM8471/EM8475/

EM8476 MPEG-4 Decoder for Set-top, DVD, and Streaming Applications”, Product Brief, 2000.

- [6] Amphion Semiconductor Ltd., “CS6750 – MPEG-4 Video Decoder”, Datasheet, Apr. 2002.
- [7] Toshiba, “MPEG-4 Video Decoder LSI TC35274”, Tentative Technical Data Sheet, Apr. 2000.
- [8] Toshiba, “MPEG-4 Audiovisual LSI TC35273”, Tentative Technical Data Sheet, Apr. 2000.

- [9] B.J. Hsieh, Y. S. Lee and C.Y. Lee, “A New Approach of Group-Based VLC Codec System with Full Table Programmability”, IEEE Trans. on Circuits and Systems for Video Technology, vol 11 issue 2, Feb 2001.
- [10] A. Puri and T. Chen, “Multimedia Systems, Standards and Networks”, Marcel Dekker, Inc, 2000.
- [11] V. Bhaskaran and K. Konstantinides, “Image and Video Compression Standards”, Kluwer Academic Publishers, 1995.



圖六、MPEG-4 視訊解碼器架構圖

表一、位元流處理模組規格比較表

	Proposed	[2]	[3]	[4]
Architecture	Processor	Processor	Enhanced RISC	Hardwire
Programmability	Yes	Re-synthesis	Yes	No
1 DCT cycle	1	4	6~10+	1
Gate count	32K(RAM included)	24K	~9K	~20K
Memory Requirement	~1K bytes	~1 K bytes	~8K bytes	~50 bytes bits

表三、MPEG-4 視訊解碼器規格比較表

	Proposed	[4]	[5]	[6]	[7]
Profile	Simple	Simple	Adv. Simple	Simple	Simple
Level	L3	L3	L5	L3	L1
Max. Session size	720x576 x30fps	352x288 x60fps	720x576 x30fps	352x288 x30fps	176x144 x30fps
Interlaced	Yes	No	Yes	No	No
Technology	0.35	0.35	N/A	0.18	0.5
Transistor count	935K	515K	N/A	NA	1100K
Gate count	185K	64K (RAM excluded)	N/A	70K	NA
Frequency	33MHz	12.5MHz	80MHz	45MHz	30MHz
Power	150mW	25mW	N/A	~4mW	50mW (3.3V)