

# 多媒體無線接收機系統單晶片設計技術之研究(3/3)-總計畫 The study of SOC technology on digital wireless multimedia receiver

計畫編號：NSC 90-2215-E-002-046

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

主持人： 陳良基 教授

共同主持人： 劉深淵，汪重光，吳安宇 教授

國立台灣大學電機工程學系電子研究所

賴永康 助理教授

國立東華大學資訊工程學系

## 一、中文摘要

本研究計畫針對未來 3C 之整合及系統晶片 (SOC) 設計技術之需求，結合類比、數位電路技巧，及無線通信傳輸規範配合國科會學門「SOC」規劃，提出一系列關鍵零組件之電路設計及架構分析。本計畫多媒體無線接收機系統包含有 64 位元區塊加密器，可程式化關聯器陣列架構 (Correlator array) 之數位訊號處理器，低雜訊放大器及鏡像消除混頻器，MPEG-4 視訊標準的泛用解碼器(Universal Decoder) 硬體架構。

在第一年(88/8/1 - 89/7/31)對演算法做完整的資料收集及分析，而於第二年度(89/8/1 - 90/7/31)完成各重要模組的模擬實驗級架構設計。第三年度(90/8/1 - 91/7/31)完成各晶片的驗證模擬及下線製成晶片。

**關鍵詞：**3C、系統晶片 SOC、關鍵零組件、關聯器陣列架構、數位訊號處理器、泛用解碼器、FPGA。

## Abstract

This research target is to achieve the 3G SOC integration by analog/digital circuit design, wireless communication and digital signal processing technology. The key module design methodology and efficient architecture design methods are proposed to implement the NSC academic project. the key

modules such as 64bits encryption/ decryption circuits, low noise amplitude, mixer, and MPEG-4 universal decoder.

At first year (88/8/1-89/7/31), the algorithm survey and analysis have been completed and the related data is also collected and available. This second year (89/8/1 - 90/7/31), the architecture design and software simulation are completed. Each module were verified and implemented by CHIP at the third year (90/8/1 - 91/7/31)

**Keywords:** 3C, SOC, Module, Correlator array, Digital Signal Processor, Universal Decoder, FPGA

## 二、緣由與目的

由於多媒體、電腦及電訊傳輸的快速發展，這三大領域的交集已成為眾所矚目的焦點。影像與視訊系統在資訊傳播與記錄上的應用日趨普遍，成為訊息傳播的主流。而在新一代的無線傳輸標準上，除了原有的語音服務，也將整合數據傳輸及影像傳輸。目前無線傳輸標準的趨勢在 Cellular 方面有 IMT-2000，適用於手機系統。局部區域有 Bluetooth 適用於電腦主機與週邊之無線傳輸。及 HomeRF，適用於消費性電子與伺服主機及網路無線傳輸。而考量到新的無線傳輸環境下，所規範出來的新的多媒體訊號處理標準則為 MPEG-4。其影像資訊由於其多樣性、高頻寬、以及即時處理的特性，更成為應用中的焦點。

本計畫之研究總目標為在三年內建立多媒體無線接收機設計技術。整個系統相當龐大及複雜，整個計劃組織圖及工作分配圖如圖一所示。核心模組包含射頻類比前級電路、中頻/基頻類比前級電路、基頻帶處理器、視訊解碼處理器、資料壓縮與資料安全等(圖二)

### 三、內容

#### 子計畫一：射頻類比前級電路

以 TSMC 0.35  $\mu\text{m}$  CMOS 標準製程，用以實現射頻前級電路，包含低雜訊放大器、混頻器等。實現各式電路之積體化及晶片製造。於第三年進行射頻前級電路整合，並完成射頻前級電路整合及晶片製造，最後並完成電路驗證，最後測試並初步完成與中頻電路之整合。

#### 進行步驟

第三年：

(a) 完成第二年中之

- (1) 低雜訊放大器。
- (2) 鏡像混頻器。

二項電路的全晶片佈局，並完成各項電路之製作(圖四)與測試。

(b) 對於(a)之電路進行修改與系統整合之可行性分析，以及晶片電路及佈局之改良，並完成射頻前級電路整合，並與中頻電路進行初步整合及模擬。

#### 子計畫二：中頻/基頻類比前級電路

將 280MHz 中頻信號，降頻轉換為相差 90 度之 I-channel 及 Q-channel 之基頻信號。限制放大器接收前級(射頻/中頻)輸出之中頻信號，將信號限制在一固定之大小；接收信號強度指示器則監測出中頻原始信號的大小，輸出至基頻，指示信號的強度；最後利用二個相同的混波器，灌入相差 90 度之振盪信號，再透過低通濾波器，除去高頻諧波與雜訊，達成降頻。本子計畫中所有線路皆已完成設計，並完成晶片製作，經

測試驗證無誤。

圖五為完整的中頻轉基頻類比前級電路晶片佈局圖，左半部份為主要信號路徑，經箝制放大器，再經由九十度相差的混波器，最後經低通濾波器產生輸出。右半部份為獨立的電路方塊，供測試用。電路採用 TSMC 0.35  $\mu\text{m}$  CMOS 標準製程，使用面積為 2.4mm $\times$ 2mm。

#### 子計畫三：數位基頻帶處理器

提出的數位訊號處理器，由於其特殊之架構與指令集，在一些無線通訊標準像是 GSM 以及 IS-95 中所需之運算和維特比演算法(Viterbi algorithm)以及複數運算，皆有傑出的表現。主要的著力點為：

1. 資料路徑：ALU、MAC、Barrel shifter 與比較器 (CMP)。
2. Sub-Word Parallel (SWP)
3. 通道估測
4. 維特比演算法
5. FIR 濾波器

藉由和一些在無線通訊系統常用之數位訊號處理器的比較結果，可得知所提出之數位訊號處理器確實在執行無線通訊的演算法方面較其他數位訊號處理器來更有效率。晶片佈局圖如圖六所示

#### 子計畫四：泛用視訊解碼處理器設計

對於 MPEG-4 視訊解碼器我們利用一個簡單的運算模型取得 MPEG-4 視訊解碼的運算行為，並由演算法的研究得知其處理型態。在本年度中，整合位元流、Motion、與 Texture 部份的解碼模組，建構一完整的 MPEG-4 視訊解碼器(圖七)。藉由可程式化的位元流解碼模組，達到泛用視訊解碼處理器的需求；針對無線傳輸的環境，我們也在設計中加強了支援抵抗錯誤的功能。

IS，IQ，IDCT 以及 MC 運算為 MPEG-4 中重要的子模組。除了 IS 之外，

其它的幾個運算都具有資料平行處理的特性，所以可以使用平行的資料路徑 DSP，例如 Spilt-ALU 或是 SIMD 架構來處理，就會有相當不錯的處理效能。另外，由於在這個資料流的路徑上所使用的資料都是屬於同一個 macro-block 的資料，所以在泛用處理器的設計上可以安排一個內部的暫存記憶體區塊放置這個 macro-block 資料。如此一來，可以減少泛用處理器存取系統匯流排的次數，增加系統整合的有效性。

#### 子計畫五:資料壓縮/安全智產原件設計

設計了兩個 IP 並將之實作，分別是以 LZ 資料壓縮理論為基礎所製作而成並符合 low power、節省 area cost，以及速度也可以接受的架構和一個新的 64 位元區塊加密器(Blowfish)之架構;而我們所設計之 LZ 資料壓縮理論方面的 IP (圖 八)，於 100MHZ 送 test pattern 的情形下，可以達到約 20Mbyte/s 的平均 compression rate，而 area cost 約 11000 gate counts(不包含一個 512x8 的 dual port RAM)。至於在 Blowfish 方面，以我們的架構可以達到 4 bits/clock 的速度。在此架構中我們採用管線結構(pipeline structure)和運算子的重新排列(operator re-scheduling)來化簡電路中最長的路徑，使得此區塊加密器的效能提高，並針對此區塊加密器安全上的考量，加上了傳統區塊加密器的四種運算模式，使其安全性更高，錯誤率在可容忍的範圍內，並擴充了其可應用之範圍。

#### 四、計畫成果自評

多媒體無線接收機系統於第三度完成了 64 位元區塊加密器，可程式化關聯器陣列架構 (Correlator array) 之數位訊號處理器，低雜訊放大器及鏡像消除混頻器，MPEG-4 視訊標準的泛用解碼器 (Universal Decoder) 的晶片設計。本計劃

除了論文的發表之外還有定期專利產生。同時多媒體無線傳輸系統架構 IP 的技術和 SOC 的觀念將推展及技術移轉至業界，提昇國內的 VLSI 晶片及相關硬體設計水準，培植高性能硬體設計人才。

### 五、榮譽獎勵

1. 第二屆旺宏金矽獎
  - 設計組一獎---劉深淵指導
  - 設計組二獎---陳良基指導
  - 設計組優等獎---陳良基指導
  - 應用組一獎---陳良基 指導
2. 90 學年度 IP 設計比賽
  - Hard IP 組特優---劉深淵 指導
  - Hard IP 組優等---劉深淵 指導
  - Hard IP 組優等---劉深淵 指導
  - Hard IP 組佳作---劉深淵 指導
  - Soft IP 組優等---陳良基 指導
  - Soft IP 組佳作---陳良基 指導
  - Soft IP 組佳作---吳安宇 指導
3. 90 學年度 IC 設計競賽
  - 研究所 Cell base 組特優---陳良基 指導
  - 研究所 Cell base 組優等---陳良基 指導
  - 研究所 Cell base 組佳作---陳良基 指導
  - 研究所 Analog circuit 組優等---劉深淵 指導
  - 研究所 Analog circuit 組佳作---劉深淵 指導
  - 大學組 Analog circuit 組佳作---劉深淵 指導

### 六、圖表

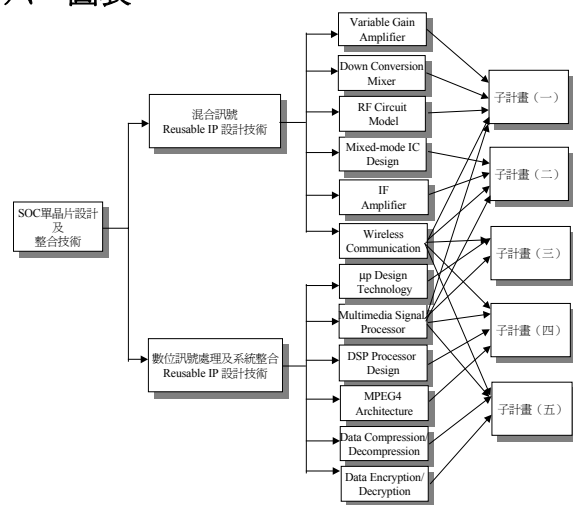
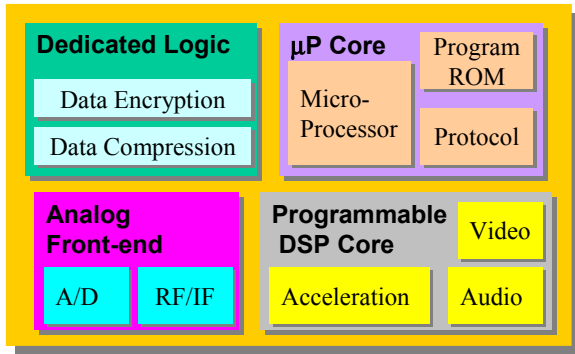
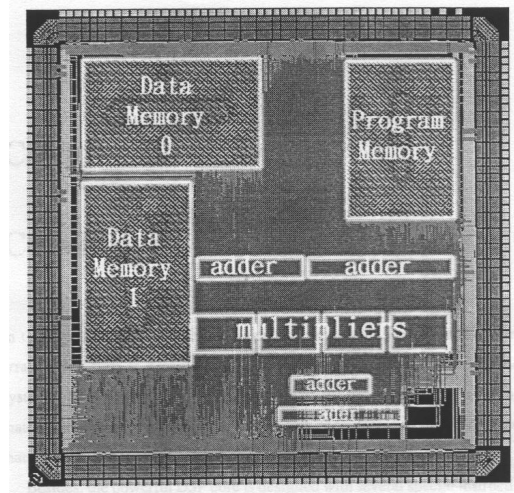


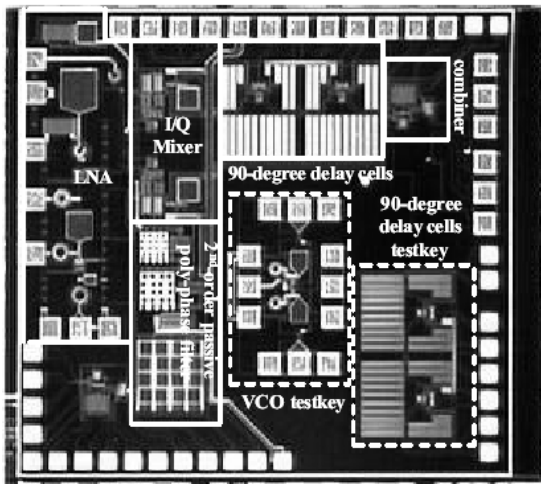
圖 一、計劃組織及工作分配圖



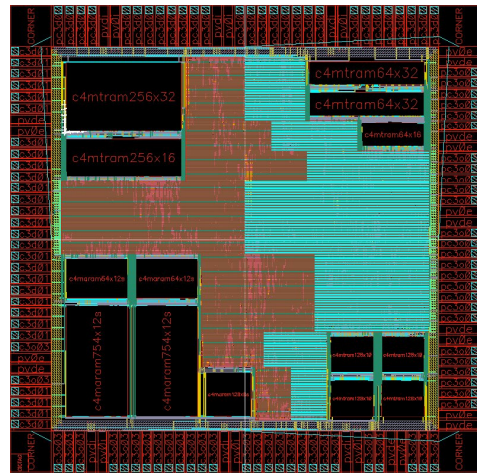
圖二、多媒體無線接收機系統方塊圖



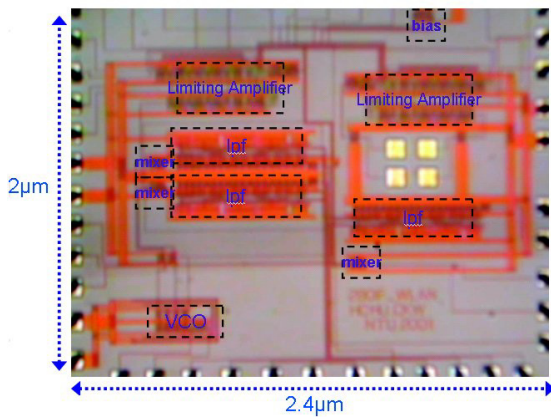
圖六、Final Layout of the Proposed DSP Chip



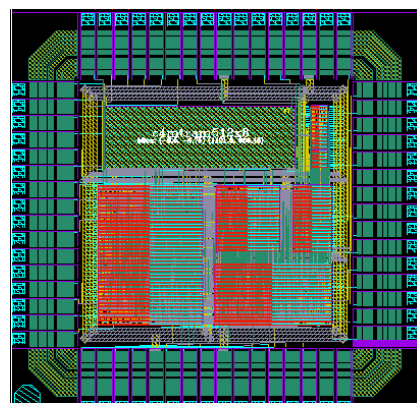
圖四、新式低中頻鏡像消除接收機佈局圖



圖七、MPEG4 視訊解碼器晶片佈局圖



圖五、中頻轉基頻類比前級電路晶片佈局圖



圖八、Lempel-Ziv-Based Chip layout