

行政院國家科學委員會專題研究計劃成果報告

多媒體與多重服務之數位用戶迴路通訊系統 子計畫二 - 高速數位用戶迴路 DMT 基頻處理電路架構設計

Design of DMT Baseband Processing Architecture for High-Speed DSL

計劃編號: NSC-90-2218-E-002-039

執行期限: 90 年 8 月 1 日至 91 年 7 月 31 日

主持人: 闕志達 國立臺灣大學電機學院電機系

計劃參與人員: 張喬智 國立臺灣大學電機學院電機系

一、中文摘要

近年來，高速資料傳輸的需求增加，特別是在網際網路相關的應用中，像是網路會議、視訊點播、影像電話等。由於全面鋪設光纖是相當昂貴的，為了在現有的電話網路上達到寬頻的傳輸，DSL 的技術便因應而生。

本計劃主要欲完成一個基於 ETSI 所提出的 VDSL 系統標準的基頻收發機架構設計及接收機晶片設計並驗證。在本設計中，我們提出採用離散多音調(DMT)超高速數位用戶迴路收發機架構。考量 ETSI 所規範的通道響應及各式干擾與雜訊，例如：高斯雜訊(AWGN)，近端交談雜訊(NEXT)，遠端交談雜訊(FEXT)，無線電波干擾(RFI)及突波雜訊(Impulse noise)，在接收機架構部分，設計並整合了符元邊界偵測，取樣頻率誤差估測與補償，快速傅利葉轉換，通道估測與等化及錯誤更正碼解碼器等演算法。系統定點數模擬在所規範的通訊環境下，所提出的收發機架構可以提供高速低錯誤的數據傳輸(50Mbps, BER < 10⁻⁷)。

關鍵詞：收發機、寬頻、正交多頻分工、數位用戶迴路、離散多音調

Abstract

This project presents the architecture design, IC design and implementation of a VDSL transceiver for DMT-based VDSL systems. We propose an transceiver architecture for ETSI VDSL standard using

discrete multi-tone modulation (DMT). According to Channel model and impairments defined in the standard, such as additive white Gaussian noise (AWGN), near end crosstalk (NEXT), far end crosstalk (FEXT), radio frequency interference (RFI) and impulse noise, algorithms for symbol boundary estimation, sampling clock offset estimation and compensation, fast Fourier transform(FFT), channel estimation and equalization, and forward error correcting code (FEC) decoder are designed and integrated into receiver architecture. Fixed point system simulation results show that the proposed receiver architecture is capable of very high-rate transmission in digital subscriber loop channels.

Keywords: Transceivers, Wideband data communication, OFDM, Digital Subscriber Loop, DMT

二、計劃緣由與目的

數位用戶迴路(Digital Subscriber Loop)是利用電話線提供高速率之資料傳輸通道，這個技術的誕生是因應現今許多新型的應用，例如視訊點播、影像電話、視訊會議，以及網際網路蓬勃的發展，這些應用都需要非常高的資料傳輸率，傳統的數據機已無法提供如此高的傳輸率，而全程光纖通訊因為費用等問題又不可能在短時間內達成，因而在光纖尚未全面鋪設前，數位用戶迴路成為提供用戶寬頻服務的一種可行方法。

主要概念是由總局到用戶鄰近處以光纖來傳輸資料，而由鄰近處到用戶所在地則利用原有的電話線路來銜接，在迴路中利用一分離器將電話語音資料和數位資料分離，使語音資料使用 3.1KHz 以下的頻帶，而數位資料使用 3.1KHz 到 30MHz 的頻帶，如此便可在現有的電話網路上達到寬頻的服務。

本計畫旨在設計一 VDSL 數位基頻訊號處理晶片，用以調變及解調 ETSI 所規範的 DMT-based VDSL 或類似規格之封包。此晶片接收端為 inner receiver only，亦即不包括通道解碼處理，如 FEC decoder 模組。

三、結果與討論

3.1 設計原理與方法

在高速數位用戶迴路系統設計與電路設計時，設計的流程如下圖，簡述如下

- 1、依 ETSI 的 VDSL 標準訂出系統規格。
- 2、使用 Matlab 對信號與各種干擾雜訊與頻帶分析，並粗估各次載波可傳送位元數及其信號是否符合標準要求。
- 3、進行架構設計與初版電路設計，並用 C++ 做定點數系統模擬。
 - a、確定傳送機設計，並以 C++ 模擬驗證
 - b、將接收機依功能分割成數個模組，再將各模組的功能以 C++ 做浮點數的模擬及驗證。
 - c、將接收機各方塊串接起來，做整個接收機的系統模擬，驗證是否有達到規格的要求。
 - d、作定點數模擬以決定各重要節點所需位元數，並做最後驗證是否有達到規格的要求。
- 4、產生 gate-level 的硬體描述。
 - a、將定點數模擬的結果利用 Verilog 撰寫 gate-level 的硬體描述及模擬。其中部分基本功能電路(如乘法器)利用 Module Generator 產生。
 - b、系統中所需的 ROM 利用 Synopsys Design Analyzer 產生對應的電路。

- c、前兩項所使用的是本實驗室自有的 cell library, 事先經過 HSPICE 模擬得到大致的電路延遲參數，並以此參數做全系統的電路模擬。
- d、因採用 Distributed Clock Tree 設計，做最壞可能狀況模擬，製造極不平衡的樹狀結構並利用 Silicon Ensemble 產生佈局，並以 Timemill 模擬可能因此產生的 clock skew。

5、將所設計電路整合為晶片。

- a、加上測試考量，加入測試掃瞄鏈(test scan chain)及測試點(test point)。
- b、利用 Silicon Ensemble 產生佈局，經過電路設計規則驗證(DRC)與佈局與設計比對(LVS)，並用 LPE 萃取電路電容值，進行 post layout 模擬(Timemill)。
- c、對 Clock 分佈手動加入線長對應電阻及電容，並利用 HSPICE 進行模擬並補強。
- d、加上 TSMC CQFP 144L pad，並重做佈局與設計比對(LVS)，即為最後送 CIC 下線晶片。

3.2 電路架構

所設計的 VDSL 系統基本架構如圖一所示，主要分為符元同步, 取樣頻率誤差更正, 快速傅立葉轉換, 通道估測和等化, 星座圖解碼及更正碼解碼等模組。限於下線面積考量，此次所送晶片僅包含符元同步, 取樣頻率誤差更正, 通道估測和等化, 星座圖解碼等模組。

以下簡述系統各個模組：

- (1) 內插器(Interpolator)：此模組作用在於消除傳送端與接收端取樣頻率可能的誤差($\pm 50\text{ppm}$)，利用所估計出的誤差，將錯誤去取樣點以 Farrow structure 方式重建為

- 正確取樣點。
- (2) 時序誤差追蹤迴路(Timing Offset Tracking Loop)：此模組功用在於估計出傳送端與接收端取樣頻率可能的誤差，包含了三個子模組：時序誤差偵測器(Timing Error Detector),迴路濾波器(Loop Filter)及時序控制器(Timing Controller)，由所插入的 Pilot tone 可以計算出取樣頻率誤差，先用較短時間粗估出誤差值，並予以補償，再由迴路濾波器提供更精確的所餘誤差。並由時序控制器決定系統是否需要暫停。
 - (3) 符元邊界估測器(Symbol boundary estimator)：此模組操作模式是系統在接收訓練序列(training sequence)時，利用離散多音調(DMT)系統符元的特性將其符元邊界找出，估計的誤差會造成系統接受多餘的誤差來源，而使系統效能降低。因此，所設計的演算法能夠找出正確的邊界，達到足夠的訊噪比。
 - (4) 快速傅利葉轉換單元(FFT unit)：DMT 解調模組,用以計算快速傅利葉轉換。此模組於晶片作傳輸用途時執行 8192 點反快速傅利葉運算(或 1024/2048/4096 以提供多種次載波選擇)，將時域信號轉換至頻域處理。
 - (5) 通道估測單元(Channel estimation unit)：通道估測模組；此模組利用訓練序列部份進行初步通道估測。
 - (6) 頻域等化器(Frequency-domain Equalizer, FEQ)：頻域通道補償模組；此模組修正次載波因通道非理想特性產生的失真。並利用 LMS 演算法更新更精確的通道估測。
 - (7) 星座圖決策與解碼模組：此模組決定所收訊號應為星座圖上的哪一點，並將其對應的位元列平行

輸出。並找出其對應誤差給(6)模組修正通道估測。

- (8) 通道解碼系單元(FEC decoder)：含有反交錯器(Deinterleaver), Reed Solomon Code Decoder 及 Descrambler。使系統傳輸錯誤率(bit error rate, BER) $< 10^{-7}$

各模組運作順序如下，將接收到的信號以一固定取樣率之 ADC 取樣後，首先由符元邊界估測器做符元邊界的偵測，並利用估得的符元邊界去掉 Guard Interval，再將符元經快速傅利葉轉換後解回次載波上的資料，同時利用 Pilot Tone 來估計取樣頻率誤差並經由迴路濾波器(Loop Filter)回授至內插器(Interpolator)重新取樣(Resampling)以補償取樣誤差。經由快速傅利葉轉換所解出之次載波上的資料先經由通道頻率響應估測(Channel Estimation)，再經過頻域等化器(Frequency-domain Equalizer)以補償通道的衰減及旋轉，再經過決策與解碼將星座圖上的點對應到位元列，再利用反交錯器把打散的資料重整回來，最後經過 Reed-Solomon Decoder 及 Descrambler 將資料解回。

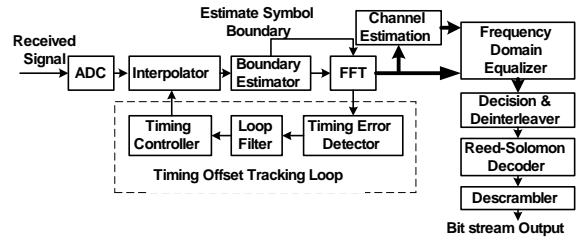
3.3 模擬

以下數圖為模擬結果，可以在 3.3V 時達到 35MHz 所需。結果與 C++ 模擬的效能是一致的。詳見圖三至圖五。

四、計畫成果自評

本計畫設計了一個以 DMT 為調變方式的接收機晶片。在接收機基頻調變部分有三個主要方塊分別是時序同步電路，傅利葉轉換器與頻域的信號處理部分。在時序同步電路，符元邊界估測器利用 Cyclic Prefix 估出符元邊界並驅動控制單元，取樣頻率誤差鎖定迴路利用內插器將估出之取樣頻率誤差利用重新取樣補償回來。而頻域的信號處理部分，通道估測器利用訓練序列估測出通道頻率響應造成的衰減和相位旋轉，並由頻域等化器則補償通道效應，再經過決策與解碼單元後可將資料正確解出。在系統模擬部分，先提出各功能之硬

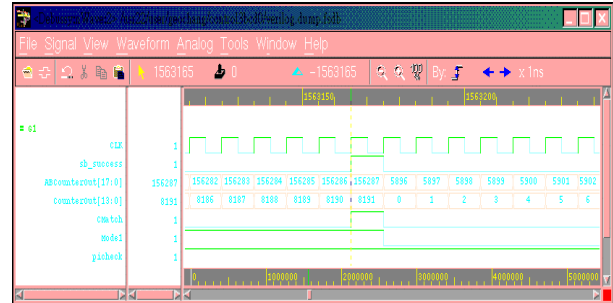
體架構，並以定點數模擬的方式決定各節點之位元數，再以系統定點數模擬驗證符合 ETSI 訂定的高速數位用戶迴路標準。而詳細的電路設計以 gate-level 方式採用本實驗室自行設計的 cell library 完成模擬驗證，並以台灣積體電路公司 0.35 um1P4M 製程實現接收機基頻調變電路，並於國家晶片系統設計中心 S35-91C 梯次下線。



圖二：接收機架構圖

五、參考文獻

- [1] ETSI TS 101 270-1 (V1.2.1): *Transmission and Multiplexing(TM); Access transmission systems on metallic access cables; Very high speed Digital Subscriber Line(VDSL); Part 1: Functional requirement*
- [2] ETSI TS 101 270-2 (V1.1.1): *Transmission and Multiplexing(TM); Access transmission systems on metallic access cables; Very high speed Digital Subscriber Line(VDSL); Part 2: Transceiver specification.*, Feb 2001
- [3] Edfors, O., Sandell, M., van de Beek, J-J., Landstom, D. and Börjesson, P.O., "An Introduction to Orthogonal Frequency Division Multiplexing," Research Report TULEA 1996:09, Lulea University of Technology, Apr. 1996
- [4] Cook, J.W.; Kirkby, R.H.; Booth, M.G.; Foster, K.T.; Clarke, D.E.A; Young, G., "The noise and crosstalk environment for ADSL and VDSL systems," *IEEE Communications Magazine*, Vol. 37, No. 5, pp. 73-78, May. 1999.

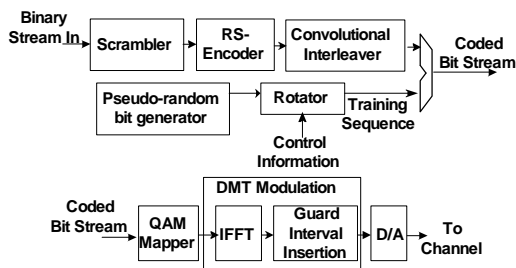


圖三：符元估計位置模擬圖

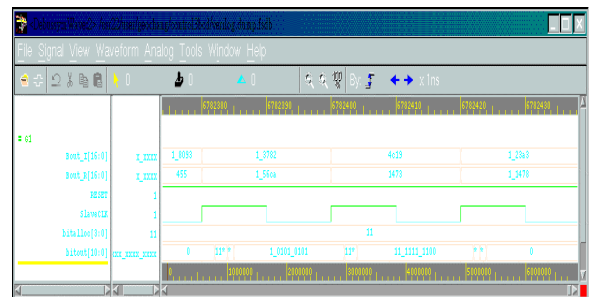


圖四：控制訊號模擬圖

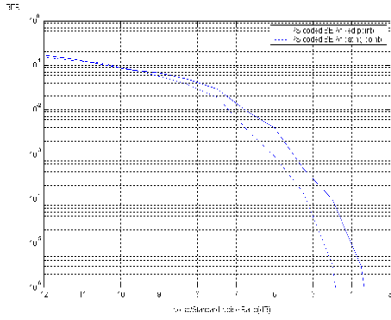
六、圖表



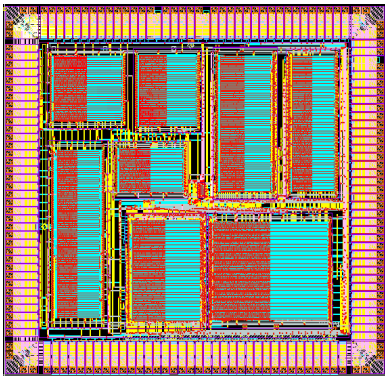
圖一：傳送機架構圖



圖五：解調後輸出模擬圖



圖六：模擬的位元錯誤率



圖七：晶片佈局圖

表一：晶片規格

Supply Voltage	3.3V
Clock Rate	35 MHz
Transistor Count	287929
Die Size	4.23 mm x 4.11 mm
Max. Clock Offset	± 50 ppm
Subcarrier No.	512/1024/2 048/4096
Constellation	QPSK to 2048-QAM
Power Consumption	250 mW