

行政院國家科學委員會電信國家型研究計畫進度報告

總計畫：38-GHz 無線收發系統關鍵元組件技術(1/3)

子計畫七：射頻頻率合成器與放大器晶片設計(1/3)

計畫編號：NSC 90-2219-E-002-008

執行期限：90年8月1日至91年7月31日

總計畫主持人：王 暉教授 台灣大學電信工程研究所

子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、大綱

由於個人通訊的快速發展，使得整個無線通訊產業蓬勃發展。諸如下一代的數位網路：GSM、CT2、DECT 等伴隨呼叫器與無線區域網路的個人通訊系統，亦同時存在同一頻段。數據通訊在無線上的應用亦為世界各國所積極發展的一個課題。同時，更高頻率如38GHz之微波射頻通信亦是將來的通信寵兒。

此計畫中，我們欲實現 GHz 之頻率合成器，以使用於其中頻電路。我們先將就鎖相迴路之理論進行研究，設計二個高頻低雜訊的頻率合成器，其輸出頻率為 2.2GHz 的信號，作為無線收發機中頻之本地振盪信號。除了迴路濾波器為外接，其他的電路均將它積體化，以 CMOS 製程製成單晶片。為了使 IC 能工作高頻，設計高頻的分頻器電路，使得系統性能提升；並且希望此電路能工作於 2.5V 或更低之電壓，降低消耗功率。

二、採用方法

本計畫將以 CMOS 之積體電路製程為主要電路架構，建立主動與被動原件模型用以實現跳頻式射頻頻率合成器與其控制電路、鎖相迴路及除頻器電路，及射頻放大器並予以積體化。最後進行積體電路之佈局及晶片製造，最後測試並配合完成系統之整合。採用本方法之原因

1. BiCMOS/CMOS 積體電路可工作於高頻數位及類比電路，適用於本計畫之頻段。
2. CMOS 製程較其他製程便宜、整合性高且台灣廠商擁有完整的生產技術。
3. 積體化的電路，可降低成本、大小及功率等的考量，可提升其附加價值。

三、可能遭遇的困難

1. 開發高頻的跳頻式頻率合成器積體電路有相當的困難及挑戰性。
2. 全積體化鎖相迴路的設計與實現。
3. 各式積體化電路的佈局與連線的考量。
4. 射頻元件特性不易掌握，缺乏精確的射頻元件模型。
5. 測量設備與設計軟體之不足。

四、解決的途徑

1. 正確地推導理論，選擇正確的方塊圖，利用 CAD 軟體進行電路的模擬分析與設計，配合晶片的製作，相互驗證。
2. 收集相關資料，加以分析與研讀。
3. 經由測試數據獲得精密之射頻元件模型。
4. 添購量測所需之儀器與相關 CAD 軟體。

五、進行步驟

第一年：

- (a) 進行相關電路規格的探討與電路架構的選擇。
- (b) 建立高頻主動及被動元件模型。
- (c) 初步設計頻率合成器中之數位電路部分。

六、第一年成果

1. 論文發表

1. Chih-Chun Tang, Wen-Shih Lu, Lan-Da Van, Wu-Shiung Feng and Shen-Iuan Liu, "A 2.4-GHz CMOS Down-Conversion Doubly Balanced Mixer with Low Supply Voltage". IEEE International Symposium on Circuits and Systems (ISCAS), Sydney, May 2001.
- Chih-Chun Tang and Shen-Iuan Liu, "Low voltage CMOS low noise amplifier using the

planar interleaved transformer", Electronics Letters, vol. 37, pp. 497-498, April 2001.
 Chih-Chun Tang, Chia-Hsin Wu, Wu-Sheng Feng, and Shen-Iuan Liu, "A 2.4GHz Low Voltage CMOS Down-Conversion Double-Balanced Mixer", IEICE Trans. on Electronics, Vol. E84-C, pp. 1084-1091, Aug. 2001.

Chih-Chun Tang, Chia-Hsin Wu, Chi-Kun Chiu, Shen-Iuan Liu, "Analysis and Application of Miniature 3D Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O.C., Session: RF ICs, Sensors and Actuators, B3-1, Aug. 2001

Chia-Hsin Wu, Chih-Chun Tang, Shen-Iuan Liu, "A 2.4GHz CMOS LNA with New Area-Efficient Inductor", 12 th VLSI Design/CAD Symposium, Taiwan, R.O. C., Session: RF ICs, Sensors and Actuators, B3-10, Aug. 2001

Chih-Chun Tang and Shen-Iuan Liu, "A 1V 5.8GHz CMOS Low Noise Amplifier in a 0.35um CMOS Process", accepted by 2001 International Symposium on Communications, Tainan, Taiwan, Nov. 2001

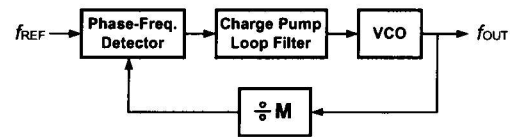
Chih-Chun Tang, Kun-Hsien Li, and Shen-Iuan Liu, "2.4GHz offset-canceling down-conversion mixer", Electronics Letters, vol. 38, pp. 395-396, April 2002.

Chih-Chun Tang, Chia-Hsin Wu, and Shen-Iuan Liu, "Miniature 3D inductors in standard CMOS process", IEEE Journal of Solid-State Circuits, vol. 37, pp. 471-480, April 2002.

2. 相關電路規格探討與電路架構的選擇

由於高頻頻率合成器最重要的要求在於輸出頻率之頻譜的相位雜訊，而一個頻率合成器的相位雜訊主要來自於壓控震盪器的相位雜訊，所以壓控震盪器的選擇攸關頻率合成器是否能達到相位雜訊的要求。比較了幾種壓控震盪器：環式震盪器、鬆弛震盪器及電感電容共振腔震盪器。其中電感電容共振腔震盪器的相位雜訊表現最佳，所以我們採用電感電容共振腔震盪器作為我們頻率合成器的壓控震盪器。另一方面系統架構上我們採用電荷泵鎖相迴路(Chargepump PLL)來達到頻率合成的效果，如圖一所示。圖一中的前端除頻器必須要能除頻率在2.25GHz 以上的訊號，所以前

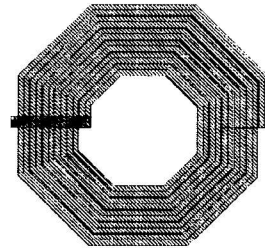
端除頻器必須使用動態正反器來實現。



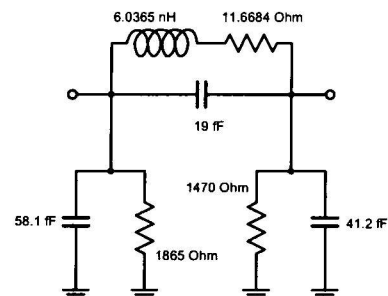
圖一、頻率合成器方塊圖

3. 建立主動及被動元件模型

螺旋式電感為一極度非理想的電感，因此我們先製作一批圈數和大小不同的電感，量測它們的s參數，然後使用一個集總模型來匹配之，再將此模型代入 HSPICE 中模擬。螺旋式電感佈局圖如圖二所示，為中空的電感，利用 Microwave Office 模擬其模型如圖三所示。

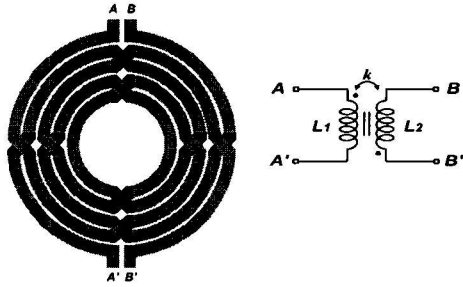


圖二、螺旋式電感的佈局圖

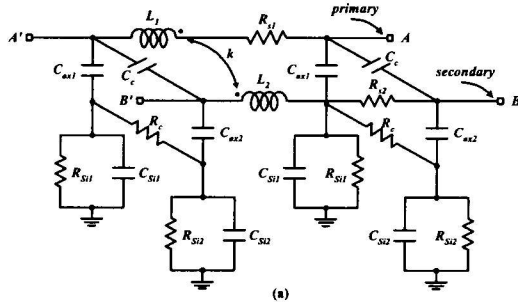


圖三、螺旋式電感的模型

本次頻率合成器預計將使用的電感為兩個電感交錯在一起，其實就是一個變壓器，使用此電感可以省掉原本被動元件電感一半的面積，且由於其互感效應更可提高電感感值，佈局圖如圖四所示。其模型如圖五所示。



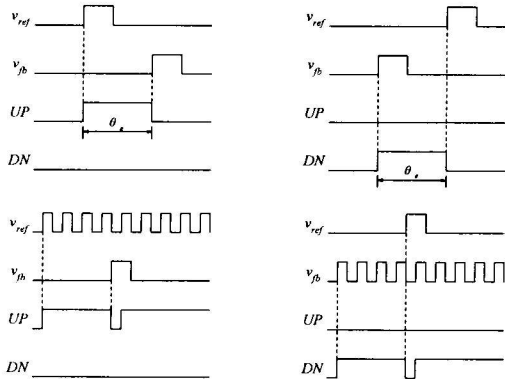
圖四、螺旋式電感變壓器



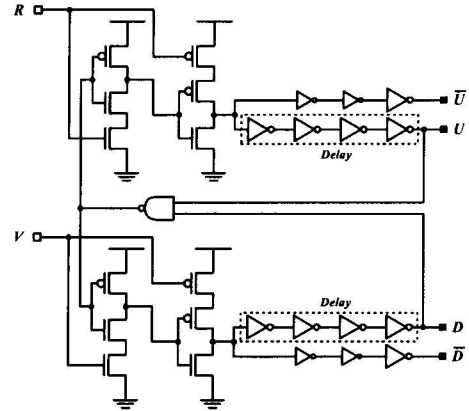
圖五、螺旋式電感變壓器模型

3. 完成頻率合成器數位電路

頻率合成器的方塊圖如圖一所示，包含相位 / 頻率偵測器 (Phase/Frequency Detector)、電荷泵、迴路濾波器、壓控振盪器和迴授除頻器。個別方塊的設計、實現和測試如下所述 (使用製程為 TSMC 0.25um 製程)：



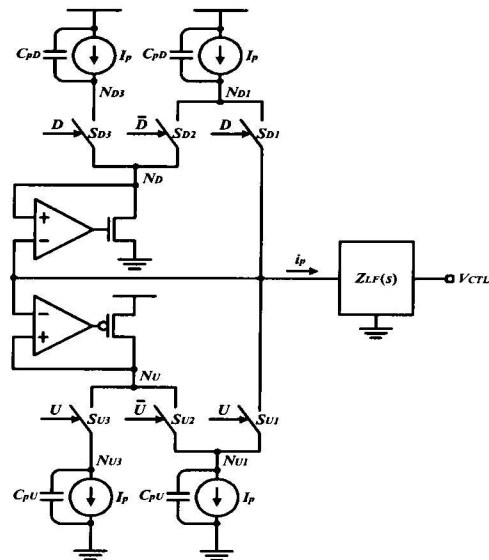
圖六、相位頻率偵測器的時序圖



圖七、相位頻率偵測器線路圖

(1) 相位 / 頻率偵測器

相位頻率偵測器的基本原理就是設計一個電路可以偵測並比較兩個輸入信號的頻率 (也就是相位)，當 R 信號頻率大於 V 時，UP 的輸出會是 high；反之，當 R 信號頻率小於 V 時，DN 的輸出會是 high。相位頻率偵測器 (PFD) 的時序圖如圖六。線路如圖七所示，由兩個 D 型正反器和一個 AND 閘構成。其中 AND 閘為標準的 CMOS AND gate，迴授路徑上的延遲單位能減少相位偵測器的 Dead zone。

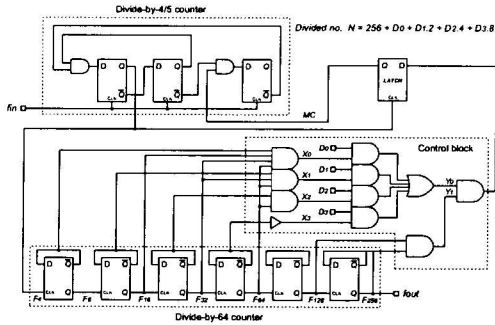


圖八、電荷泵線路圖

(2) 電荷泵

電荷泵負責將相位 / 頻率偵測器所偵測到的數位信號轉變為類比電流，線路以及與相位 / 頻率偵測器的接線方式如圖八所示。電荷泵所輸出的電流流入迴路濾波器中，產生用來

控制壓控振盪器的電壓。電荷泵所輸出的電流流入迴路濾波器中，產生用來控制壓控振盪器的電壓。由圖八可看出當 S_{D3} 或 S_{U3} 從關到開的時候，會有一個瞬間的電流對輸出點充電或放電，因為輸出點跟點 N_{D3} 及點 N_{U3} 的電壓會有一段落差，圖八電荷泵線路圖中的 S_{D1} 、 S_{D2} 、 S_{U1} 及 S_{U2} 和兩個放大器所形成的迴授路徑使的點 N_{D3} 或點 N_{U3} 的電壓和輸出點一樣當開關 S_{D3} 或 S_{U3} 關著的時候，如此可以防止充電放電的脈衝電流產生。

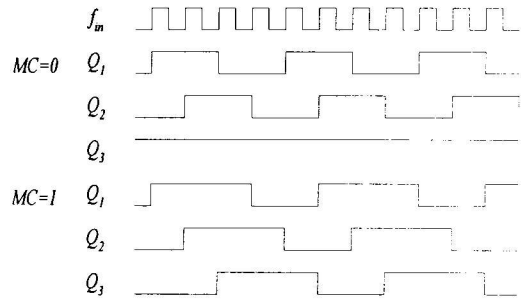


圖九、迴授除頻器方塊圖

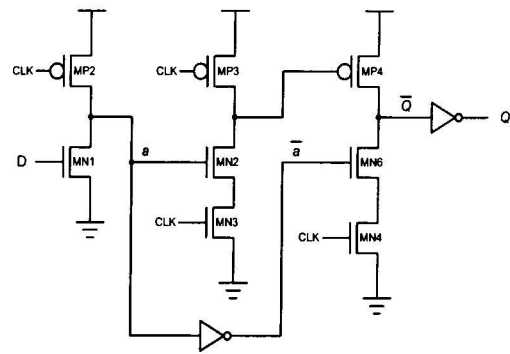
(4) 迴授除頻器

本前置除頻器的電路方塊圖如圖九所示，它是由三個 DFF，六個 TFF(Toggle Flip-Flop) 及一些簡單的邏輯閘所組成。第一級是由 DFFs 及 Nand gate 所組成的同步(synchronous)除四除五電路，第二級則是由六個除二電路組成了非同步(asynchronous)除六十四的電路；第一級會除四除五是由 MC 訊號來控制， $MC=V(0)$ 時會除以四， $MC=V(1)$ 時會除以五；它的時序圖如圖十。而其中的一些 AND gate 跟 OR gate 組成的邏輯電路及 D_0 、 D_1 、 D_2 及 D_3 等外接的控制訊號用來控制整個除頻器的除數，除數可由 256 變化到 271，總共由四個 bit 來控制十六個 channel，除數，其中 MC 訊號通過一個 Latch 以防止邏輯電路的 Gate Delay 造成運算的錯誤。前置除頻器中運作在最高頻率的除 4 除五的電路是使用動態的正反器，而我們做了兩組 Prescaler，兩組 Prescaler 的動態正反器略有不同，有一組 Prescaler 的動態正反器圖十一，另一者的則如圖十二。較低頻的部分都是靜態的正反器電路，在輸入端並有前置放大器，以放大壓控振盪器的訊號，如圖十三所示。我們這次的測試電路是希望能驗證使用圖十二正反器的電路能正確操作的頻率下限比使用圖

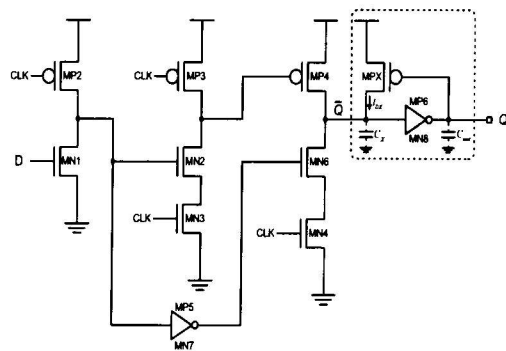
十一正反器的 Prescaler 為低，也就是能操作的頻率範圍增加。



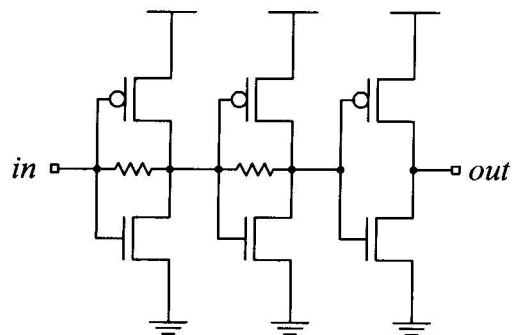
圖十、除四除五電路時序圖



圖十一、動態正反器一



圖十二、動態正反器二



圖十三、前置放大器