

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 應用電漿浸沒離子佈植(PIII)與晶圓鍵結技術製造 SOI 及 GOI 半導體材料研究(1/3) 期中進度報告(精簡版)

計畫類別：個別型  
計畫編號：NSC 96-2623-7-002-011-NU  
執行期間：96年02月01日至96年12月31日  
執行單位：國立臺灣大學電機工程學系暨研究所

計畫主持人：劉致為

處理方式：本計畫可公開查詢

中華民國 96 年 11 月 09 日



# 行政院國家科學委員會專題研究計畫成果報告

## 應用電漿浸沒離子佈植(PIII)與晶圓鍵結技術製造 SOI 及 GOI 半導體材料研究

計畫編號：NSC 96-2623-7-002-011-NU

執行期間：2007 年 2 月 1 日至 2007 年 12 月 31 日

主持人：劉致為

國立台灣大學電子所

計畫參與人員：

李承翰、鄧鈺、戴宇宏、林政明 國立台灣大學電子所

### 一、中文摘要

本次研究中，我們利用電漿浸沒離子佈植技術 (Plasma Immersion Ion Implantation, PIII) 進行氫離子佈植，並探討其影響。隨著 pulse voltage 的增加，我們發現晶圓的表面粗糙度也隨之上升。氫離子被佈植入金氧半元件中，原本有可能填補在氧化層與矽基板間的懸盪鍵結，以修補介面缺陷。但是，由於離子佈植對晶圓表面造成破壞，反而會增加反向偏壓時的漏電流。此外，在本次實驗中，我們亦嘗試了 smart-cut 製程的建立。表面的粗糙度會隨著 smart-cut 的溫度上升而增加。而利用 smart-cut 後的基板製造的光偵測器之元件特性，在本次研究中亦有被探討。

**關鍵詞：** 電漿浸沒離子佈植技術、氫離子佈植、smart-cut、表面粗糙度、光偵測器。

### Abstract

The influences of hydrogen implantation by plasma immersion ion implantation (PIII) have been report. The surface roughness becomes higher with the increasing pulse voltage. Hydrogen, which has been implanted into the metal-oxide-semiconductor device, should passivate the dangling bond on the interface between the oxide and Si substrate, and should reduce the dark current of the device. However, the damages caused by ion

implant increase the leakage current of the device under the reverse bias. Furthermore, the smart-cut process has also been built in this work. The surface roughness increases with the higher smart-cut temperature. The characteristics of photodetector have also been discussed.

**Keywords :** plasma immersion ion implantation, hydrogen implantation, surface roughness, smart-cut, photodetector.

### 二、緣由與目的

一般傳統的離子佈植方式，為單方向離子佈植，耗時且昂貴，電漿浸沒離子佈植技術為一種三維離子佈植技術，不同於傳統離子束單方向佈植，為一種高效率、低成本的離子佈植方式，且 PIII 設備簡單，使用一個大腔體的電漿源，並在靶材加一脈衝電壓，電漿離子便會同時佈植於靶材內，本研究使用 PIII 將氫離子以三維的方式佈植至晶圓內層，取代傳統離子佈植方式，運用 smart-cut 製程 [1, 2, 3]，達到異質材料膜層轉移。

### 三、研究方法與成果

圖一為利用不同電壓進行電漿浸沒離子佈植後，對矽晶圓表面測量表面粗糙度的結果。可以發現，隨著我們利用的 pulse voltage 越高，表面粗糙度便越大。由於

pulse voltage 的增高會使得佈植入矽晶圓的氫離子個數增多，而氫離子佈植會對矽晶圓表面造成部分破壞，因而會使矽晶圓的表面粗糙度增加。在金氧半的電容元件中，在氧化層與矽基板間的矽懸盪鍵結會形成部分的介面缺陷，進而使得反向偏壓時的漏電流上升。而氫離子本身可以填補該介面缺陷，能讓元件特性獲得改善。因此，我們便利用 PIII 的製程，嘗試氫離子佈植入已生長氧化層的矽晶圓中，以修補矽懸盪鍵結，如圖二所示。圖三為此金氧半電容元件的電流-電壓特性圖。我們可以發現，在剛進行完 PIII 製程的元件，其反向偏壓電流是比未進行 PIII 製程之元件高了將近三倍。而在熱退火製程之後，有進行 PIII 的元件其反向電流依舊比起未進行 PIII 的元件來得高。為了確認此現象的原因，我們亦量測了電容-電壓特性，如圖四所示。由 C-V 的特性所出現的 stretch out 現象，顯示在經過 PIII 製程之後，元件介面的缺陷有增加。由於離子佈植製程本身就會對佈植的晶圓造成一些破壞，因此我們認為在佈植過程中，介面的缺陷並沒有如我們原先預期的被氫離子填補，反而因為佈植的破壞而增加。所以在 I-V 或是 C-V 上，經過 PIII 製程後元件的表現都比未經過 PIII 製程的元件表現來得差。

由於 PIII 的製程仍舊在 recipe 的測試階段，對於氫離子進入的佈植濃度仍舊無法順利控制。因此，我們原先預期的利用晶圓鍵結與 smart-cut 方式進行絕緣層上矽技術與絕緣層上鍍技術並未成功進行。但為了替之後的元件進行測試，我們利用 ion implantation 的方式佈植氫離子在鍍基板中，先進行絕緣層上鍍技術的嘗試。圖五為晶圓鍵結配合 smart-cut 技術所進行的絕緣層上鍍技術製程。首先，將 n-type 鍍晶圓基板，稱之為寄生晶圓 (host wafer)，進行氫離子佈植。佈植能

量為 150keV，此能量將使氫離子大量聚集在約 1.3  $\mu\text{m}$  處。另外準備一以乾氧方式成長熱氧化層 50nm 之矽晶圓，稱之為承載晶圓 (handle wafer)。兩晶圓以去離子水進行超音波振洗 5 分鐘，去除晶圓表面之粉塵顆粒。之後，將兩晶圓皆浸於由氨水 ( $\text{NH}_4\text{OH}$ )、過氧化氫 ( $\text{H}_2\text{O}_2$ ) 與去離子純水 ( $\text{H}_2\text{O}$ ) 加熱維持至 80°C 所組成的 SC-1 溶液 ( $\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O} \sim 0.5:1:5$ ) 中 15 分鐘。用去離子水沖洗 5 分鐘後，以高壓純氮氣將晶圓吹乾。此時兩晶圓表面為佈滿 OH 鍵之親水性表面。

兩晶圓之黏合介面對齊後，在室溫下之無塵室中 (避免粉塵顆粒落於黏合介面處) 晶圓直接黏合。將兩晶圓在氮氣淨化 (purge) 的環境中，壓力為一大氣壓下，加熱至 150°C 維持 4 小時以加強晶圓鍵結之強度，之後再進行不同溫度加熱，使之前進行氫離子植入峰值處產生晶圓分離。圖六顯示了不同後段加熱溫度下，smart-cut 後鍍晶圓表面粗糙度。後段加熱的溫度越低，鍍晶圓的表面粗糙度也隨之變低。由此可見，對於此項 smart-cut 製程，在加強晶圓鍵結強度之後的後段加熱溫度，是以低溫為佳。

圖七顯示在完成絕緣層上鍍技術後進行不同溫度下之 forming gas anneal 後，晶圓表面的粗糙度分析。我們可以發現，在 400°C 以下的 forming gas anneal，均能夠有效的降低原本非常粗糙的鍍晶圓表面。這是因為 forming gas anneal 會增加 Ge-H cluster 的形成，並且加強表面鍍原子的表面擴散 [ ]。而表面的鍍原子經由此機制會往其他表面移動，以填平原本下凹的部分。經由此項機制，鍍晶圓表面的粗糙度可以有效的降低。

圖八顯示利用已經完成的絕緣層上鍍技術基板所製作的光偵測器特性與光偵測器的結構圖。我們可以清楚的看到，在三種波長光線之照射下，此光偵測器具有不

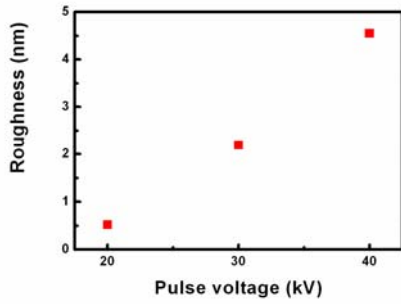
同的光響應。我們將光響應的部分整理在圖九，可以清楚的看到在 1310 nm 的光波長下，此光偵測器元件會有最強的光響應，而 850nm 與 1550nm 相較起 1310nm，響應都相當弱。造成此現象的原因是由於我們的鍺晶圓在經過 smart-cut 之後，僅只有 1.3  $\mu\text{m}$  轉移到承載晶圓上。850nm 光線的吸收深度約為 0.33  $\mu\text{m}$ ，1310nm 的約為 1.3  $\mu\text{m}$ ，而 1550nm 的約為 22  $\mu\text{m}$ 。由吸收深度的不同，我們可以知道，1550nm 的光，僅僅只有約 5% 會被此光偵測器吸收。因此其光響應自然就比較低。而 850nm 的光雖然與 1310nm 的光一樣都是 100% 吸收，但是由於 850nm 的光吸收的位置都接近表面，而容易受到表面粗糙度的影響而使光響應降低。因此 850nm 的光響應也遠低於 1310 的光響應。表面粗糙度所造成光響應的不同，可以靠著對表面的 etching 來降低表面粗糙度而獲得解決。

#### 四、結論：

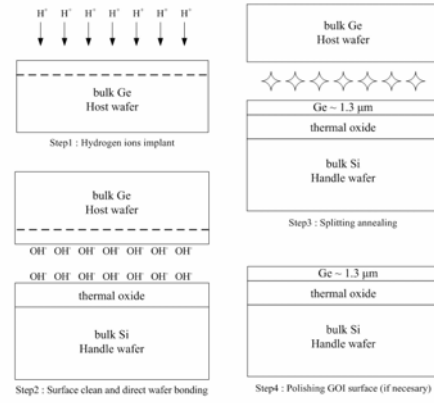
本次研究中，我們利用電漿浸沒離子佈植技術 (Plasma Immersion Ion Implantation, PIII) 進行氫離子佈植，並探討其影響。隨著 pulse voltage 的增加，我們發現晶圓的表面粗糙度也隨之上升。氫離子被佈植入金氧半元件中，原本有可能填補在氧化層與矽基板間的懸盪鍵結，以修補介面缺陷。但是，由於離子佈植對晶圓表面造成破壞，反而會增加反向偏壓時的漏電流。在本次實驗中，我們也利用傳統 hydrogen ion implantation 嘗試 smart-cut 製程的建立。隨著 smart-cut 的溫度上升表面的粗糙度會增加。但是在 forming gas 的熱退火處理之後，表面粗糙度將會獲得改善。利用 smart-cut 後的基板製造的光偵測器之元件，在 1310nm 下會具有最大的光響應。這是由於 smart-cut 後的鍺晶圓厚度僅有 1.3  $\mu\text{m}$ ，且表面較為粗糙所致。

#### 五、參考文獻

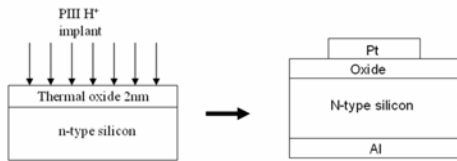
- [1] M. Burel, *Electron. Lett.* **37**, 1201, 1995
- [2] Y. Cho and N. W. Cheung, *Appl. Phys. Lett.* **83**, 3827, 2003
- [3] C.-Y. Yu, C.-Y. Lee, C.-H. Lin, and C. W. Liu, "Low-Temperature Fabrication and characterization of Ge-on-Insulator structures," *Appl. Phys. Lett.*, Vol. 89, 101913, 2006
- [4] A. Nayfeh, C. O. Chui, K. C. Saraswat, and T. Yonehara, *Appl. Phys. Lett.*, **85**, 2815, 2004



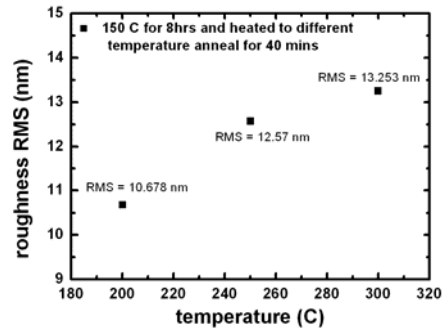
圖一：佈值電壓對表面粗糙度變化



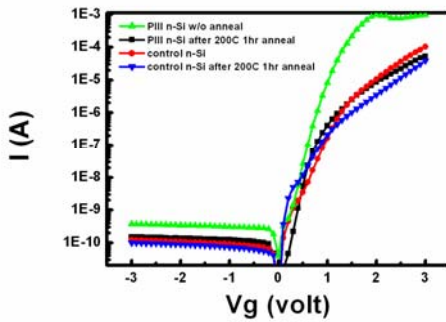
圖五：Smart-cut製程之示意圖



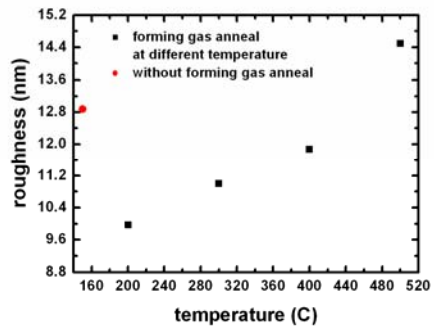
圖二：利用氫離子佈植進行H-passivation實驗之結構圖



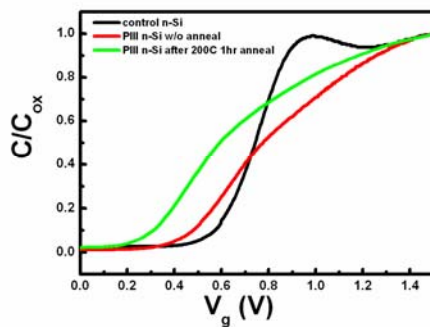
圖六：表面粗糙度隨後段 anneal 溫度之變化



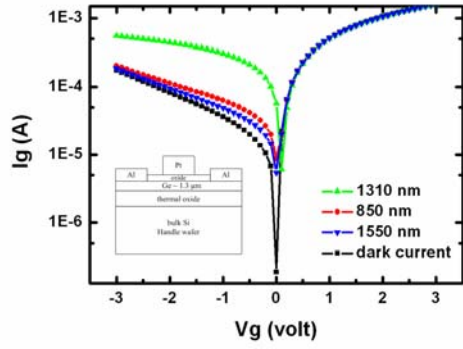
圖三：利用氫離子佈植進行H-passivation後之電流-電壓量測



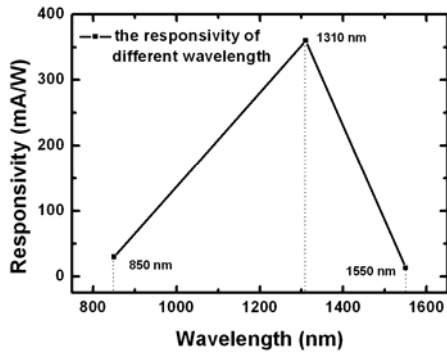
圖七：經由不同溫度之 forming gas anneal 後所造成表面粗糙度之變化



圖四：利用氫離子佈植進行H-passivation後之電容-電壓量測



圖八：Smart-cut 製程後製作之光偵測器元件之暗電流與光電流特性



圖九：光偵測器元件在不同波長的光響應