

數位相機晶片系統平台之研製——子計畫五

晶片系統平台之實現：藍芽無線傳輸

陳少傑 國立台灣大學電子工程研究所
計畫編號：NSC-91-2215-E-002-039

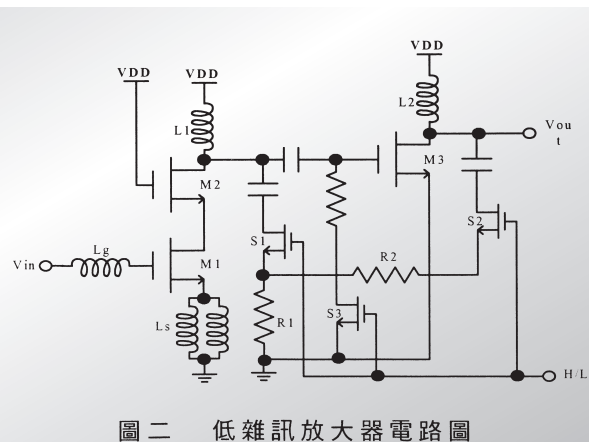
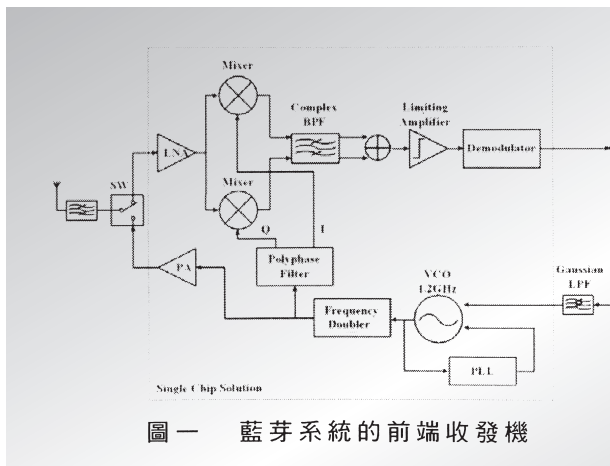
一、摘要

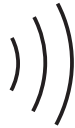
本研究目標是設計一個 CMOS 藍芽系統的前端收發機。此計畫分為三個部分：前端接收器、鎖相迴路、前端傳送器。在前端接收器中我們採用中頻頻率在 2MHz 的低中頻架構，且採用一個複數帶通濾波器作為鏡像抑制之用。在前端接收器中低雜訊放大器與混波器的設計，我們的低功率消耗電路已符合藍芽系統應用上的需求。另外我們亦設計一個類比

數位轉換器給接收器使用。在傳送器部份我們先介紹鎖相迴路之頻率合成器的電路架構。此頻率合成器的整個電路佈局是使用台積電的 0.25 微米製程，電路主要是利用 SpectreRF 做混合訊號的模擬。此晶片包含 79 個通道，適用於藍芽系統的規格。另外我們的前端傳送器包含倍頻器、功率放大器、和多相位濾波器、所有的電路均採用台積電的 0.25 微米製程。以上三個部分之晶片將被整合至一個單晶片。

二、前端接收器

本研究目標是設計一個 CMOS 藍芽系統的前端收發機，如圖一所示。在無線通訊網路 2.4GHz (802.11b 或藍芽) 系列的架構，低雜訊放大器 (LNA, Low Noise Amplifier) 是接收端必須的元件，而針對輸入訊號的功率大小會因距離基地台的遠近而有所不同，可以選擇增益的大小，即使有過大的信號輸入仍不致使後級電路飽和，讓系統能正常的操作。





由於輸入訊號功率的變動範圍很大，需設計出有雙重增益的低雜訊放大器：在輸入功率小的時候，可用較大的增益，使信號到下一級仍有足夠的功率；而在輸入功率大的時候，用較小的增益，使信號不會因為過份放大而使下一級飽和，造成系統無法正常工作。此低雜訊放大器以傳統的疊接式（Cascode）LNA 作為第一級，以共源極作為第二級，其電路如圖二所示。

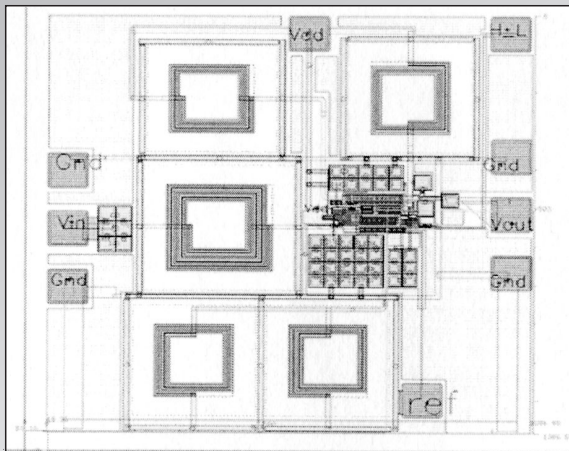
此低雜訊放大器之佈局

如圖三所示，以 0.25um 的 CMOS 製程來實現以對未來 SOC 的整合做準備。整個低雜訊放大器其高增益模式可達到 19dB 的增益，消耗的能量約在 11mW。而低增益模式，將第二級關掉，把第一級接到電阻所組成的分壓器，有 -14dB 的增益，其消耗的能量約在 8mW，可有效的節省功率。此低雜訊放大器之效能（Performance）如表一所示。

在藍芽接收端我們所使用的通道選擇濾波器為一個

複數帶通濾波器，具有通道選擇（Channel Select）與鏡像抑止（Image Rejection）的功能，所採用的架構為切換式電容濾波器，如圖四所示，圖五為此切換式電容所採用 OTA 放大器（Operational Transconductance Amplifier）的架構，其中使用動態共模回授（Dynamic Common-Mode Feedback）。

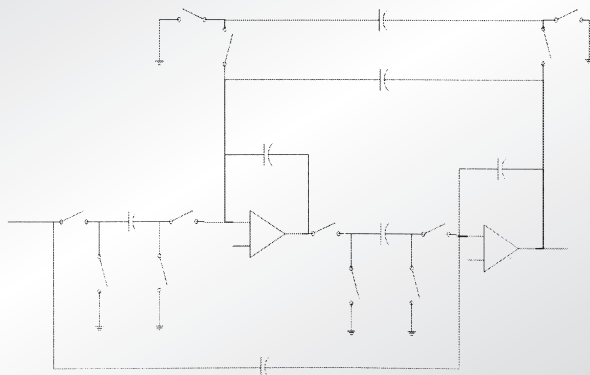
使用兩個圖四所示的切換式電容串接可得到四階的 Butterworth 響應，以達到我們所需的濾波器響應要求。



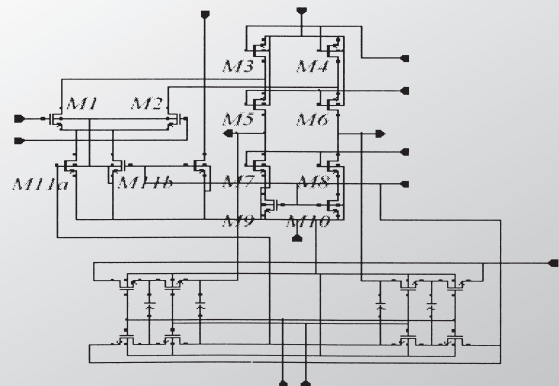
圖三 低雜訊放大器佈局圖

表一 低雜訊放大器之效能

	High Gain Mode	Low Gain Mode
Power Gain	19dB	-14dB
NF	3.45dB	13.77dB
IIP3	5.9dBm	10dBm
Input P _{-1dB}	-8dBm	0dBm
Current	4mA	3mA
Power Consumption	10.8mW	8.1mW



圖四 切換式電容架構



圖五 OTA 放大器架構

利用 I 與 Q 軸相差 90 度的特性，在 I 與 Q 軸信號加上互相迴授的電阻產生 $j\omega_{IF}$ 的偏移來實現以 $j\omega_{IF}$ 為中心的複數帶通濾波器，圖六為其佈局圖。此複數帶通濾波器之效能如表二所示。

藍芽無線通訊網路早已是國內外很多研究團體的研發方向，在此架構中類比數位轉換器（ADC, Analog to Digital Converter）算是不可或缺的角色，尤其藍芽無線傳輸攜行裝置的概念下，類比數位轉換器（ADC）的低功率高解析度要求便極度嚴苛，尤其在目前的研究發展朝向系統晶片（SOC, System-on-Chip）的設計理念下，以 CMOS 來設計低功率 ADC 電路已是趨勢，如何兼顧簡易設計以及快速實現的 ADC 架構，亦成為當前不可或缺之研究。

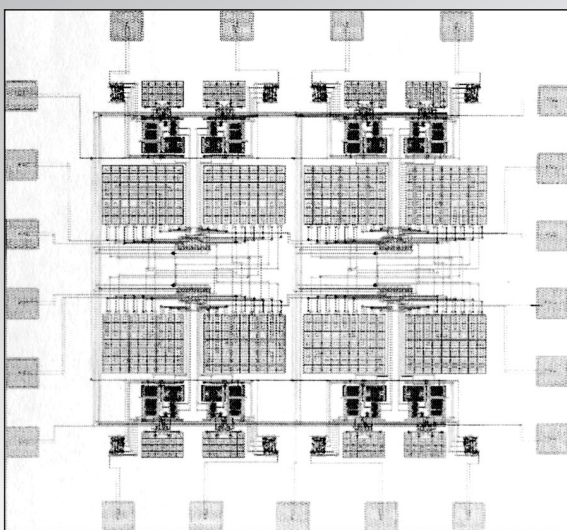
我們所規劃的類比數位轉換器是 Delta-Sigma 架構的三角積分類比數位轉換器，此架構有著類比電路要求不高但卻可實現高解析度的優點，並且低功率的架構更是廣為設計者之愛好，但雖有如此優點，卻有著因為整體架構必須超取樣（Oversample）來求取量化誤差精準度的原因，使得 Delta-Sigma 架構 ADC 一直被歸類在中低速的類比數位轉換器。

仔細審視架構之後，我們提出融合分時取樣（Time Interleaved）及管線化（Pipelined）架構之 Delta-Sigma ADC，藉由 Delta-Sigma 之 Window 取樣平均之特性配合上分時取樣的原理，再由管線化之共生回饋原理，簡化數位電路之架構，降低功率提高速度，使得 Delta-Sigma ADC 脫離超取樣之詛

咒，得以全時運作，可輕易越級成為中高速的類比數位轉換器，其佈局如圖七所示。

三、鎖相迴路

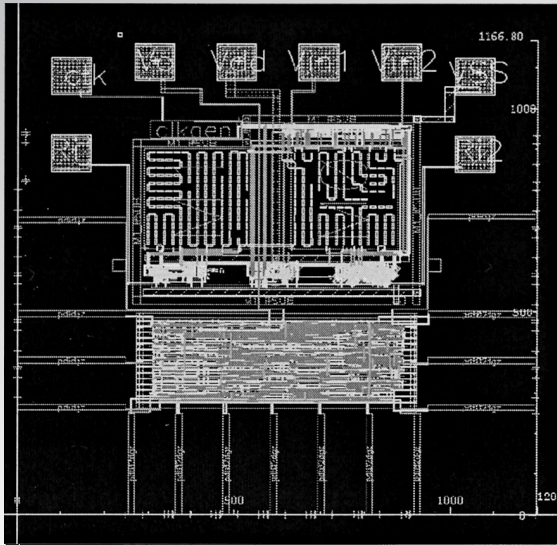
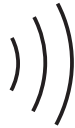
因為我們所使用圖一的藍芽收發器的其傳輸端設計會使用到倍頻器，將本地頻率倍頻。現在的行動通訊系統通常使用到頻率合成器（Frequency Synthesizer）來提供一個本地頻率。由於現在大眾通訊系統所要求的頻率大多數都在幾個 GHz 左右，現在較先進的製程而言，已經足以應用在這一方面。這可以由市面上不難取得相關產品以及數量眾多的論文得以證明。但是一般而言，以 CMOS 製程所做的頻率合成器的相位雜訊（Phase noise）會比其他製程（例如：GaAs）來得高，但是由於 CMOS 可以提供低價格以及



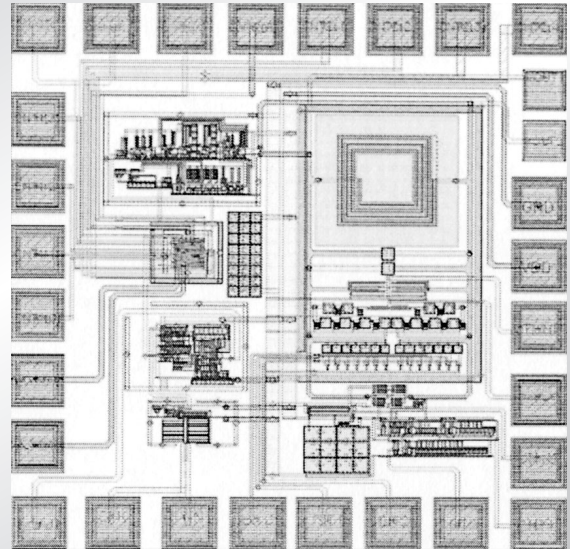
圖六 低通濾波器佈局圖

表二 複數帶通濾波器之效能

Process	TSMC 0.25 μ 1P5M
Sampling Frequency	44 MHz
Center Frequency	2 MHz
Bandwidth	1.35 MHz
Passband Gain	16 dB
Passband Ripple	4 dB
Image Rejection	65 dB
Total Capacitance	132 pF
Area	1.5mm \times 1.5mm
Power Consumption	8 mW



圖七 Delta-Sigma ADC 佈局圖



圖八 頻率合成器佈局圖

高度的整合性，所以利用 CMOS 來設計頻率合成器是相當值得的。

以下介紹之頻率合成晶片，預期操作在 1.2GHz 左右的頻率，這個頻率合成器是應用在藍芽收發器系統中，其佈局如圖八所示，架構如下圖九所示。

為防止 Frequency Pulling 效應而造成 VCO 輸出頻率隨調變輸出訊號而變動，所以將 VCO 輸出效率定在 1.2 GHz 之後再送到倍頻電路 (Frequency Doubler) 得到藍芽收發器所需的 2.4GHz，因為一般市面上的產品通常是將 VCO 振盪在 4.8GHz，之後再經過一個除頻電路將頻率輸出於 2.4GHz，此種方法之主要困難度及雜訊常取決於 VCO 的設計。所以希望能利用較高效能的 VCO

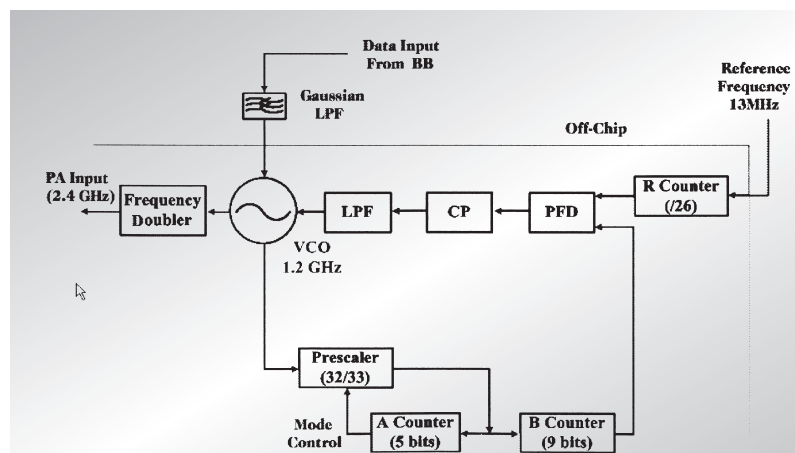
改善相位雜訊及簡化頻率合成器的設計，因為 VCO 頻率振訂在 1.2GHz，其它元件如前置除法器 (Prescaler) 的設計可得到較穩定的值。

四、前端傳送器

前端傳送器的實作，是把輸入數位訊號經過一個高斯濾波器 (Gaussian Filter) 以避免頻譜增大 (Spectrum Regrow) 而影響到其輸出

Mask。我們使用直接調變到 VCO 上之方式時已考慮過調變訊號的頻率和 PLL 頻寬的關係。在確定調變訊號不會對 PLL 的相位鎖定產生影響，才決定用這簡單的調變方法。

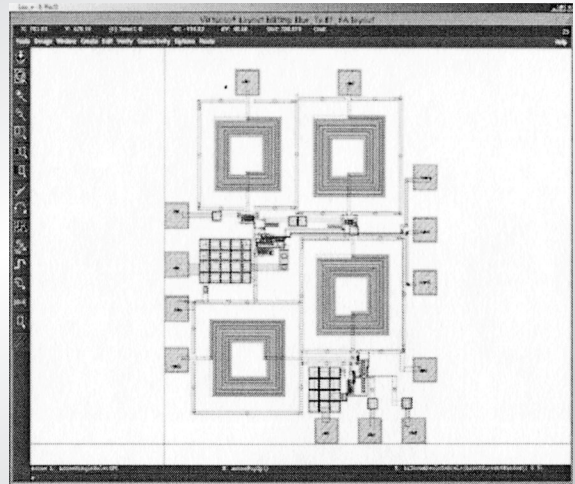
訊號調變到 PLL 後，經過一個倍頻電路把頻率升到載波所需之 2.4GHz，再經過一個功率放大驅動器 (PA Driver) 把訊號輸出。我們所



圖九 用於藍芽收發器的頻率合成器

表三 功率放大驅動器之效能

	Frequency Doubler	Power Amplifier
Input Signal	0.8Vpp@ 1.2GHz	0.5Vpp@ 2.4GHz
Output Signal	0.5Vpp@ 2.4GHz	1Vpp@ 2.4GHz
IIP3	N/A	-0.3 dBm
Power Gain	N/A	21.61 dB
Input Impedence	N/A	27.65 - j79.35 Ω
Output Impedence	N/A	90.8 + j177.15 Ω
Power Consumption	11.184 mW	19.38 mW



圖十 功率放大驅動器佈局圖

規劃的功率放大驅動器使用 Class AB 級的功率放大器，其架構為利用兩級 MOS 達到 21dB 的增益，並且利用電流再生（Current Reuse）的觀念去設計，希望能夠達到低功率（Low-Power）設計的目的。此功率放大驅動器之效能如表三所示，其佈局如圖十所示。

作者簡介



陳少傑

國立台灣大學電子工程研究所教授

美國南美以美大學電機工程博士

專長：佈局自動化；SOC 軟硬體共同
設計；射頻電路設計

電話：(02)23635251 轉 417

傳真：(02)23638247