

行政院國家科學委員會專題研究計畫 期中進度報告

子計劃三：可重組化多媒體運算引擎之設計與實現(1/3)

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-002-035-

執行期間：91年08月01日至92年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基

計畫參與人員：連崇志，黃朝宗，徐志瑋，張德浩

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 92 年 6 月 3 日

多媒體通訊系統中可重組化運算技術之研究—子計劃三

可重組化多媒體運算引擎之設計與實現(1/3)

Design and Implementation of Reconfigurable Multimedia Computing Engine

計劃編號：91-2215-E-002-035

執行期限：91/08/01~92/07/31

子計劃主持人：陳良基 教授 Email: lgchen@cc.ee.ntu.edu.tw

執行機構：國立台灣大學電子工程學研究所

一、中文摘要

隨著多媒體通訊相關產業的蓬勃發展，新興的多媒體應用需求更多的功能性、更好的壓縮效率及更普遍的使用性，使得多媒體編碼系統的運算複雜度，伴隨核心演算法的複雜化、即時處理的限制及多重標準的應用需求而不斷的提升。現存的多媒體運算處理器雖然結合了各式增強型架構以達到加速多媒體處理之效能，但其架構僅針對早期的壓縮技術來做設計考量，因而難以支援演算法越來越複雜的新興多媒體編碼系統。本計畫提出以可重組化運算技術為基礎的可重組化多媒體運算引擎，藉由可重組化運算系統在架構本體上的創新性，達到新興多媒體編碼系統的運算需求。

ABSTRACT

As the rapid development of multimedia communication systems, the emerging multimedia applications require more functionality, better compression efficiency, and more application generality. Accordingly, the complexity of multimedia coding system increases continuously due to the complexity of core algorithm, the constraint of real-time processing, and the requirement of multi-standard. Gradually, existent multimedia processors can not support the emerging multimedia coding systems those are increasingly complex. This project is proposed to exploit reconfigurable multimedia processing engines and the novelty of reconfigurable processing systems such as to keep up with the requirement of emerging multimedia

coding systems.

二、緣由與目的

本計畫以研發整體性的可重組化多媒體運算系統為目標，研究重點分為系統分析與整合、系統架構及模組架構三大部分。由系統分析之研究來探討各影像與視訊編碼系統的可重組化運算特性，以提供系統架構與模組架構之研發參考及系統整合時的重要依據。由系統架構之研究來研發平台架構的骨架及重組機制，以建立多樣化且有效率的可重組化多媒體運算系統平台架構。而由模組架構之研究，研發各核心功能之可重組化硬體架構。以 FPGA 雛形與晶片實現來驗證所研發的可重組化架構之可行性，最後經由 FPGA 系統雛形環境來進行各影像與視訊編碼系統的整合設計與分析，以完成完整影像與視訊編碼應用的系統整合之實現。

三、研究方法與成果

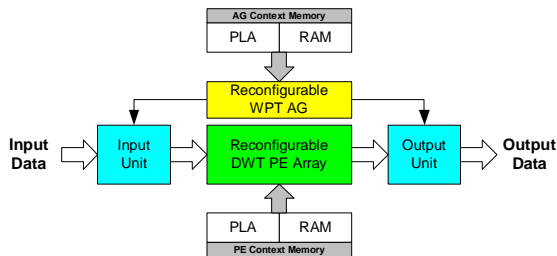
■ 模組架構之研究

可重組化模組架構係針對各影像與視訊編碼系統中的核心功能模組，以系統分析與整合研究方向中的模組層次可重組化特性之分析與 FPGA 模組雛形環境為輔，研發各核心功能模組的可重組化模組架構。在本年度的研究中，我們針對影像與視訊編碼系統中的兩個核心運算單元做可重組化運算之設計考量，分別是 Discrete Wavelet Transform (DWT) 和 Discrete Cosine Transform (DCT)。首先分析在新興的影像與視訊編碼系統中 DWT 和 DCT 為

了提供功能彈性度而在運算上所增加的複雜度，接著針對該運算提出有效率的設計方法以得到最佳化的可重組化運算架構，進而完成架構之 FPGA 雛形與驗證和晶片實現與測試。

A. Reconfigurable DWT Processor

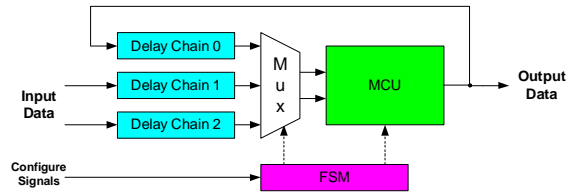
Wavelet 是一種可用在多重解析度類比信號分析的函數，是 Morlet 於 1984 年所命名的[1]，之後經 Mallat 將其延伸至數位信號的多重解析度分析[2]，亦稱為離散小波轉換(DWT)。DWT 對於 natural image 擁有非常好的信號分析特性，新一代的視訊標準如 JPEG2000 和 MPEG4 Still Texture Coding 都已採用它為核心轉換架構，壓縮率和品質都比 JPEG 好很多。DWT 的主要運算為一對數位濾波器，但使用 convolution 的運算量太大，lifting scheme 便被提出可用來大幅降低運算量[3]，更進一步地，一般性的 lifting scheme coefficients 推導法則於[4]中被提出並證明。此外，DWT 在多重解析的分解上可選擇的組合非常多，其中最常使用到的 dyadic 分解，如果我們特別針對影像的特性和特殊的考量做出最佳的分解，此時我們便稱其為 Wavelet Packet Transform (WPT)。在這部分的研究，我們針對 DWT 運算提出了一個可重組化運算架構，可以在運算時間時動態重組 DWT 的轉換濾波器和分解型態，以提供新興的影像與視訊編碼系統足夠的功能彈性度。



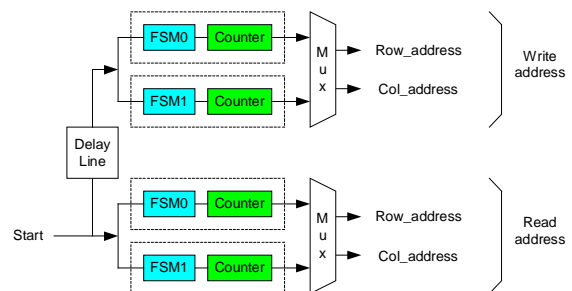
圖一 R-DWT 之功能方塊圖

圖一為所提出的功能方塊圖，包含了核心的可重組化 DWT PE Array 與可重組化 WPT AG 以及 I/O Units。可重組化 DWT PE Array(圖二)以 lifting scheme 為基礎，

以提供更有效率的運算，而可重組化 WPT AG(圖三)以控制記憶體位址產生器來達到任何種類的 WPT，讓電路達到 100% 的使用率。



圖二 可重組化 DWT PE Array



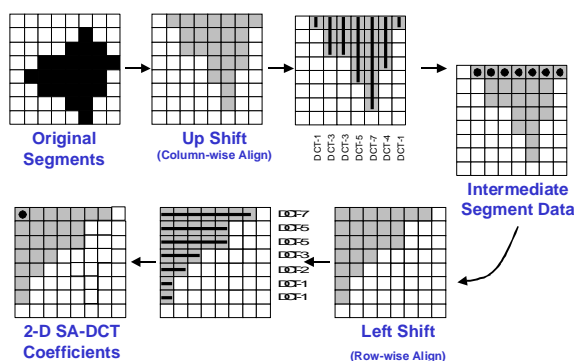
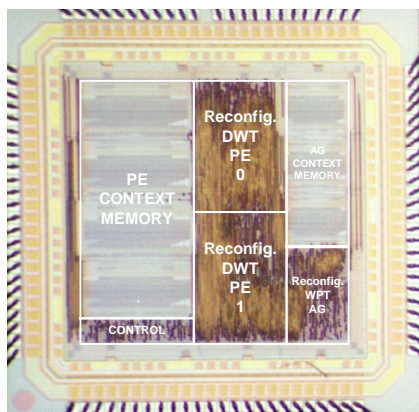
圖三 可重組化 WPT AG

經過 Cell-Based IC Design Flow 以完成晶片實現與測試，表一所示為晶片規格，圖四則為晶片的 Die Photo。

表一 R-DWT 晶片規格

Technology	TSMC 0.35um CMOS 1P4M
Package	100 CQFP (96 Pads)
Die Size	2.86 x 2.86 mm ²
Core Size	2.04 x 2.04 mm ²
Logic Gate Count	22300
On-Chip Memory	4 16x32 separate port RAMs
	3 32x8 separate port RAMs
	2816-bits
Transistor Count	167883
Max Clock Rate	33MHz (worst case)
Power Consumption	112mW @ 3.3V, 33MHz
Pad Number	96
Input Pad	21
Output Pad	46
Clock Buffer Pad	1
Power Pad	28

圖四 R-DWT Chip Die Photo

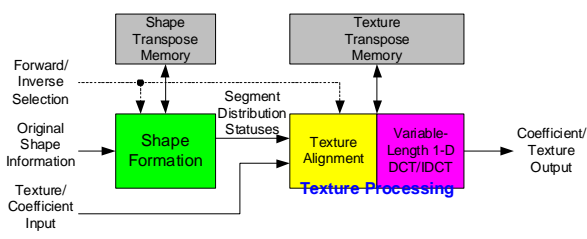


圖五 SA-DCT forward transform

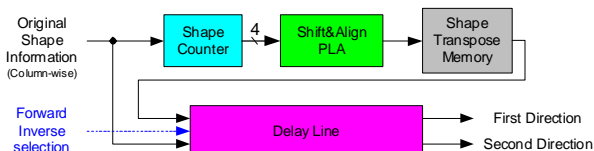
B. Reconfigurable DCT Processor

Discrete Cosine Transform是由Ahmed等[5]在1974年所提出來的，現已成為訊號處理中相當重要的轉換運算之一。DCT與它的反轉換 – IDCT，是影像與視訊編碼系統中的核心運算，並且已經被許多的國際標準所採用。在新興的視訊編碼研究上，多以object-based的視訊編碼為主流。為了要能支援object-based的視訊編碼方式，SA-DCT演算法於是被提出。在文獻上，標準2-D 8x8 DCT的設計與實現已經屢見不鮮了，然而對於SA-DCT演算法而言，則尚未有完整的硬體之設計與實現(僅有部分單元之設計[6])。因此，基於這些前提之下，我們提出了一個能同時支援標準2-D 8x8 DCT以及SA-DCT演算法的可重組化運算架構，並期望所提出的架構，能成為object-based的視訊編碼系統中，DCT相關運算的完整解決方案。圖五所示為SA-DCT的forward transform，一共可以分為幾個步驟：original segments會先經過一個up shift的動作，也就是將每一column中的active pixel(在object內的pixel)往上推，以完成所謂的column-wise align的動作。接著針對shift過的每一column，計算column中的active pixel數目，並執行相對應點數的1-D DCT。執行完column-wise的處理之後，每一column之DC係數將落於第一個row上。接著要進行的是row-wise的處理，首先將每一row中的active pixel往左推，已完成row-wise align的動作，接著再對每一row去執行相對點數的1-D DCT。執行完row-wise的處理後，2-D的DC係數將落於左上角。

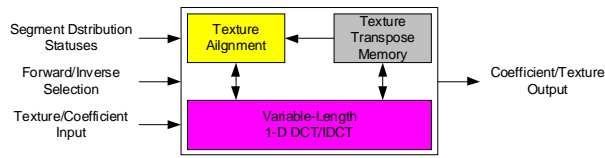
由SA-DCT的演算法可知，若所處理的8x8 block完全落於object之內(即為一object block)，其運算動作將相等於標準2-D 8x8 DCT，因此我們可藉由適當的控制shape資訊，讓能處理SA-DCT運算的硬體也能處理標準8x8 DCT運算。圖六為所提出的可重組化架構之功能方塊圖，主要包含了Shape Formation與Texture Processing兩部分。Shape Formation藉由輸入的original shape information來產生出Texture Processing所需的相對應segment distribution statuses。圖七所示為其架構示意圖。Texture Processing藉由Shape Formation所產生出來的segment distribution statuses，有效的處理輸入的texture或coefficient data來產生出最後的coefficient或reconstructed texture data。Texture Processing由於使用到了我們提出的Dynamically Reconfigurable Datapath的概念，因而能有效的處理Texture Alignment與Variable-Length 1-D DCT/IDCT的運算，其架構示意圖如圖八所示。



圖六 R-DCT之功能方塊圖



圖七 Shape Formation



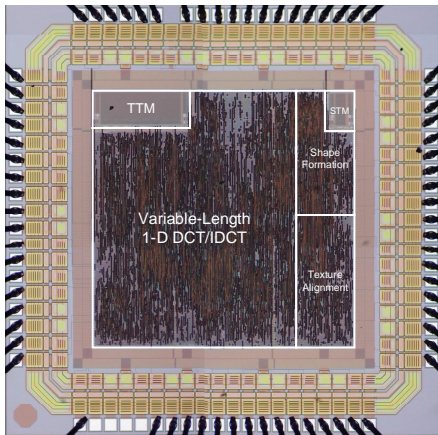
圖八 Texture Processing

經過 Cell-Based IC Design Flow 以完成晶片實現與測試，表二所示為晶片規格，圖九則為晶片的 Die Photo。

表二 R-DCT 晶片規格

Technology	TSMC 0.35um CMOS 1P4M
Package	80 CQFP (77 Pads)
Die Size	2.75 x 2.75 mm ²
Core Size	1.93 x 1.93 mm ²
Logic Gate Count	40518
On-Chip Memory	64x16 two port RAM for texture
	64x2 two port RAM for shape
	1152-bit (1088-bit used)
Transistor Count	217171
Max Clock Rate	62.5MHz (worst case)
Throughput	62.5M pixel/sec
Power Consumption	240mW @ 3.3V, 62.5MHz
Input Pad	32
Output Pad	16
Clock Buffer Pad	1
Power Pad	28
Fault Coverage	99.44%

圖九 R-DCT Chip Die Photo



■ 系統架構之研究

影像與視訊編碼系統屬於混合編碼的系統架構，即系統架構之中包含了多個不同的編碼功能方塊，如轉換、移動、量化、空間預測、掃描、熵編碼、位元流分析及形狀編碼等，而此混合編碼之系統架構中的每一個編碼功能方塊，往往又具有截然不同的運算特性。因此，為了適合各影像

與視訊編碼系統，我們提出一個開放式的可重組化多媒體運算系統平台架構，該系統平台架構是一個異種的可重組化運算系統，運用了多個異種的可重組化硬體模組，而且基於影像與視訊編碼系統中的多項編碼功能方塊都具有高度的運算平行度，這些可重組化硬體模組也可運用平行處理之架構來達到更高的運算效能。運用了異種的平行式可重組化運算技術於開放式的系統平台架構上之後，使系統平台架構不但具有一般開放式系統平台的優點，亦即其基本骨架可以被重複應用，且在平台上的功能方塊，可依據特定應用之需求，而在設計層次時做不同的變更，達到以平台為基礎的設計之效益，這些功能方塊更可以提供更多樣化且更有效能的系統架構，同時依據特定應用之可重組化運算需求，進行動態之系統架構重組，以達到更有彈性之功能。

■ 系統分析與整合之研究

除了進行了各影像與視訊編碼系統的系統層次可重組化運算特性之分析以提供模組架構之設計參考外，我們另外也建立了 FPGA 模組與系統雛形環境以提供各影像與視訊編碼系統的整合設計與分析使用。

四、結論

本子計劃已達成第一年之預定目標，在模組架構之研究方面，更是提前完成了晶片實現與測試。在接下來的年度中，將繼續從事第二年之預定目標，完成系統架構之研究，並進而研發更有效率之可重組化模組架構，進而完成第三年中可重組化影像與視訊編碼系統整合之目標。

五、參考文獻

- [1] A. Grossmann and J. Morlet, "Decomposition of Hardy functions into square integrable wavelets of constant shape," *SIAM J. Math.*, vol. 15, pp. 723-736, 1984.
- [2] S. Mallat, "A theory for multiresolution signal decomposition: The wavelet representation," *IEEE Transactions on Pattern Analysis and Machine Intelligence*,

vol. 11, NO. 7, July 1989.

[3] W. Sweldens, "The lifting scheme: A custom-design construction of biorthogonal wavelets," *Applied and Computational Harmonic Analysis* 3, p186-200, 1996.

[4] I. Daubechies and W. Sweldens, "Factoring wavelet transforms into lifting schemes," *The Journal of Fourier Analysis and Applications*, vol. 4, pp 247-269, NO. 3, 1998.

[5] N. Ahmed, T. Natarajan, and K. R. Rao, "Discrete

cosine transform," *IEEE Transactions on Computers*, vol. C-23, pp. 90-93, Jan. 1974.

[6] T. Le and M. Glesner, "Flexible architectures for DCT of variable-length targeting shape-adaptive transform," *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 10, no. 8, pp. 1489-1495, Dec. 2000.