

行政院國家科學委員會專題研究計畫 期中進度報告

總計畫(1/3)

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-002-037-

執行期間：91年08月01日至92年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：陳良基

共同主持人：吳安宇，黃俊郎，張耀文，賴永康，楊佳玲

計畫參與人員：陳良基，吳安宇，黃俊郎，張耀文，賴永康，楊佳玲

報告類型：精簡報告

處理方式：本計畫可公開查詢

中華民國 92年6月2日

多媒體通訊系統中可重組化運算技術之研究(1/3)
**The Study on Reconfigurable Computing Technology for
Multimedia Communication System**

計劃編號：91-2215-E-002-037

執行期限：91/08/01~92/07/31

總計劃主持人：陳良基 教授 Email: lgchen@cc.ee.ntu.edu.tw

執行機構：國立台灣大學電子工程學研究所

一、中文摘要

本整合型技術發展研究計畫係針對可重組化運算此一新穎的系統架構研究領域之相關核心技術進行研究，並以多媒體通訊應用作為系統整合平台的發展目標。針對可重組化運算系統之研究趨勢，本整合型研究計畫的目的是研究多媒體通訊系統的數個可重組化運算之核心技術：首先對可重組化架構層次中的一般用途(General Purpose)、多媒體(Multimedia)與通訊(Communication)等重要的應用領域，進行新興應用的運算特性轉變之分析，然後進行架構的探討、設計與實現；同時在當前仍有待加強的系統整合 CAD 工具之研究上，也針對可重組化運算系統之應用發展的骨架以及架構的設計與實現上，提供系統層次的設計、軟/硬體整合設計、可測試性設計以及實體設計的完善工具支援。期望藉由此整合型計畫的相關基本技術之發展與研究成果的驗證，來發展出一套可重組化系統的設計法則與相關的設計軟硬體環境，以提供學術界與產業界在多媒體通訊系統架構的設計層次上，另一套前瞻性的設計經驗。

ABSTRACT

The group project will proceed on system analysis, suitable architecture design, and implementation, verification, and testing for key components for a reconfigurable computing system. We expect to provide a forward-looking experience in system-level architecture design for both academia and industry. In order to keep up with the research trend of reconfigurable computing systems, the goal of the main program targets at the research of core technology in various kinds of reconfigurable computing systems for multimedia communication systems. The analysis for characteristics of reconfigurable computing systems with the design and implementation of the hardware architectures are major topics of this main program. Besides, the consideration of testability for hardware design, hardware/software co-design, and support of CAD tool in physical layer design are also included.

二、各子計劃研究成果

■ 子計劃一 (楊佳玲)

可重組化運算之系統分析與設計

1. System-Level Performance/Power Evaluation Framework:

We have modified the Power Analyzer to take hardware/software partition as part of architectural configuration. We use MPEG2 decoder to perform our first

experiment. The remaining challenge is to model the concurrency among the processor and various IP cores. We are currently investigating using System C to handle this problem.

2. Task Scheduling:

In cooperation with 張耀文(PI of the fifth project), we have proposed a 3D-subTCG representation to model the temporal relation between modules scheduled on an FPGA device. We have already implemented a SA (Simulated Annealing) method to solve the temporal floorplanning problem (optimizing both the area and execution time). The next step is to add the area constraint and energy factor to the model.

3. Energy-Efficient Reconfigurable Cache Architecture:

We have first evaluated the cache size requirement for a set of multimedia and communication applications. We found that the working set size for the tested suite ranges from 2K to 58K. We have also observed that an individual application experiences phase change during execution. We are currently evaluating various previously proposed run-time algorithms for phase detection and exploiting the opportunity of utilizing application-level information to assist run-time decision.

■ 子計劃二 (賴永康)

可重組化一般用途運算引擎之設計與實現暨可重組化運算系統整合平台之發展

我們提出一個動態混合顆粒可重組化二維陣列數位訊號處理運算引擎。此引擎可以執行 general-purpose 的演算法，如二維離散餘弦轉換、FIR 濾波器、矩陣相乘等演算法等，在可重組化系統中扮演共同處理器之功能。此引擎包含一 64 個可重組化單元的陣列、控制器、可重組化資料緩衝器及微程式碼 ROM，如 Fig. 1 所示。Fig. 2 是重組化單元的方塊圖，可以執行高運算量的運算，如乘累加(MAC)及低運算量的運算，如加減、互斥(Add,Sub,XOR)，LCR 控制可重組化單元的運算，LDR 儲存暫存值。左邊為可重組化陣列中左半邊的重組化單元，右邊為可重組化陣列中右半邊的重組化單元。兩個可重組化單元可以組合成一個可重組化單元來執行運算，如 Fig. 3 所示。由於在許多演算法中通常包含蝴蝶式的運算，為了減少內部連線的問題。我們提出一個細緻顆粒控制的內部連線以減少過長的匯流排延遲，如 Fig. 4 所示，左邊內部連線連接左半邊的重組化單元，右邊內部連線連接右半邊的重組化單元。可以將 8 點蝴蝶式的運算分為兩半。Fig. 5 是二維離散餘弦轉換的效能比較。

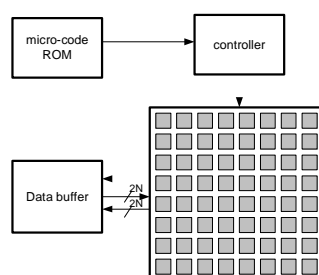


Fig. 1 系統架構

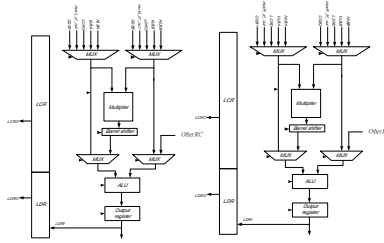


Fig. 2 可重組化單元

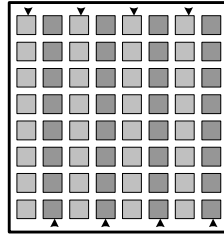


Fig. 3 split-ALU 架構

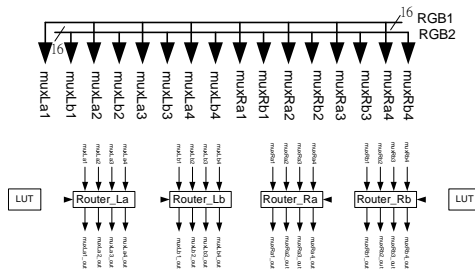


Fig. 4 內部網路架構

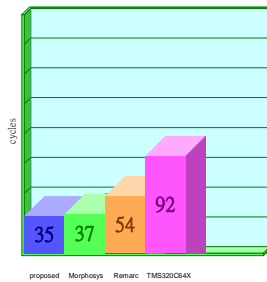


Fig. 5 二維離散餘弦處理的比較

■ 子計劃三 (陳良基)

可重組化多媒體運算引擎之設計與實現

本子計劃依照預定之進度，在模組架構、系統架構、系統分析與整合之研究方面，完成了各自的目標，詳列如下：

1. 模組架構

針對影像與視訊編碼系統中的兩個核心運算單元做可重組化運算之設計考量，分別是 Discrete Wavelet Transform (DWT)和 Discrete Cosine Transform (DCT)。首先分析在新興的影像與視訊編碼系統中 DWT 和 DCT 為了提供功能彈性度而在運算上所增加的複雜度，接著針對該運算提出有效率的設計方法以得到最佳化的可重組化運算架構，進而完成架構之 FPGA 雛形與驗證和晶片實現與測試。

A. Reconfigurable DWT Processor :

針對 DWT 運算提出了一個可重組化運算架構，可以在運算時間時動態重組 DWT 的轉換濾波器和分解型態，以提供新興的影像與視訊編碼系統足夠的功能彈性度。該架構已完成晶片實現，透過 CIC 下線且完成測試與驗證的工作。

B. Reconfigurable DCT Processor :

提出了一個能同時支援標準 2-D 8x8 DCT 以及 SA-DCT 演算法的可重組化運算架構，以成為 object-based 的視訊編碼系統中，DCT 相關運算的完整解決方案。該架構也已完成晶片實現，透過 CIC 下線且完成測試與驗證的工作。

2. 系統架構

提出一個開放式的可重組化多媒體運算系統平台架構，運用異種的平行式可重組化運算技術，使系統平台架構不但具有一般開放式系統平台的優點，平台上的功能方塊更可依據特定應用之需求，進行動態之系統架構重組，以達到更有彈性之功能。

3. 系統分析與整合

除了進行了各影像與視訊編碼系統的系統層次可重組化運算特性之分析以提供模組架構之設計參考外，我們另外也建立了 FPGA 模組與系統雛形環境以提供各影像與視訊編碼系統的整合設計與分析使用。

■ 子計劃四 (吳安宇)

可重組化通訊運算引擎之設計與實現

依據第一階段目標，我們將對各個模組做演算法上的分析，以期在演算法層層達成可重組化，並以設計空間搜尋方式，改進計算複雜度及節省記憶體空間/頻寬。目前業已完成目標如下：

1. Reed-Solomon FEC Codec:

- A. 根據不同的應用規格，訂出 RS 碼各項參數可調整範圍。
- B. 規劃出穩定的 RS 碼有限狀態機，以供其軟性核心所使用；並在硬體核心上設計管線式 (pipeline) 的架構以適用於高速之通訊系統。

2. IFFT/FFT 模組:

- A. 根據不同的應用規格，訂出 FFT 處理器的各項參數可調整範圍。
- B. 設計出一套能夠符合大部分規格之可程式化(64~2048-points)且低功率快速傅立葉轉換處理器。利用快取記憶體(Cached-Memory)架構，避免對記憶體作過量的存取動作，可以大幅降低消耗在記憶體中的功率消耗。
- C. 改良式延伸角度集向量旋轉器(EEAS-CORDIC)，達成有效率的實現。

3. Trellis-Coded Modulation Codec:

- A. 根據不同的應用規格，訂出維特比解碼器的各項參數可調整範圍。
- B. 推導重組態 FFT 處理器架構並設計各控制單元及控制單元與 Butterfly 單元之整合，及 Matlab 模擬。

■ 子計劃五 (張耀文)

可重組化系統之實體設計

這一年中，我們依照預定的規劃，完成了(1)三維平面規劃器和擺置器；(2)大型電路的切割器及繞線器；(3)將分析電源分佈網與壓降(IR Drop)整合至平面規劃步驟中。茲以規劃項目說明以上各項內容如下：

1. 可重組化電路的實體設計：

對於考量時間先後順序限制的平面規劃(floorplanning)和擺置(placement)，我們提出一個新的拓撲學上(topological)的平面規劃表示法：三維子遞移封閉圖(3-Dimensional sub-Transitive Closure Graph)來處理因為動態可重組程式閘陣列(DRFPGAs)而產生的三維平面規劃和擺置。實驗結果顯示我們以三維子遞移封閉圖為導向的演算法是非常便捷且有效率。

2. 各運算系統架構之各架構方塊的整合：

A.大型電路的切割器：我們使用 B*-tree 的表示法處理依序排列以及效能導向的電路擺放問題。我們提出第一個達到理論上最佳化的演算法，時間複雜度僅僅只有線性時間(linear time)。以 MCNC 為主的實驗數據，說明了我們的方法比起之前的方法有很明顯的進步。

B.大型電路的繞線器：我們提出一個可以同時考慮可繞度以及效能的多階層(multilevel)繞線器的架構。此架構包含兩個主要的步驟：粗糙化(coarsening)及反粗糙化(uncoarsening)。實驗結果證明，我們的架構比其他方法具有較好的繞線完成度。另外我們的繞線器也可使用比較少的繞線層數來達成 100%完成度。我們同時提出了以效能為導向的繞線器，也得到了不錯的成果。

3. 系統及系統匯流排設計電氣效應的模擬部分：

針對邏輯閘階層，我們提出一個在平面規劃步驟中，簡單且有效的計算分析電源分佈網與理想壓降。我們利用商業的佈局萃取(layout extraction)及電源分析(power analysis)軟體完成驗證。驗證結果顯示，我們提出的平面規劃階段的計算分析模型比較於佈局完成後元件之誤差在 15%以內。

■ 子計劃六（黃俊郎） 可重組化運算之測試設計

Microprocessor Self-Testing Technique:

In the area of microprocessor testing, we are interested in structural defect oriented self-testing program generation. Currently, we use the Parwan processor as the research vehicle.

Under the assumption that no Design-for-Testability hardware, e.g., scan design, is utilized, we first perform sequential test generation, using TetraMAX, to generate test sequences for the Parwan processor. Even though the processor itself is quite simple, the overall fault coverage is only 46%, which is unacceptable.

Then, we use the proposed test program generation technique to generate a test program for the ALU's stuck-at faults. First, combinational ATPG was performed on the ALU block to obtain the ALU test vectors. Note that we add some circuitry to the ALU's input part to ensure that the generated test patterns can be realized with instruction sequences. The ALU test patterns are then converted to a test program. To evaluate the test program's quality, we also implement a fault coverage evaluation

framework. The test program achieves 92.2% fault coverage in the ALU block, and 73.2% fault coverage in the whole Parwan processor, which shows that the proposed technique is promising.

We are currently working on test programs for other blocks. Then, we will study other processor cores, e.g., the RISC 8 core and the CMU DSP core, to gain more experience.

三、結論

本整合型計畫在第一個年度中，各個子計劃皆已順利完成預定之目標，在接下來的年度中，將繼續朝著預定的目標，針對可重組化運算研究領域之相關核心技术進行研究，並以多媒體通訊應用作為系統整合平台的發展目標。