

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 子計劃四：可重組化通訊運算引擎的設計與實現(1/3)

計畫類別：整合型計畫

計畫編號：NSC91-2215-E-002-044-

執行期間：91年08月01日至92年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：吳安宇

報告類型：精簡報告

處理方式：本計畫可公開查詢

中 華 民 國 92 年 6 月 2 日

多媒體通訊系統中可重組化運算技術之研究—子計畫四：可重組化通訊運算引擎之設計與實現(1/3)

"Design and Implementation of Reconfigurable Communication Engine"

計畫編號：NSC 91-2215-E-002-044

執行期限：91/08/01 ~ 92/07/31

主持人：吳安宇 副教授 Email: [andywu@cc.ee.ntu.edu.tw](mailto:andywu@cc.ee.ntu.edu.tw)

執行機構：國立台灣大學電子工程研究所

## 一、 中文摘要

隨著 2G/2.5G/3G 高速通訊時代來臨，多標準/多模式共存 (Multi Standard/Multi Mode) 和單一標準多模式 (Multi-Mode in Single Standard) 的通訊系統已成為一種趨勢，以便能夠提供各種不同的通訊傳輸服務。目前通訊 IC 多以數位訊號處理器為解決方式，但通常 DSP 的執行速度並無法因應高速傳輸之要求。另一方面，傳統上大多數特定功能積體電路的設計並不能動態改變模組的功能以因應通訊系統規格改變，且設計相當費時、所費成本高昂。在本計劃中，我們提出所謂可重組化通訊引擎 (Reconfigurable Communication Engine)，這是一種可重組化 (Reconfigurable Computing, RC) 的硬體架構，可隨著不同通訊系統格規的改變，將硬體動態重組，達到符合系統規格要求。我們將針對通訊系統中常用的模組，如維特比解碼器 (Viterbi Decoder)、里德所羅門的編碼、解碼器 (Reed-Solomon Encoder/Decoder) 及快速傅立葉轉換處理器 (Fast Fourier Transform, FFT)，在演算法上作分析，期能在演算法階層改進演算的複雜度，並將每個模組分為硬體核心 (Hardcore) 和軟體核心 (Softcore)。硬體核心為固定的資料路徑，故硬體線路所需的面積、計算所花的時間和功率的消耗皆為可預期和可控制。軟體核心則依可重組化設計的觀念，經由控制器規劃控制，依照不同系統規格的改變，動態調整模組中硬體核心，使整個模組符合系統需求，並使整個模組可具有高速度、低功率、可擴充性和可攜性。

## 二、 英文摘要

With the advent of the 2G/2.5G/3G high-speed telecommunication, the communication system of multi-standard / multi-mode and the multi-mode in single standard has become a trend as to offer a variety of communication services. On the one hand, DSP (Digital Signal Processing) is often the solution to the design of communication ICs at present. The processing speed of most DSP, however, is not fast enough to handle the great deal of transmitted data in high-speed telecommunication systems. On the other hand, the ASIC designs, in general, can not dynamically adjust the function of modules to maintain the required performance. When the specifications of the system change, it will take a lot of costs and time to redesign the IC circuits. In the project, we propose a novel architecture of communication system to achieve the best balance between the design cost and the functions

of transceiver. This architecture is called *Reconfigurable Communication Engine (RCE)*, which can dynamically adjust the functions of modules to meet the altered specifications of the system. We plan to adopt the commonly used modules in communication systems, such as Viterbi decoder, Reed Solomon encoder/decoder, and Fast Fourier Transform (FFT) processor. We will make a detail analysis at algorithm level to reduce the complexity. There are two main cores in each module, including Hardcore and Softcore. The Data path is fixed in the hardcore so that the area, processing speed, and power consumption of modules are expectable and controllable. The conception of the reconfigurable computing is introduced in the softcore design. According to the change of system specifications, we can dynamically adjust the hardcore of modules by controller so as to meet the system requirement. The target design has the property of high speed, low power consumption, scalability, and portability.

### 三、 計畫緣由與目的

近年來通訊蓬勃的發展，通訊標準朝向單一標準多模式 (Multi-Mode in Single Standard)，如可調速 (Rate-adaptive) 有線非同步數位用戶專線 (Asymmetric Digital Subscriber Line, ADSL) 和無線通訊 802.11a 標準；或多標準/多模式共存 (Multi Standard/Multi Mode)，如無線通訊 2G/2.5G/3G 標準。故通訊上的 IC 設計不能只作單一組態的功能模組設計，須朝向多組態的功態模組設計。本計劃中，我們研究的重點是，提出不再只是單一功能 (Functional) 的通訊模組，而是能依照不同的系統規格重新組態硬體，達成整合硬體和軟體，使軟、硬體能夠一同運作，達到相輔相成的功效。我們的研究目標為運用可重組化硬體設計概念，使硬體不但有著可擴充性、高效能及低功耗，同時也兼具軟體般的智慧，達到單一硬體多功能的目的。

### 四、 研究方法與成果

在這個子計畫中，首先我們將對各個模組做演算法上的分析，以期在演算法階層達成可重組化，並以設計空間搜尋(Design Space Exploration)方式，改進計算複雜度及節省記憶體空間/頻寬。

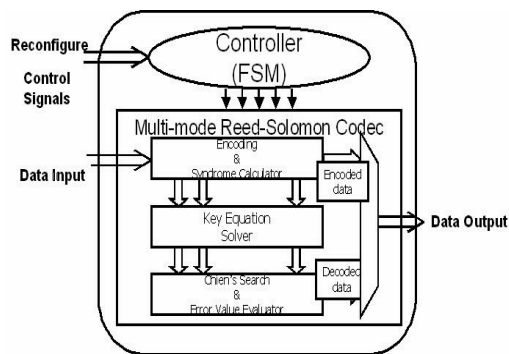
#### ● Reed-Solomon FEC Codec

我們提出了一個符合多重通訊系統規格之可重設組態多模式 RS(n, k, t) 架構 [6]，其錯誤的更正能力  $0 \leq t \leq 8$ ，可變的碼字(codeword)為  $0 \leq n \leq 255$ ，其完整架構如圖一所示。此種設計最大的優點乃在於縮短重新設計不同規格 RS codec 的時程，以達到 IP reuse 及快速離型設計(rapid prototyping)的目的。

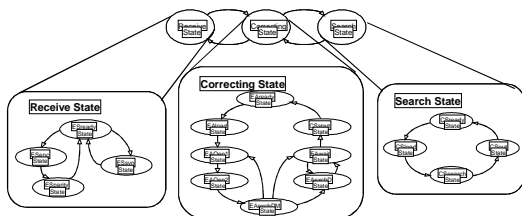
在我們所提出的 RS 架構中，主要分為可重設控制單元(CCU)和高效能資料處理單元(FDU)兩部份。在 CCU 裡，輸入參數 n、k、t 的值，利用 Finite State Machine (FSM) 產生控制訊號來控制 FDU 中的編碼、解碼運算單元。CCU 示意圖如圖二所示。

在 FDU，RS 編碼器是以  $a(x)$ -based 來作設計，其相較於  $g(x)$ -based 而言，具有較佳的規律性，與解碼器中的 syndrome calculator 可以達到硬體共享(hardware sharing)的功用。因此較適合來作可重設性電路的設計。

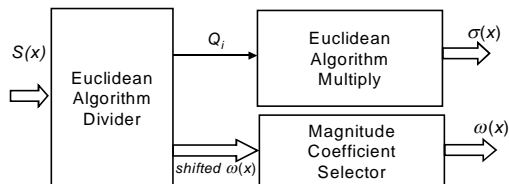
致於 RS 解碼器的部份，我們選擇使用 Euclidean GCD Algorithm 來解 key equation，此架構主要分為 Euclidean Algorithm Divider、Euclidean Algorithm Multiply 及 Magnitude Coefficient Selector 三個部份，如圖三 所示。由於此演算法採用的是疊代(iterative)的解碼方式，因此其錯誤更正能力彈性較大。如此較能符合我們所提出的可重設組態多模式 RS 架構。



圖一、可重設組態多模式 RS 架構



圖二、可重設控制單元



圖三、RS 解碼器架構圖

## ● IFFT/FFT 模組

### 1. 可程式化快速傅立葉轉換架構

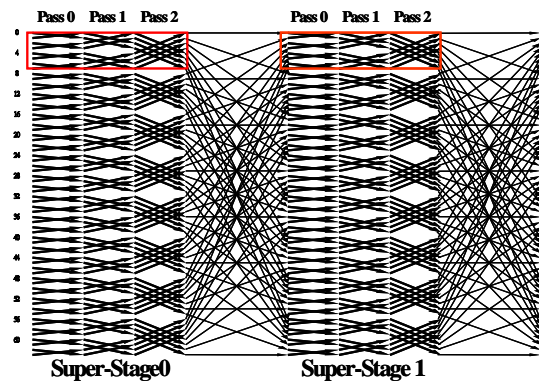
我們針對表一設計出一套能夠符合大部分規格之可程式化(64~2048-point)且低功率快速傅立葉轉換處理器。依據[2]中，利用快取記憶體(Cached-Memory)架構，我們可

以大幅降低消耗在記憶體中的功率消耗。圖四顯示此架構之資料流程，傳統上要執行3階段(Pass1, Pass2, Pass3)的存取過程被合併成由1個超級階段(Super-Stage)來完成，把過程中所需的資料先行儲存在快取記憶體，如此可避免對記憶體作過量的存取動作。圖五為完整的可程式化(64~2048-points)快速傅立葉轉換處理器架構。

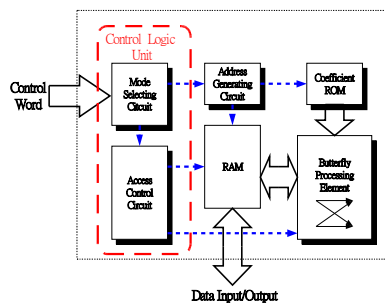
根據[2]，可以利用忽略最低位元項(LSB)的技巧，以達到較低點數 FFT/IFFT 的記憶體位址可以與較高點數 FFT/IFFT 的記憶體位址共用的目的。

Application	FFT/IFFT Size	Frequency spacing	$T_{FFT}$
WLAN	64	0.3125 MHz	3.2 us
ADSL	2x256	4.3125 KHz	231 us
VDSL	$2 \times 256 \times 2^n, n=0:4$	4.3125 KHz	231 us
DAB	$256 \times 2^n, n=0:3$	$4.065 \times 2^n$ KHz	$31 \times 2^n$ us
DVB-T	8192/2048	1.116/4.46 KHz	896/224 us

表一、FFT/IFFT 處理器在各種 OFDM 應用系統之規格要求



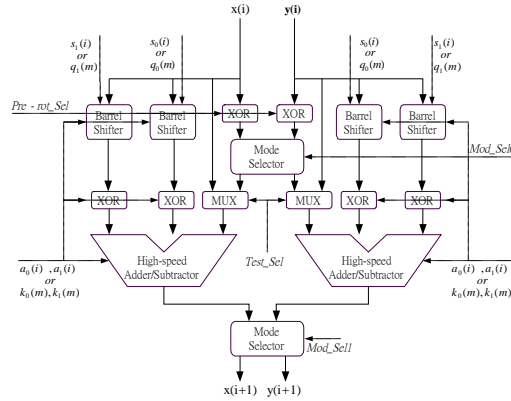
圖四、改良的平行格時間遞迴架構。



圖五、可程式化(64~2048-point)傅立葉轉換架構圖

## 2. 改良式向量旋轉器核心

遞迴式傅立葉轉換模組的核心是一旋轉器，我們可利用精簡數位座標旋轉計算器[3]，來取代四個乘法器與兩個加法器龐大面積。我們提出了改良式延伸角度集向量旋轉器(EEAS-CORDIC)，達成有效率的實現。圖六為數位座標旋轉計算器的架構圖，我們加入了一些參數序列排序(parameter sequence arrangement)的方法來加快電路的速度。



圖六、數位座標旋轉計算器架構圖

● Trellis-Coded Modulation Codec

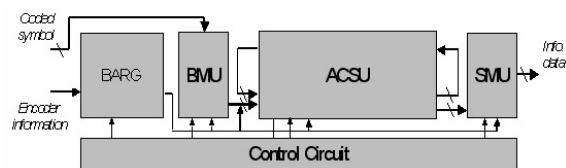
在 TCM 迴旋碼解碼器的設計中，使用最大相似演算法的唯特比解碼器已被廣泛地使用。然而在不同的應用中，不同的參數往往導致在唯特比解碼器時，必須重頭來過，使得設計的過程耗時又耗力。因此我們提出一個可規劃式的唯特比解碼器，希望只需更改

模組間的控制電路，便可應用到不同規格的设计上；如圖七，我們加上一個稱為 BARG(BM-to-ACS Routing Generator)的模組，利用改變傳統唯特比解碼器中 BMU 和 ACS 之間的一些

線路更動和加上適當的邏輯電路，即可適用於不同參數之應用。

然而，和傳統的唯特比解碼器一樣，BMU、ACSU、SMU 等三個模組亦為設計上重要的考量[4]；其中在 BMU 裡，我們採用 soft decision 的方式來計算其值，這樣一來可以較使用 hard decision 的方式得到 2.2dB 的編碼增益值；而在 ACSU 這個模組裡，處理單元(PE)的數目將會影響其面積、速度等；我們在比較了各種方法之後(如圖八)，採取較平行處理、適合高速運作的方式，即該表中的“Full PEs”方法。最後是 SMU 模組的設計[5]，這裡的重點是在於資料在記憶體存取、運作的方式，調查所得的各項方法如圖九所示，我們採取的是 One-P 的方法。

在決定了各個模組的實現方法之後，我們使用 Matlab 來做功能上的驗證。我們以一個參數為(2,1,5)的迴旋碼為例，可以得到下表的模擬結果，圖十確認其結果為正確的。



圖七、可規劃式唯特比解碼器架構

	Single PE	Full PEs		$N_s$ PEs	
			One-Time Step	In place	FFT Structure
Routing	Medium	Medium	Medium	Complex	Simple
Path Memory	$2^*N*B$	$N*B$	$(2N-2^*B)*B$	$N*B$	$(2N-2^*B)*B$
PE Using Percentage	100%	100%	100%	100%	50%
Through-put Rate	$2/N$	1	$2N_s/N$	$2N_s/N$	$2N_s/N$
Area ratio	1	$N/2$	$N_s$	$N_s$	$N_s$

圖八、處理單元數目對 ACSU 的影響

Method	Reg. Exch.	Traceback			Trace-Forward	Sliding Windows	Hybrid RE & TB
		One-P	k-P even	k-P odd			
Memory size	$D^*N$	$\frac{k+1}{k-1}DN$	$\frac{2k}{k-1}DN$	$\frac{2k-1}{k-1}DN$	$2^*D^*N+N^*m$	$D^*N$	$D^*N+L^*N$
Type of cell required	Dual-port + mux + wiring	Single-port SRAM					SRAM + DP + mux + wiring
Idency	$D$	$\frac{k+1}{k-1}D$	$\frac{2k}{k-1}D$	$\frac{2k-1}{k-1}D$	$2D$	$D^*$	$D+L+DL$
Write Bandwidth	$D^*N$		$N$		$N$	$N/D$	$L^*N+N$
Read Bandwidth	$D^*N$		$k$		1	1	$L^*N+N$
Total	$D^*2N$		$k^*N=N$		$L^*N=N$	$L^*N/D$	$2(L+1)^*N$
Others	Large power consumption	Single addressing	k+1 point 1-directional addressing	k+1 point Bi-directional addressing	When k=3 in TB, TF's latency is short than TB's		Suitable for processor approach

$N$ : number of PEs  $D$ : trace back depth  $k$ : memory bank - 1  $L$ : state width

圖九、SMU 的不同實現方法比較

```

Circle 1
input: 0 0 1 0 0 0 0 1 0 1 1 1 1 1 0 1 0 1 0 1 0 1 1 1 1 1
output: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
memory: 10 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

Circle 2
input: 1 0 0 0 0 0 0 1 1 0 1 0 0 0 0 0 0 1 0 0 0 0 0 0 1 0 0
output: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
memory: 00 00 00 10 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 11 10

Circle 3
input: 1 1 0 0 0 1 0 0 0 1 0 1 1 1 1 0 0 0 0 0 0 1 1 1 0 0 1 0
output: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
memory: 01 01 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

Circle 4
input: 1 1 0 0 0 1 1 0 0 1 1 0 1 1 1 1 0 0 1 1 0 1 1 1 1 1 0 1
output: 0 0 1 0 0 0 0 0 1 0 1 1 1 1 1 0 1 0 1 0 1 0 1 1 1 1 1
memory: 00 00 01 10 00 00 01 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 10

Circle 5
input: 1 1 1 1 1 1 1 0 1 1 0 1 1 1 1 0 1 0 1 1 1 1 1 1 1 0 1 1 0
output: 1 0 0 0 0 0 0 1 1 0 1 0 0 0 0 0 1 0 0 1 1 0 0 1 0 0
memory: 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00 00

```

圖十、Matlab 模擬結果

## 五、 結論與討論

本子計劃已達成第一年預定之目標，甚至在唯特比解碼器上完成 matlab 模擬。接著將著手去第二年預設目標。預計完成 C/matlab 語言驗證各 RC DSP 模組無限精準度下之功能與運作分析及各子模組在有限精準度下，各資料路徑所需之精準度，接著使用 Verilog 程式語言實現各 RC DSP 模組之設計

## 六、 參考文獻

- [1] K. Sistanizadeh, P. Chow, and J. M. Cioffi, "Multi-tone transmission for asymmetric digital subscriber lines (ADSL)," in *Proc. ICC '93*, pp. II.756-760, 1993.
- [2] B.M. Bass, "A Low-Power High Performance, 1024-point FFT processor," *IEEE J. of Solid- State Circuit*, vol. 34, no.3, pp. 380-387, Mar 1999.
- [3] C.S. Wu and A. Y. Wu, "A novel rotational VLSI architecture based on extend elementary-angle set CORDIC

- algorithm,” in *Proc. IEEE 2<sup>nd</sup> Asia Pacific Conference on ASICs, (Cheju, Korea)*, pp. 111-114, 2000.
- [4] H. L. Lou, “Implementing the Viterbi algorithm,” in *IEEE Signal Processing Mag.*, vol. 12, no.5, pp. 42-52, Sept. 1995.
- [5] G. Feygin and P. G. Gulak, “Survivor sequence memory management in Viterbi decoders,” in *IEEE Trans. on Communication*, vol. 41, no.3, pp. 425-429, Mar.1993.
- [6] H. Lee, M.L. Yu, and L. Song, “VLSI Design of Reed-Solomon Decoder Architecture,” *ISCAS 2000 Proceedings Circuits and Systems*, pp. v-705-708, 2000.
- [7] J. C. Huang, C. M. Wu, M. D. Shieh, and C. H Wu, “An Area-Efficient Versatile Reed-Solomon Decoder for ADSL,” *Circuits and Systems, 1999. ISCAS '99*, pp. 517-520, vol. 1, 1999.