

附件

行政院國家科學委員會補助專題研究計畫

其中進度報告
成果報告

百億位元的乙太網路系統晶片設計

計畫類別：個別型計畫 整合型計畫

計畫編號：NSC 91-2218-E-002-022

執行期間：91 年 8 月 1 日至 92 年 7 月 31 日

計畫主持人：劉深淵

共同主持人：曹恆偉、李泰成、吳安宇

計畫參與人員：陳鴻鈞、胡思全、羅啟倫、張鎔諭、李勝洲、趙冠華、王廷元、黃崇禧、蘇德龍、許文吉、曹盛煌、陳昱勳、蔡明宏、陳平、沈文中、張龍豪、柯鴻洋、

成果報告類型(依經費核定清單規定繳交)：精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

執行單位：

中 華 民 國 92 年 7 月 31 日

行政院國家科學委員會電信國家型研究計畫成果報告
總計畫：百億位元的乙太網路系統晶片設計(1/3)
子計畫二：百億位元的乙太網路傳送機設計 (1/3)
計畫編號：NSC 91-2218-E-002-024
執行期限：91年8月1日至92年7月31日
總計畫主持人：劉深淵教授 台灣大學電機工程研究所
子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、摘要

乙太網路因有著成熟的基礎架構，所以，在百億位元的區域網路將會是乙太網路所主導。由於乙太網路是以低成本為主要考量，所以在 IEEE802.3ae ver3.3 的最新版標準中的 10GBase-LX4 將會是再下一代乙太網路扮演主要角色。10GBase-LX4 使用低成本的雷射二極體，光學二極體及多模或單模光纖作為光通訊的媒介。在同時我們利用電路的技術解決這些低成本元件造成的通訊的障礙，如抖動，inter-symbol interference (ISI) 的問題。

本計畫將以 CMOS 之積體電路，用以實現百億位元的乙太網路電路，在傳輸模型上建立光/電介面信號傳輸模型，並於傳送機中使用上升速率控制器與阻抗調整器減少雜訊，在接收機中使用高速等化器與時序/資料還原電路，系統中亦包含高速數位訊號處理器高速（可調式）的等化器、平行化前饋錯誤修正的電路。所有子電路部份最終將實現電路之整合性，進行積體電路之佈局及晶片製造，最後測試並配合完成系統之整合。

關鍵詞：平行化前饋錯誤修正的電路、上升速率控制器、阻抗調整器、高速（可調式）等化器、時序/資料還原電路。

二、前言

隨著區域網路(Local Area Network, LAN)和近來的都會區域網路(Metropolitan Area Network, MAN) 上的大量資料傳送及每七年 50-200 倍的頻寬需求量的增加，區域網路的頻寬需求已從現在

10Kb/s、100Kb/s 到下一代 1Gb/s 且很快將進入 10Gb/s。網路架構隨著高速發展趨勢，在 10Gb/s 的區域網路將會是乙太網路所主導。由於乙太網路是以低成本為主要考量，所以在 IEEE802.3ae ver.3.3 的最新版標準中的 10GBase-LX4 將會是再下一代 Ethernet 扮演主要角色。在同時我們利用電路的技術解決這些低成本元件造成的通訊的障礙，如抖動 (Jitter)，inter-symbol interference (ISI) 的問題。10GBase-LX4 除了有很多研究的挑戰，其成果更有著巨大的商機及潛力。本計劃的技術指標如下：

1. 10GBase-LX4 設計方法
2. 光通訊系統的應用
3. 系統單晶片的可行性與 10GBase-LX4 特性的調查

三、研究目的

目前進行高速傳輸網路系統設計遭遇的困難仍亟待突破，面對的問題如下：

1. 整合模擬：欲以合理的計算量來準確評估系統特性，必須針對各光元件、電路方塊等建立簡化而又不致產生過大誤差的 behavior model。
2. 性能評估：以 Monte Carlo 方式來擬低誤碼率是非常困難的工作，而系統中很多干擾與雜訊並非高斯分佈，使用常用的近似方法也並不一定準確。此外光元件或電路中很多非理想的特性並沒有簡單的模型可供預測(例如：製程的差異、電路佈局的方式…等)，所以必須適當地結合模擬與硬體量測才可能得到較

佳開發高頻的雷射驅動電路的上升速率及阻抗匹配電路。

3. 高頻量測技術的經驗不足。
4. 高頻電路設計的經驗不足。
5. 混合積體電路的佈局、連線與noise的問題。
6. 測試設備與軟體之不足。
7. 高頻元件的參數模型的不準確性。
8. 測試及先進製程取得的困難。

而我們將透過以下的方法，將設計與測試的平台加以建立：

1. 收集相關資料，加以分析與研讀。
2. 透過和各子計劃研究，制訂各子電路的詳細規劃。
3. 購買量測所需之儀器與相關 CAD 軟體。
4. 利用 CIC 製作各種不同電感，並加以量測來得出一些 empirical equations，同時利用高頻模擬軟體來驗證理論。

四、採用方法

1. 子計劃一：百億位元乙太網路傳輸模型及系統架構設計
 - (1) 建立光信號傳輸模型
 - a. 大信號(數位)雷射調變模型。
 - b. 光纖傳輸模型。
 - (2) 建立光/電介面信號傳輸模型。
 - (3) 協助訂定系統中各電路方塊的規格
 - (4) 其他 10 GbE 傳輸方式的研究
2. 子計劃二：百億位元的乙太網路傳送機設計
 - (1) 收集相關資料，加以分析與研讀。
 - (2) 透過和各子計劃研究，製定各子電路的詳細規劃
 - (3) 測所需之儀器與相關 CAD 軟體。
 - (4) 實現各式電路之整合性全積體化晶

片。進行積體電路之佈局及晶片製造,最後測試並配合完成系統之整合。

3. 子計劃三：超高速類比訊號處理器之設計
 - (1) 以 CMOS 之積體電路製程為主要的電路架構，以實現用於百億位元的乙太網路之高速類比信號處理機
 - (2) 高速（可調式）的等化器、時序/資料還原的電路。實現各式電路之整合性全積體化晶片，進行積體電路之佈局及晶片製造，最後測試並完成系統之整合。
4. 子計劃四：適用於高速光通訊之數位基頻電路設計
 - (1) 高速（可調式）的等化器、平行化前饋錯誤修正的電路。實現各式電路之整合性，進行積體電路之佈局及晶片製造，最後完成基頻系統之整合。
 - (2) CMOS 的技術已足夠成熟可用於 GHz/Gbit 電路，0.18 μ m 或更佳的製程適用本計劃的高速電路。
 - (3) 全數位化的基頻電路可降低功率，減少成本及增加附加價值。

五、進行步驟

本計劃預計三年完成，各子計劃將在計劃之第一、二年分別執行，最後於第三年做系統整合。在第一年(91/8/1 - 92/7/31)我們預定從事標準研讀及各子計劃系統及界面規格的訂定、進而進入系統設計及模擬、及建立 1.3-微米雷射多模光纖傳輸通道的模型、高頻電路技術之研究。

1. 子計畫一：百億位元乙太網路傳輸模型及系統架構設計
 - (1) 研讀 IEEE 802.3ae 標準(或標準草案)

中有關 10 GbE 實體層(PHY)的光、電規格,特別偏重 10 Gbase-LX4 之傳輸方式(CWDM)。

- (2) 在適當的軟體環境中,建立 1.3 μm 頻段,CWDM 傳輸用多模 FP 及雙模 DFB(uncooled)雷射二極體(LD)之 TLLM 模型,並利用(TLLM=Transmission Line Laser Model)此模型探討 LD 之大信號調變特性。

2. 子計畫二：百億位元乙太網路傳送機設計

- (1) 光傳送機架構之研討。
- (2) 光傳送機規格訂定。
- (3) 子電路之研究與驗證。
- (4) 傳送機系統架構模擬。
- (5) 高頻 CMOS 電路設計技術探討。
- (6) 類比電路實作考量研究。

3. 子計畫三：超高速類比訊號處理器之設計

- (1) 光接收機架構之研討。
- (2) 光接收機規格訂定。
- (3) 子電路之研究與驗證。
- (4) 接收機系統架構模擬。
- (5) 高頻 CMOS 電路設計技術探討。
- (6) 類比電路實作考量研究。

4. 子計畫四：適用於高速光通訊之數位基頻電路設計

- (1) 高速 Adaptive DFE 架構設計及模擬驗證。
- (2) 高速 MLSE 架構設計及模擬驗證。
- (3) 高速 BCH 及 RS(255,239)之架構設計及模擬驗證。
- (4) 高速 16/64ways Interleaver/deinterleaver 架構設計及模擬驗證

六、第一年成果

1. 論文發表

- (1) San-Liang Lee, Ching-Yun Chien, Hen-Wai Tsao, Jingshown Wu, "Practical Considerations of Using Tunable Lasers for Packet Routing in Multiwavelength Optical Networks," ONCM03
- (2) Y.-J. Lin and S.-L. Lee, "Four channel coarse wavelength division multiplexing demultiplexer with a modified Mach-Zehnder Interferometer configuration on silicon-on-insulator waveguide," *Applied Optics*, vol.42, no.15, pp.2689-2694, 2003.
- (3) Der-Long Su, San-Liang Lee, and Hen-Wai Tsao, "Design of transceiver circuits for 10 Gigabit Ethernet applications," submitted to OPT-2003
- (4) Wei-Hsuan Tu, Jyh-Yih Yeh, Hung-Chieh Tsai, and Chorng-Kuang Wang, "A clock and data recovery circuit with improved jitter performance for 10GBASE- LX4 Ethernet", Proceedings of the 14th VLSI Design /CAD Symposium, pp. 73-76, Aug. 2003.
- (5) Hung-Chieh Tsai, Jyh-Yih Yeh, Wei-Hsuan Tu, and Chorng-Kuang Wang, "3.125Gb/s Limiting Amplifier with Low AM to PM Conversion", Proceedings of the 14th VLSI Design/CAD Symposium, pp. 277-280, Aug. 2003.
- (6) Chih-Chun Tang and Shen-Iuan Liu, "A 1V 5.8GHz low noise amplifier in a 0.35 μm standard CMOS process", *Journal of the Chinese Institute of Electrical Engineering, Series E*, vol. 9, No. 4, pp. 395-400, Nov. 2002.
- (7) Hsiang-Hui Chang, Jyh-Woei Lin, and Shen-Iuan Liu, "A fast locking and low jitter delay-locked loop using DHDL", *IEEE Journal of Solid-State Circuits*, SC-38, pp. 343-346, Feb. 2003.
- (8) Shr-Lung Chen, Chien-Hung Kuo and Shen-Iuan Liu, "CMOS Magnetic Field to Frequency

Converter", IEEE Sensors Journal, vol. 3, pp. 241-245, April 2003.

- (9) Chia-Hsin Wu, Chih-Chun Tang, and Shen-Iuan Liu, "Analysis of on-chip spiral inductors using the distributed capacitance model", *IEEE Journal of Solid-State Circuits*, SC-38, pp. 1040-1044, June 2003.
- (10) Chia-Hsin Wu, Chih-Chun Tang, Kun-Hsien Li and Shen-Iuan Liu, "CMOS 2.4-GHz receiver front end with area-efficient inductors and digitally calibrated 90° delay network", accepted by IEE Proceedings of Circuits, Devices and Systems, 2003.
- (11) Chia-Hsin Wu, Chih-Chun Tang, and Shen-Iuan Liu, "Image rejection relaxed 5GHz CMOS receiver front-end", 2002 VLSI/CAD, Taiwan, pp. 47-50, Aug. 2002.
- (12) Hsiang-Hui Chang, Chih-Hao Sun, and Shen-Iuan Liu, "A Low Jitter and Precise Multiphase Delay-Locked Loop Using Shifted Averaging VCDL", in *ISSCC Dig. Tech. Papers*, pp. 434-435, Feb. 2003.
- (13) Chia-Hsin Wu, Chun-Yi Kuo, and Shen-Iuan Liu, "Selective Metal Parallel Shunting Inductor and Its VCO Application", in *Symp. VLSI Circuits Dig. Tech. Papers*, pp.37-40, June 2003.
- (14) Hsiang-Hui Chang, Chih-Hao Sun, and Shen-Iuan Liu, "Low Jitter Butterworth Delay-Locked Loops", in *Symp. VLSI Circuits Dig. Tech. Papers*, pp.177-180, June 2003.
- (15) D.L. Shen and T.C. Lee, "A reconfigurable analog-to-digital converter for dual-standard (GSM/WCDMA) wireless applications," The 14th VLSI Design/CAD Symposium, Session B2, pp. 197-200, Aug. 2003.

2. 各子計畫預期計劃成果

第一年：

1. 子計畫一：百億位元乙太網路傳輸模

型及系統架構設計

(1) 研讀 IEEE 802.3ae 標準(或標準草案) 中有關 10 GbE 實體層(PHY)的光、電規格,特別偏重 10 Gbase-LX4 之傳輸方式(CWDM)。

(2) 在適當的軟體環境中,建立 1.3 μm 頻段,CWDM 傳輸用多模 FP 及雙模 DFB(uncooled)雷射二極體(LD)之 TLLM 模型,並利用(TLLM= Transmission Line Laser Model)此模型探討 LD 之大信號調變特性。

(3) 結合多模(62.5 μm 及 50 μm)光纖的傳輸特性,建立 10 GBase-LX4 之光通道(不含光/電介面)傳輸模型。

(4) 結合單模(10 μm Core)光纖的傳輸特性,建立 10 GBase-LX4 之長距離(10 Km)之光通道(不含光/電介面)傳輸模型。

(5) 研讀 LD 驅動電路及檢光二極體(PD)及轉阻放大電路(TIA)的文獻,建立電/光介面(TX 端)及光/電介面(RX 端)的電路及 behavior 模型。

3. 子計畫二：百億位元乙太網路傳送機設計

(1) 光傳送機架構之研討。

(2) 光傳送機規格訂定。

(3) 各子電路之研究與驗證。

(4) 傳送機系統架構模擬。

(5) 高頻 CMOS 電路設計技術探討。

(6) 類比電路實作考量研究

3. 子計畫三：超高速類比訊號處理器之設計

(1) 10Gb/s 光接收機 VLSI 系統架構設計。

(2) 分析與模擬各式高頻類比電路之特性與評估。

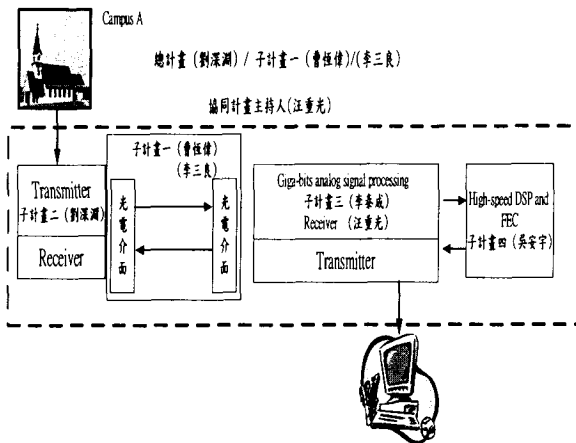
(3) 寬頻電感的佈局、模擬、測試及模型

的建立。

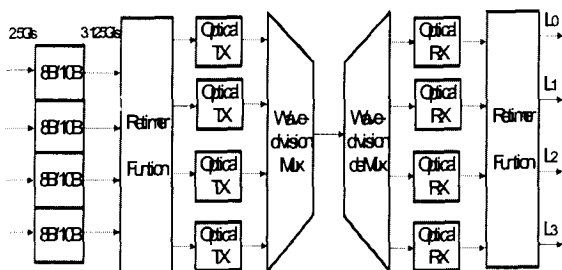
4. 子計畫四：適用於高速光通訊之數位基頻電路設計

- (1) 高速 Adaptive DFE 架構設計及模擬驗證。
- (2) 高速 MLSE 架構設計及模擬驗證。
- (3) 高速 BCH 及 RS(255,239)之架構設計及模擬驗證。
- (4) 高速 16/64ways Interleaver/deinterleaver 架構設計及模擬驗證。

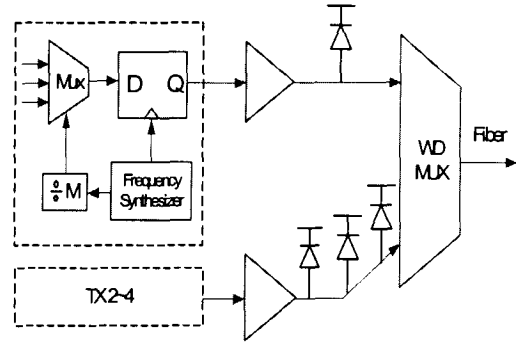
圖一到圖五分別總計劃及各子計劃系統架構圖，詳細實現方法，請參見各子計劃報告書。



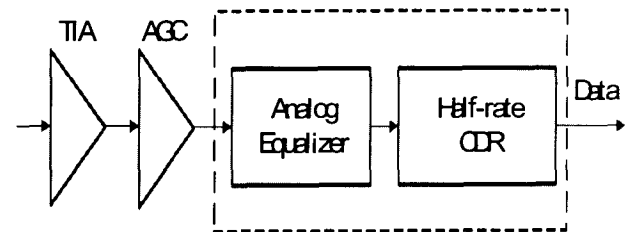
圖一 總計劃-百億位元乙太網路的系統 (劉深淵)



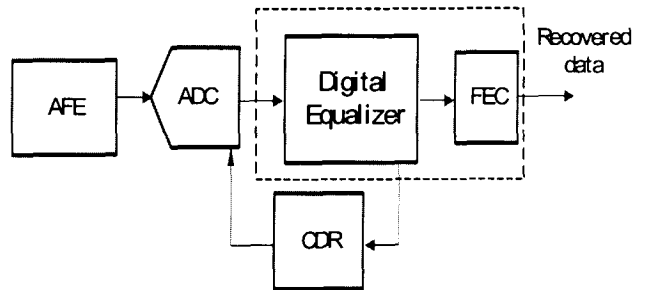
圖二 子計畫一-百億位元乙太網路傳輸模型及系統架構設計 (曹恆偉)



圖三 子計畫二-百億位元的乙太網路傳送機設計 (劉深淵)



圖四 子計畫三-超高速類比訊號處理器設計 (李泰成)



圖五 子計畫四-適用於高速光通訊之數位基頻電路設計(吳安宇)

七、子計畫成果簡述

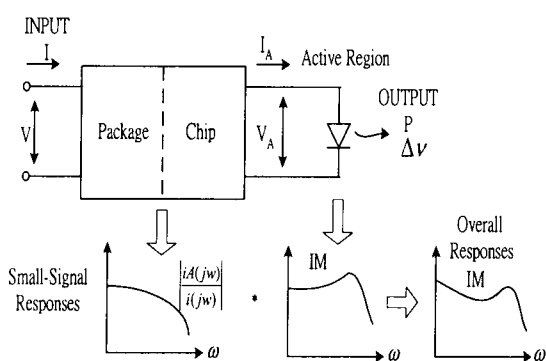
1. 子計畫一：百億位元乙太網路傳輸模型及系統架構設計

(1) 建立光發射機的驅動電路和雷射之等效模型

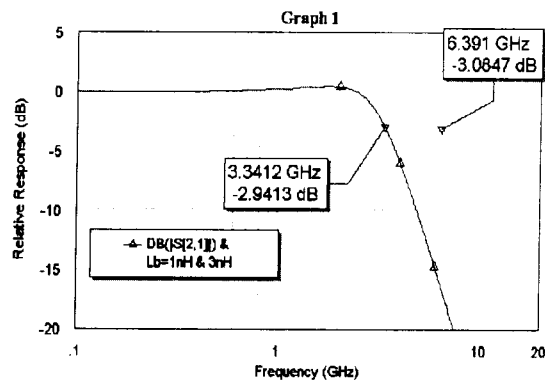
在光發射機的模擬方面，可以利用雙埠模型(Two port model)建立的高頻模組，由雷射的主動區一直往外分析到雷射驅動電路。將整個雷射調變的基本雙端網路分成三個部分(如

圖六)。第一部分是雷射主動區之等效電路，其頻率響應類似於一個二階濾波器；另一部分則是由雷射晶片與封裝寄生效應所組成的低通濾波電路，一般把此電路稱雷射輸入電路；最後則是雷射驅動端等效電路。由於雷射是一個電光轉換的元件，為了能建立正確的雙埠網路架構以利頻率響應之分析，可利用控制電源並設定適當的參數來達成。雷射主動區等效電路之頻率響應與弛張共振頻率有關，因為弛張共振頻率可以直接經由量測雷射雜訊強度得到，可以參照實驗結果調整參數，使等效電路更趨近於實際情況。

由模擬結果得知，影響光發射機頻寬的關鍵為雷射晶片頻寬、打線產生的電感、及雷射驅動電路的雜散電容值。前者必須透過設計雷射材料與雷射結構以設法提高，後兩者必須藉由改善封裝技術來達成。圖七所示為模擬所得打線產生的電感及雷射驅動電路的雜散電容值對發射機頻寬的影響。



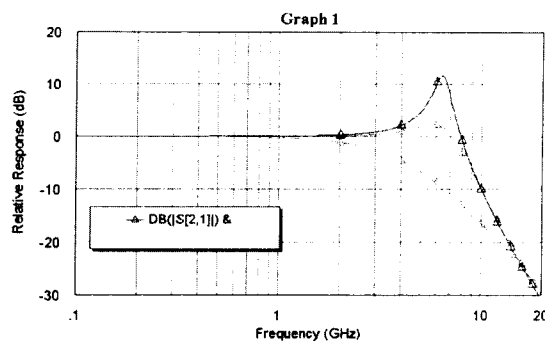
圖六 基本雷射調變的雙埠網路模型與各部份之頻率響應



(一)

(2) 光接收機的檢光器之等效模型

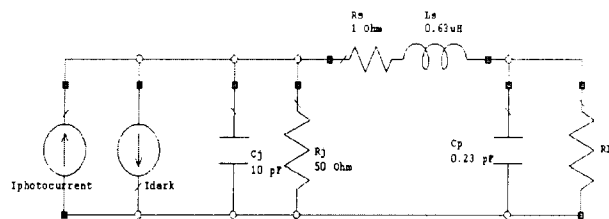
為了設計光接收機之電路，須先建立



(二)

圖七 打線產生的電感(一)及雷射驅動電路的雜散電容值(二)對發射機頻寬的影響。

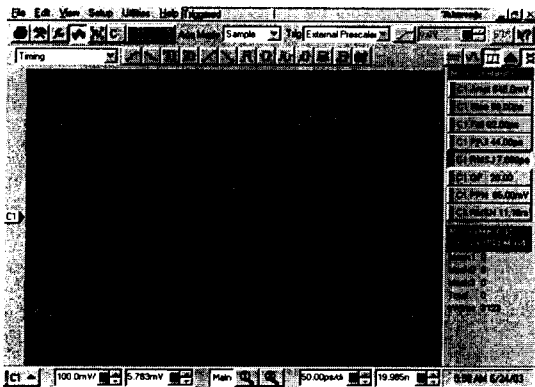
立檢光器之等效電路模型，以利整體電路之分析模擬。所獲得等效模型如圖八所示，包括界面電容、雜散電阻和電感等元件。



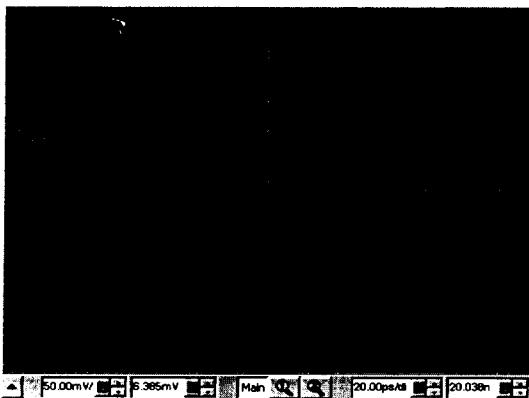
圖八 檢光器之等效模型

(3) 光發射接收機設計技巧與實作

成功製作四通道符合 LX4 標準的 10GbE 發射接收機，由眼型圖(圖九)證實可符合規格，且其波形可印證模擬結果之正確；而由誤碼率量測得知接收機的靈敏度優於-20dBm。也同時試做 10Gbps 的發射接收機，接收機之響應可符合規格，然而光發射機部分則不盡理想，須從改善阻抗匹配和選擇計較佳之驅動電路以改善之。



(一)



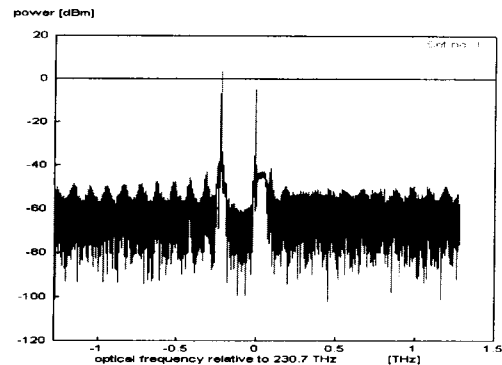
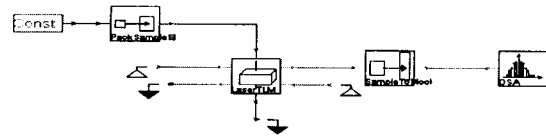
(二)

圖九 量測所得眼型圖(一)3.125Gbp 光收發模組(二)10Gbps PIN-TIA

(4) 雙波長雷射與多模光纖之頻率響應

我們成功利用 VPI 公司的 PTDS 軟體模擬 LX4 雷射之特性，如圖四所示，此結果有利於整體傳輸性能之研究。此外也探討多模光纖之響應，其響應與模

態激發方式相關，因此相當難以模擬分析，將在後續研究中找出較佳的分析方法。

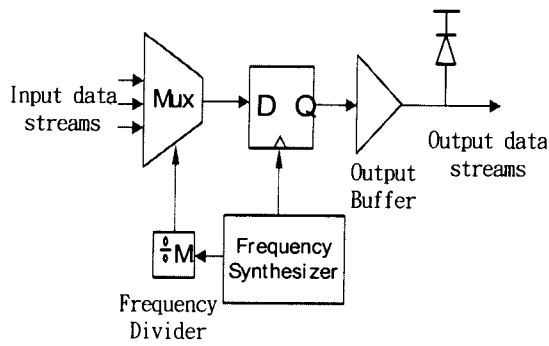


圖十 LX4 雷射模擬之方塊圖與所得光譜

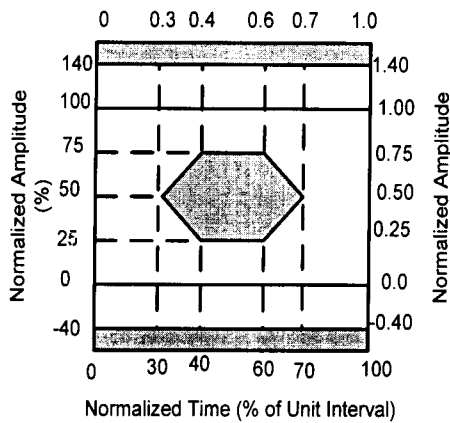
2. 子計畫二：百億位元的乙太網路傳送機設計

系統主要架構如圖十一所示。包含：頻率合成器、除頻器、多工器、輸出緩衝器。頻率合成器是用作產生此傳送機的時脈。除頻器的功能是產生多工器所需時脈。多工器是將數個低速平行資料依次結合成一高速序列資料，最後再由輸出緩衝器輸出。傳送機多工方式採用樹狀架構，利用除頻器產生由低到高的時脈，依次做多工處理，使得操作在最高頻率的電路個數得以減少。以降低傳送機功率消耗。

利用子計畫一所建立雷射二極體模型和架構設計及考慮子計畫三所需各項傳輸要求如抖動(Jitter)。完成整個傳送機的規格、進而訂定各子電路所需性能。以期完成適用於百億位元乙太網路傳送機。圖十二為 10GBase-LX4 傳送機傳輸眼圖。



圖十一 傳送機



圖十二 系統訂定規格

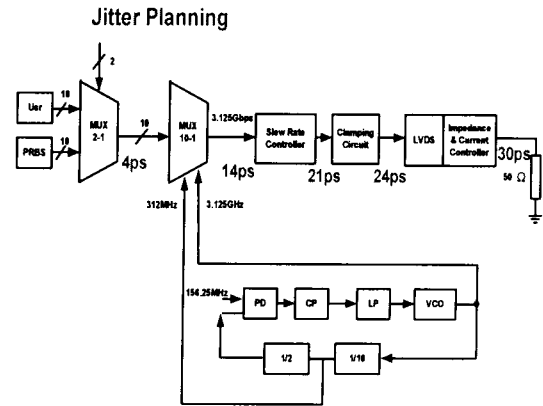
Frequency	3.125 Gb/s
Jitter (max.)	30 ps
Amplitude (min.)	0.9 v
Rising time (max.)	60 ps
Falling time (max.)	60 ps
Slew rate	9 v/ns
Slew rate (range)	5.4 ~ 12.6 v/ns

表一 系統規格表

由圖二可訂出傳送機各子電路的標準規格。見表一。

圖十三為整個傳送機詳細系統架構及抖動分配。

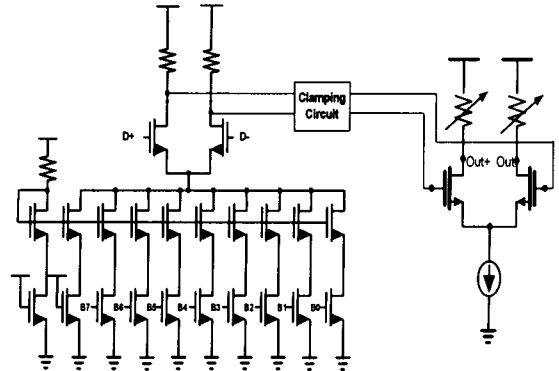
由於整個傳送機抖動不得超過 30ps，所以在多工器輸出端的抖動不得超過 14ps，上升速率控制電路及阻抗匹配電路的抖動量不得超過 17ps。



圖十三 傳送機系統圖及抖動分配

配

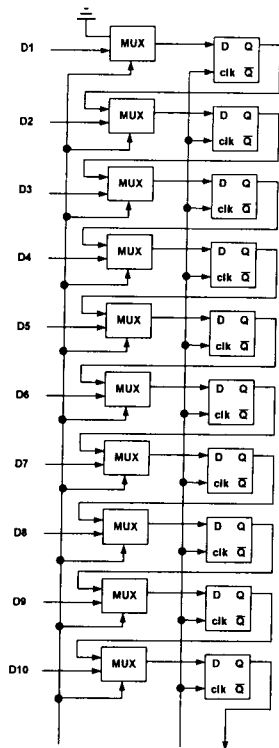
圖十四為上升速率控制電路，其電路主要的目的在於使傳送機的輸出的波型不會太陡，造成雷射速度會跟不上。在此設計用3位元可調式電流源來控制輸出端的上升速率。



圖十四 上升速率控制電路

圖十五為十轉一的多工器[1]，利用的是移轉暫存器架構。在每十次時脈輸入時，會將資料讀進暫存器，然後資料會被順序被讀出來。

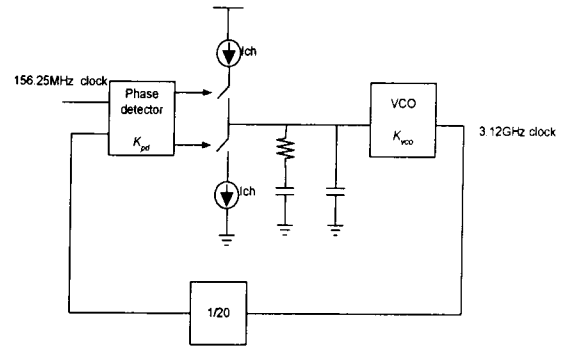
圖十六為阻抗匹配電路。所採用的架構為數位控制架構，利用 en 訊號，調整不同的模式，在阻抗匹配模式，輸入端為一直流訊號，經由比較器比較參考電壓及直流訊號之差值，將其輸出用來驅動計數器，來達到阻抗匹配的功能。



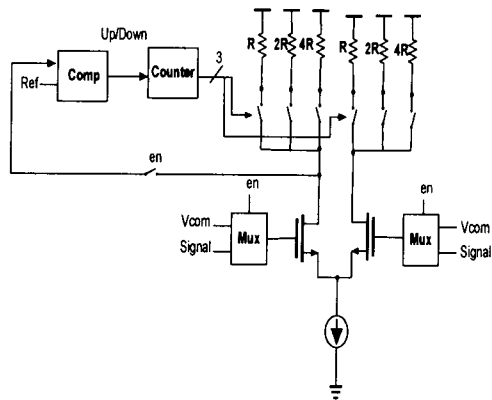
圖十五 十轉一多工器

圖十七為傳送機中的頻率合成器的架構圖[2]，它的主要的功能是將一參考頻率為156.25MHz 訊號倍頻二十倍，給上述電路使用。它是採用一傳統的電流抵浦式架構。其壓控盪器是採用一 LC tank 架構，為圖十八所示[3]。

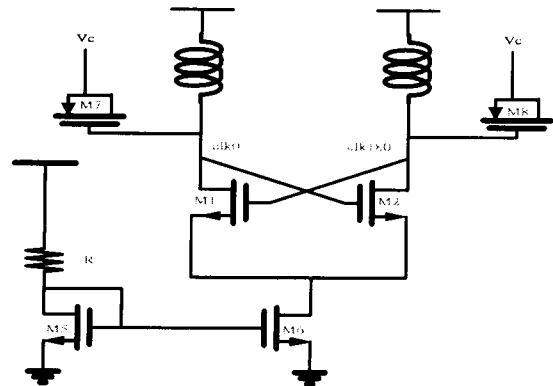
圖十九，及圖二十為上升速率控制電路及傳送機模擬眼圖。



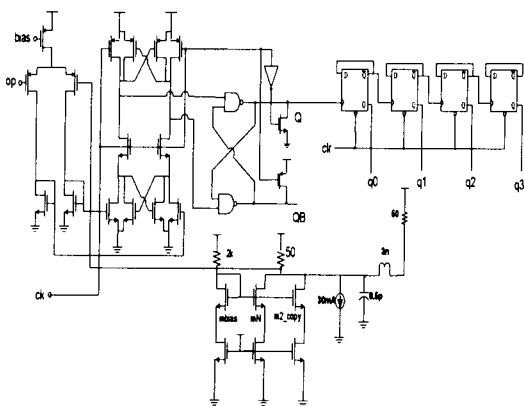
圖十七 頻率合成器



(一)

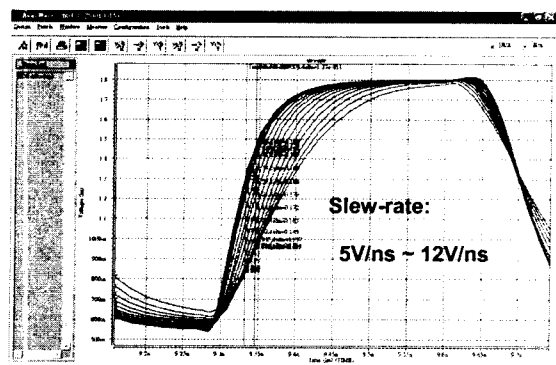


圖十八 LC 壓控盪器

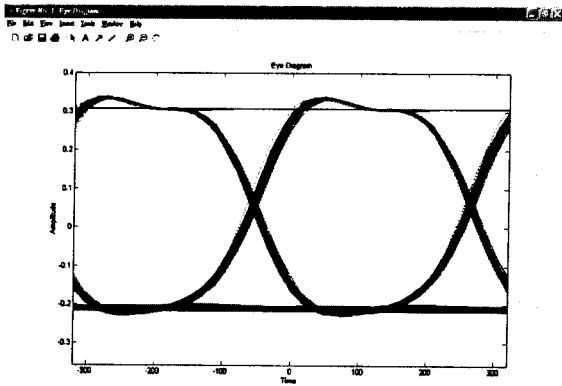


(二)

圖十六 (一)(二) 阻抗匹配電路



圖十九 上升速率控制電路



圖二十 傳送機模擬眼圖

3. 子計劃三：超高速類比訊號處理器設計

本年度我們完成了百億位元乙太網路接收機 (receiver) 及其中高速類比信號處理器之架構規劃與電路的研讀考察，包含轉阻放大器 (transimpedance amplifier, TIA)、限制放大器 (limiting amplifier, LA)、類比等化器 (analog equalizer) 及時脈與資料回復電路 (clock and data recovery circuit, CDR)。根據系統規格中接收機的靈敏度、平均功率、位元錯誤率 (bit error rate, BER) 等各項標準，我們可以初步規劃各系統參數。在轉阻放大器部分，為了能操作在高頻，採用並並回授 (shunt-shunt feedback) 架構；在限制放大器部分，由於其在小信號輸入時會有偏差 (offset) 問題，因此必須使用回授式偏差消除機制以符合系統需求；在類比等化器部份，為克服溫度及製程的變異，在其中加入一延遲鎖定迴路 (delay-locked loop, DLL) 以達到所需的功能；在時脈與資料回復電路部份，我們研究了多種不同的架構，並將同時實驗其中兩種架構，以比較其效能，電路當中所需之壓控振盪器 (voltage-controlled oscillator, VCO) 設計、模擬、佈局等工作亦已完成。整體系統的規格需求係參考現有產

品的資訊而決定。以下是成果的條列項目：

- (1) 訂定百億位元乙太網路接收機架構
- (2) 接收機系統參數分配
- (3) 訂定轉阻放大器之規格及架構
- (4) 訂定限制放大器之規格及架構
- (5) 訂定類比等化器之架構
- (6) 訂定時脈與資料回復電路之規格及架構

(7) 壓控振盪器之設計、模擬、佈局

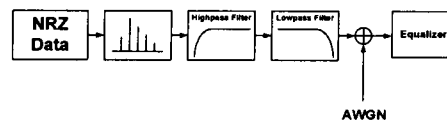
4. 子計劃四：適用於高速光通訊之數位基頻電路設計

在這個子計畫中，首先我們將針對兩個主模組做演算法及 VLSI 架構上的分析。以期能在符合光纖通訊的速度要求下提出一經濟且低功率的設計。

4. 可調式等化器

由於目前光纖沒有詳細統一的規格。基於以下的理由我們暫時採用圖二十一之通道模型：

- a. 我們沒有必要知道確切的通道響應，因為可適性等化演算法本身就具有辨識通道的能力。
- b. 通道響應的好壞會影響可適性等化器的設計參數。而我們的目的是提供合適的等化器架構。所以一旦統一的光纖通道模型訂定了，只需改變等化器的參數即可。

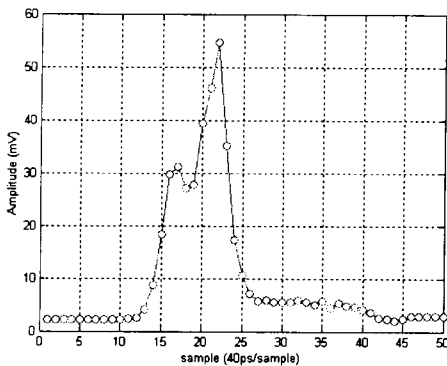


圖二十一、通道模型

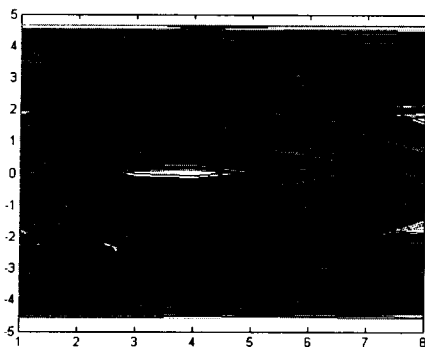
關於圖二十一之通道模型，敘述如下。我們先產生要傳輸的資料，接著把要傳輸的資料跟通道脈衝響應做迴旋積。通道脈衝響應之後則是一高通濾波器及一低通濾波器。高通濾波器的 3dB

頻率在 2MHz，用來代表互阻抗放大器交流信號耦合的不理想特性。低通濾波器的 3dB 頻率在 2.4375GHz 代表互阻抗放大器的頻寬限制。最後的加法性白色高斯雜訊的訊噪比為 22dB，用來描述所有的雜訊(來自雷射光源、光學元件和電子元件的雜訊)。[4]

目前採用的通道響應是取自於 IEEE 802.3z 資料庫的多模光纖在 320m 線長, 1310nm 光波長的脈衝響應(如圖二十二)。圖二十三，圖二十四分別為低通濾波器及加入雜訊後的眼狀圖。

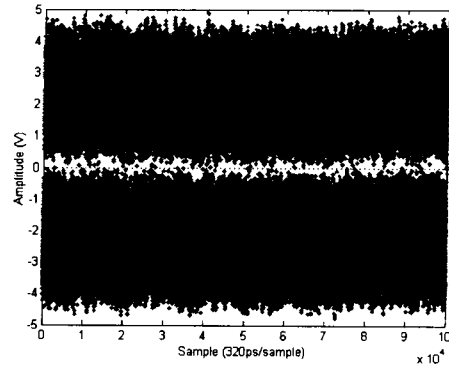


圖二十二、通道脈衝響應

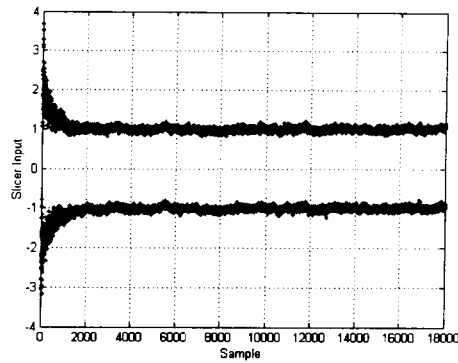


圖二十三、受到互阻抗放大器頻寬限制效應影響後的眼狀圖

針對上述通道模型，我們模擬的結果分別在圖二十五。圖二十五為等化器輸出。模擬採用的等化器參數為前饋濾波器 8 級，回餽濾波器 6 級，步階為 2^{-10} 。



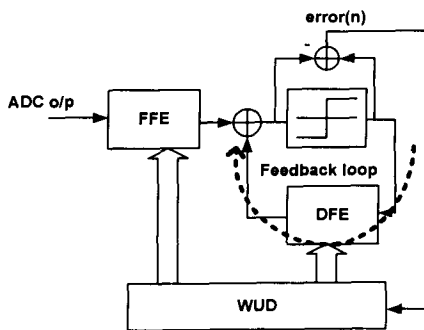
圖二十四、受到加法性白色高斯雜訊污染的眼狀圖(在最佳相位取樣後)



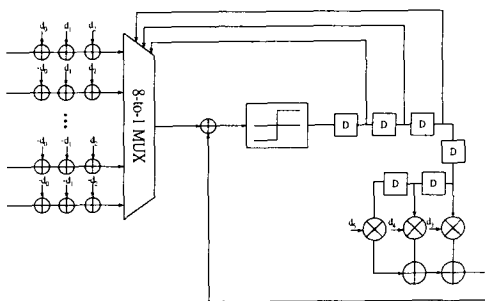
圖二十五、等化器輸出

接著是 VLSI 架構的部份。在 10GBase-LX4 的標準中符碼率為 3.125GHz。以目前 CMOS 製程技術而言是無法實現如此高速的設計。所以我們將採用平行化的技術來降低操作頻率。除此之外，由於可適性等化器本身在架構上就具有回授的電路。嚴重的限制住等化器的操作頻率。圖二十六為可適性等化器的架構圖，回授路徑的長度正比於回餽濾波器的級數。[5]、[6]和[7]各自針對此一問題提出了新的架構。然而，[5] 所要付出的電路面積將會隨著回餽濾波器的級數成指數成長，[6] 不適用於光纖通訊系統，因為每條光纖的響應之間有太大的差異。[7] 則是會導致等化器效能上的損失。我們基於[5]的設計提出了一個新的電路架構如圖二十七。圖二十七為一個 6 級的回餽濾波器，我們可

以選擇性的平行展開某些級。也就是預先算出某些級。以圖二十七來說就是平行展開前三級，所以會有一個 8 到 $1(2^3 = 8)$ 的多工器，多工器之後則必須再加上剩下的三級。這樣做的好處是，我們預先展開的部份已經離開回授路徑，可以採用一般的管線化技術。而剩下的部份也可以把因為平行展開所得到的暫存器移動到適當的位置來管線化仍在回授路徑的部份。此架構非常有彈性，可依需要達到的操作頻率來選擇要平行展開的級數，也大大減少了電路面積不必要的浪費。



圖二十六、一般的等化器架構

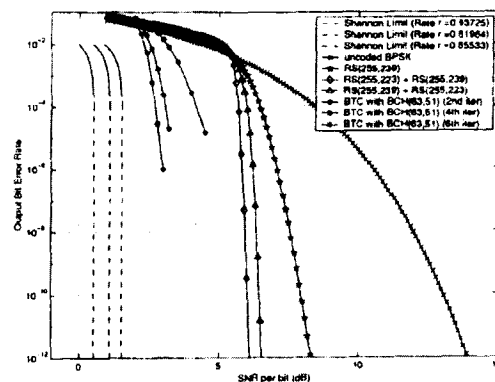


圖二十七、我們所提出的回餽濾波器架構

5. 正向錯誤矯正(Forward Error Correction)

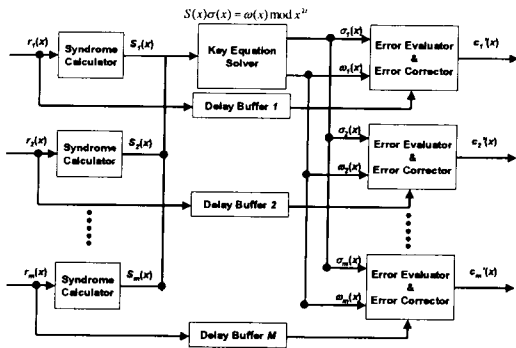
在長距離光纖網路中，在接近端我們會得到一個極差雜訊比(SNR)的光學訊號，因而限制了整體傳輸的效能表現。所以希望能提供一個技術來改善傳輸的 SNR，最好的方法當然就是 FEC 技

術，此技術只需加上少許額外負擔即可大大地提升傳輸效能，如圖二十八所示。FEC 技術包括了 BCH、RS 及近來新興的渦輪碼(turbo code)，其中 RS 的 SNR 改善效能為最佳的選擇。一般而言，FEC 技術被廣泛使用在較低速的應用，然而要將 FEC 實現在 10Gbps 以上的高速度，不管在複雜度上和功率消耗上都變成極端地具有挑戰。因此我們的設計重點為演算法的改進、高速平行化的處理架構、以及高速的算術處理單元設計，以達到經濟且低功率的設計。

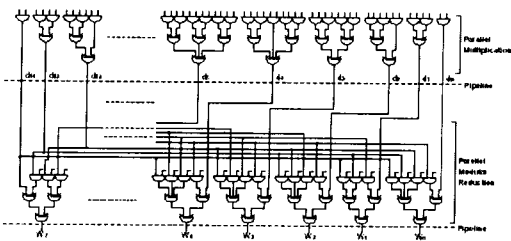


圖二十八、FEC 技術的效能表現

在 RS 解碼器中最為複雜的電路為解 key 方程式，一般有 Peterson [8]、Berlekamp [9] 及 Euclidean [10] 等演算法。為獲得高速及低功率消耗，我們採用高度規則性的無需除法運算修正歐基里德演算法來達成高速及平行化的處理。在架構上需要平行化來提升 RS 的處理速度，其平行架構如圖二十九所示。為達到 10Gbps，其 RS 算術處理單元必須達到 400~500MHz，因此在 RS 中最為複雜的處理單元為有限場乘法器(FFM)必須經由管線化技術來提昇其處理速度，其電路如圖三十所示[11]。藉由如此的改進，我們可以達到符合 OT-192 通訊的速度要求。



圖二十九、里德所羅門之平行處理解碼架構



圖三十、管線化高速有限場乘法器 $GF(2^8)$.

八、結論與討論

1. 適用百億位元乙太網路系統晶片中傳輸模型、傳送機、接收機數位基頻電路之 VLSI 系統架構設計：已建立了(1)傳輸模型 - 光發射機的驅動電路和雷射之等效模型、與光接收機的檢光器之等效模型、(2)傳送機 - 頻率合成器、除頻器、多工器、輸出緩衝器的系統行為模擬、(3)接收機 - 轉阻放大器 (transimpedance amplifier, TIA)、限制放大器 (limiting amplifier, LA)、類比等化器 (analog equalizer) 及時脈與資料回復電路 (clock and data recovery circuit, CDR) 之架構規劃、(4)數位基頻電路 - 設計可調適等化器和前饋式錯誤正碼模組的架構。
2. 完成適用百億位元乙太網路系統晶片系統行為模擬：將決定之架構經過初步之行為模擬，驗證系統功能符合預期方向，以利於確保接下來詳細電

路決定之正確性。

3. 各子電路性能需求訂定：依據 IEEE802.3ae 傳送機之規格，以整體系統晶便片做考量，依照彼此配合的效果與影響及環境限制條件，決定有利於達成訂定規格的系統架構。分別對各子電路訂出振幅、抖動、眼圖等的規格，以期達成最終傳送機規格。
4. 分析與模擬各式高頻類比電路之特性與評估：以 SPICE 模擬，確定電路參數，並針對電路高頻效應與製程和溫度變異做考量，使各種環境因素下，皆不影響最終預期目標之達成。

九、參考文獻

- [1] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGraw-Hill, Inc. 2002.
- [2] Mijuskovic *et al.*, "Cell-based fully integrated CMOS frequency synthesizer", *IEEE J. Solid-State Circuits*, vol. 29, no.3, pp.271-279, Feb.1994.
- [3] F. Svelto *et al.*, "A 1.3 GHz low-phase noise fully tunable CMOS LC VCO", *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 356-361, Mar. 2000.
- [4] *IEEE 802.3ae Taskforce meeting slides*, New Orleans, Sept. 2000.
- [5] K. K. Parhi, "Pipelining in algorithm with quantizer loops," *IEEE Trans. Circ. Syst.*, vol. 38, pp.745-754, July 1991.
- [6] Meng-Da yang and An-yeu Wu, "High performance adaptive decision feed-back equalizer based on predictive parallel branch slicer scheme," *Signal Processing Systems 2002*, pp. 121-126, 2002.
- [7] N. R. Shanbhag and K. K. Parhi,

- “Piplined adaptive ADFE architectures using relaxed look-ahead,”
IEEE Trans. Signal Processing, vol. 43, no. 6, pp.1268-1385, June 1995.
- [8] S. B. Wicker, “Error control systems for digital communication and storage” ,Prentice Hall, 1995.
- [9] J. L. Massey, “Shift register synthesis and BCH coding,” *IEEE Transactions on Information Theory*, vol. IT-15, pp. 122-127, January 1969.
- [10] K. Y. Liu, “Architecture for VLSI design of Reed-Solomon decoders,” *IEEE Trans. on Computers*, vol. C-33, pp. 178-189, Feb 1984.
- [11] H. M. Shao *et al.*, “A VLSI design of a pipeline Reed-Solomon decoder,” *IEEE Trans. On Computers*, vol. C-34, pp. 393-402, May 1985.

國內大專校院博士班研究生出席國際會議報告

92 年 9 月 15 日

參訪人姓名	吳家欣	就讀學校系所及年級	台灣大學電子所博二
會議期間及地點	舊金山，美國。 San Francisco, USA.		
會議名稱	(中文)國際固態電子電路會議 (英文)International Solid-State Circuits Conference (ISSCC)		

一、參加會議經過

經由國科會計畫：百億位元的乙太網路系統晶片設計補助，參加電子電路領域最高學術殿堂會議”國際電子電路會議”(ISSCC)，會議期間共約五天，在會議期間參加各項學術報告事項及短期課程。

二、與會心得

會議期間了解目前學術界及業界最新的發展，並在期間參與各項短期課程及學術討論，對於未來學術研究有莫大的助益。

三、建議

可以多參加此類活動，多認識及了解業界及學術界最新的動態，以掌握最新的資訊。對於增進世界觀及增加學術競爭力有莫大的助益。

四、攜回資料名稱及內容

ISSCC Proceeding of technical papers, Short course books, tutorials.

五、其 他