

附件

行政院國家科學委員會補助專題研究計畫 其中進度報告  
成果報告

(計畫名稱)

百億位元的乙太網路傳送機設計

計畫類別：個別型計畫 整合型計畫

計畫編號：**NSC 91-2218-E-002-024**

執行期間：91 年 8 月 1 日至 92 年 7 月 31 日

計畫主持人：劉深淵

共同主持人：

計畫參與人員：陳鴻鈞、胡思全、羅啟倫、張鎔諭、李勝洲、趙冠華

成果報告類型(依經費核定清單規定繳交)：精簡報告 完整報告

本成果報告包括以下應繳交之附件：

- 赴國外出差或研習心得報告一份
- 赴大陸地區出差或研習心得報告一份
- 出席國際學術會議心得報告及發表之論文各一份
- 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權，一年二年後可公開查詢

執行單位：

中 華 民 國 92 年 7 月 31 日

行政院國家科學委員會電信國家型研究計畫成果報告  
總計畫：百億位元的乙太網路系統晶片設計(1/3)  
子計畫二：百億位元的乙太網路傳送機設計 (1/3)  
計畫編號：NSC 91-2218-E-002-024  
執行期限：91年8月1日至92年7月31日  
總計畫主持人：劉深淵教授 台灣大學電機工程研究所  
子計畫主持人：劉深淵教授 台灣大學電機工程研究所

## 一、大綱

隨著區域網路 (Local Area Network, LAN) 和近來的都會區域網路(Metropolitan Area Network, MAN) 上的大量資料傳送及每七年 50-200 倍的頻寬需求量的增加，區域網路的頻寬需求已從現在 10/100Mb/s 到下一代 1Gb/s 且很快將進入 10Gb/s。乙太網路因有著成熟的基礎架構，所以，在 10Gb/s 的區域網路將會是乙太網路所主導。由於乙太網路是以低成本為主要考量，所以在 IEEE802.3ae ver3.3 的最新版標準中的 10GBase-LX4 將會是再下一代乙太網路扮演主要角色。10GBase-LX4 使用低成本的雷射二極體 (Laser-diode)，光二極體及多模或單模光纖作為光通訊的媒介。在同時我們利用電路的技術解決這些低成本元件造成的通訊的障礙，如抖動 (Jitter)，inter-symbol interference (ISI) 的問題。

## 二、採用方法

本計畫為百億位元的乙太網路系統設計之子計劃二，其目的在設計適用於百億位元的乙太網路系統之傳送機。結合類比、數位電路技巧，及高頻信號處理技術及配合國科會學門「SOC」規劃，提出一系列關鍵零組件之電路設計及架構分析。並透過已可重複

使用智產元件 (Reusable-IP) 之模組管理形式，作為未來系統晶片成果展示及驗證之實驗平台。

本計劃預計三年完成。在第一年 (91/8/1-92/7/31)我們預定從事傳送機標準研讀及傳送機中各子電路界面規格的訂定、進而進入系統設計及模擬、高頻電路技術之研究。第二年(92/8/1-93/7/31)我們預定開始傳送機中各子電路的模擬。第三年 (93/8/1-94/7/31)我們預計將各子計劃中電路及系統的最佳化，並測試製成的積體電路。最後進行系統整合可能性的探討研究。

## 三、可能遭遇的困難

1. 開發高頻的雷射驅動電路的上升速率及阻抗匹配電路。
2. 全積體化鎖相迴路的設計與實現。
3. 各式積體化電路的佈局與連線的考量。
4. 高頻多工器開發困難。

## 四、解決的途徑

1. 收集相關資料，加以分析與研讀。
2. 透過和各子計劃研究，製定各子電路的詳細規劃
3. 測所需之儀器與相關 CAD 軟體。

## 五、進行步驟

第一年：

1. 光傳送機架構之研討。
2. 光傳送機規格訂定。
3. 各子電路之研究與驗證。
4. 傳送機系統架構模擬。
5. 高頻 CMOS 電路設計技術探討。
6. 類比電路實作考量研究。

## 六、第一年成果

### 1. 論文發表

- (1) Chih-Chun Tang and Shen-Iuan Liu, "A 1V 5.8GHz low noise amplifier in a 0.35um standard CMOS process", Journal of the Chinese Institute of Electrical Engineering, Series E, vol. 9, No. 4, pp. 395-400, Nov. 2002.
- (2) Hsiang-Hui Chang, Jyh-Woei Lin, and Shen-Iuan Liu, "A fast locking and low jitter delay-locked loop using DHDL", *IEEE Journal of Solid-State Circuits*, SC-38, pp. 343-346, Feb. 2003.
- (3) Shr-Lung Chen, Chien-Hung Kuo and Shen-Iuan Liu, "CMOS Magnetic Field to Frequency Converter", *IEEE Sensors Journal*, vol. 3, pp. 241-245, April 2003.
- (4) Chia-Hsin Wu, Chih-Chun Tang, and Shen-Iuan Liu, "Analysis of on-chip spiral inductors using the distributed capacitance model", *IEEE Journal of Solid-State Circuits*, SC-38, pp. 1040-1044, June 2003.
- (5) Chia-Hsin Wu, Chih-Chun Tang, Kun-Hsien Li and Shen-Iuan Liu, "CMOS 2.4-GHz receiver front end with area-efficient inductors and digitally calibrated 90° delay

network", accepted by IEE Proceedings of Circuits, Devices and Systems, 2003.

(6) Chia-Hsin Wu, Chih-Chun Tang, and Shen-Iuan Liu, "Image rejection relaxed 5GHz CMOS receiver front-end", 2002 VLSI/CAD, Taiwan, pp. 47-50, Aug. 2002.

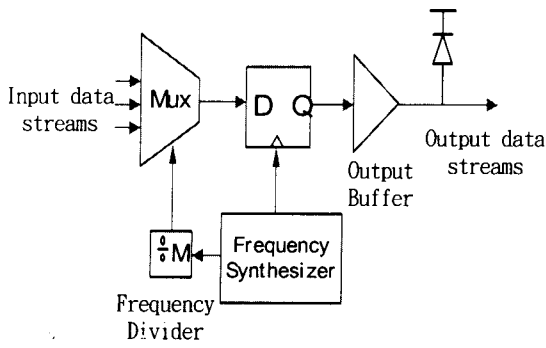
(7) Hsiang-Hui Chang, Chih-Hao Sun, and Shen-Iuan Liu, "A Low Jitter and Precise Multiphase Delay-Locked Loop Using Shifted Averaging VCDL", in *ISSCC Dig. Tech. Papers*, pp. 434-435, Feb. 2003.

(8) Chia-Hsin Wu, Chun-Yi Kuo, and Shen-Iuan Liu, "Selective Metal Parallel Shunting Inductor and Its VCO Application", in *Symp. VLSI Circuits Dig. Tech. Papers*, pp.37-40, June 2003.

(9) Hsiang-Hui Chang, Chih-Hao Sun, and Shen-Iuan Liu, "Low Jitter Butterworth Delay-Locked Loops", in *Symp. VLSI Circuits Dig. Tech. Papers*, pp.177-180, June 2003.

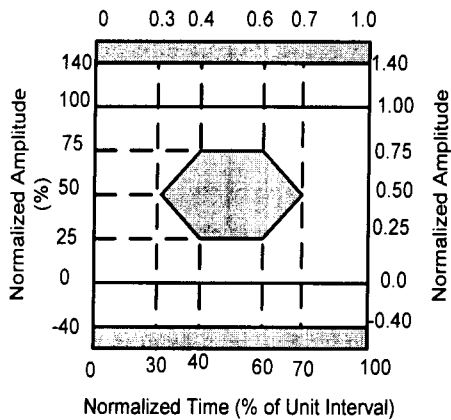
### 2. 相關電路規格探討與電路架構的選擇

系統主要架構如圖一所示。包含：頻率合成器、除頻器、多工器、輸出緩衝器。頻率合成器是用作產生此傳送機的時脈。除頻器的功能是產生多工器所需時脈。多工器是將數個低速平行資料依次結合成一高速序列資料，最後再由輸出緩衝器輸出。傳送機多工方式採用樹狀架構，利用除頻器產生由低到高的時脈，依次作多工處理，使得操作在最高頻率的電路個數得以減少。以降低傳送機功率消耗。



圖一 傳送機

利用子計劃一所建立雷射二極體模型和架構設計及考慮子計劃三所需各項傳輸要求如抖動(Jitter)。完成整個傳送機的規格、進而定訂各子電路所需性能。以期完成適用於百億位元乙太網路傳送機。圖二為10GBase-LX4 傳送機傳輸眼圖。



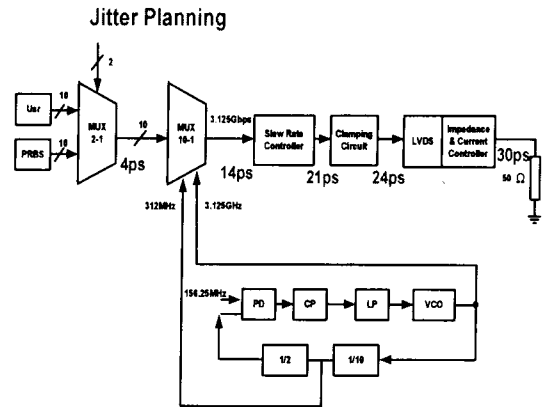
圖二 系統訂定規格

由圖二可訂出傳送機各子電路的標準規範。見表一。

Frequency	3.125 Gb/s
Jitter (max.)	30 ps
Amplitude (min.)	0.9 v
Rising time (max.)	60 ps
Falling time (max.)	60 ps
Slew rate	9 v/ns
Slew rate (range)	5.4 ~ 12.6 v/ns

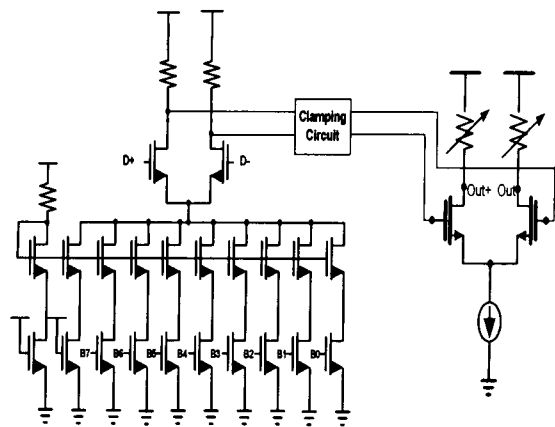
表一 系統規格表

圖三為整個傳送機詳細系統架構及抖動分配。



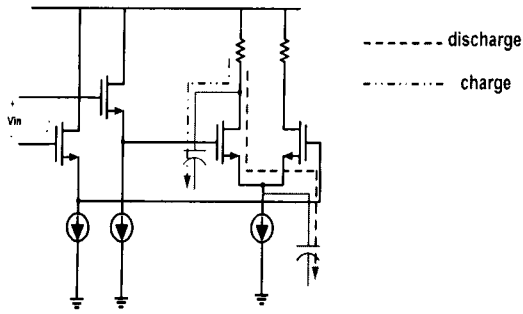
圖三 傳送機系統圖及抖動分配

由於整個傳送機抖動不得超過30ps，所以在多工器輸出端的抖動不得超過14ps，上升速率控制電路及阻抗匹配電路的抖動量不得超過17ps。



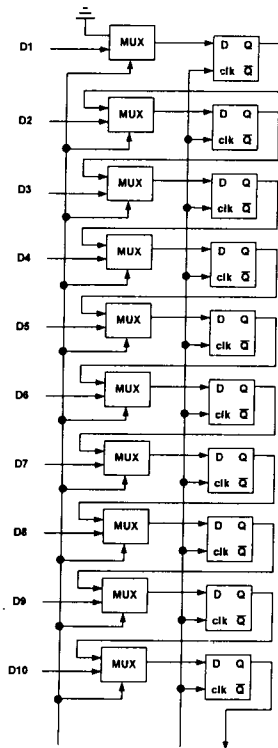
圖四 上升速率控制電路

圖四為上升速率控制電路，其電路主要的目的在於使傳送機的輸出的波型不會太陡，造成雷射速度會跟不上。在此設計用3位元可調式電流源來控制輸出端的上升速率。因為輸出緩衝器的充放電路徑和負載不同，照成輸出波形寬度之變異，所以加入波形寬度調整器於緩衝器前端，為圖五所示 [1]。



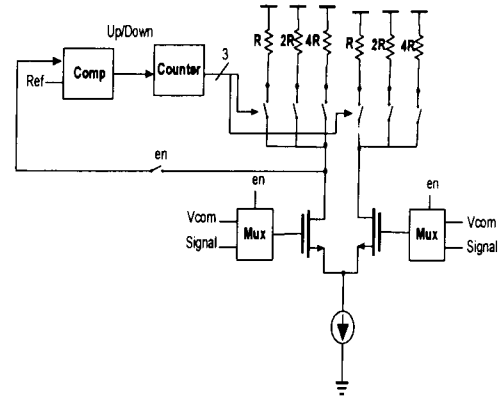
圖五 波形寬度調整器

圖六為十轉一的多工器[2]，利用的是移轉暫存器架構。在每十次時脈輸入時，會將資料讀進暫存器，然後資料會被順序被讀出來。

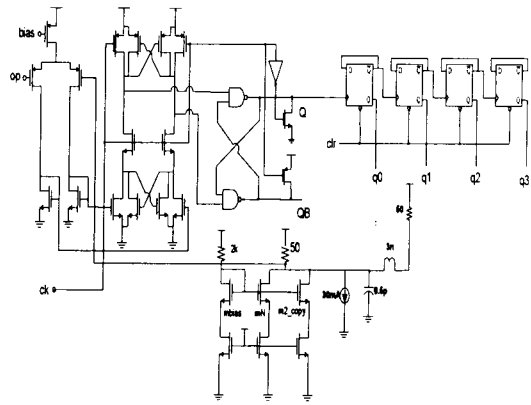


圖六 十轉一多工器

圖七為阻抗匹配電路。所採用的架構為數位控制架構，利用 en 訊號，調整不同的模式，在阻抗匹配模式，輸入端為一直流訊號，經由比較器比較參考電壓及直流訊號之差值，將其輸出去驅動計數器，來達到阻抗匹配的功能。



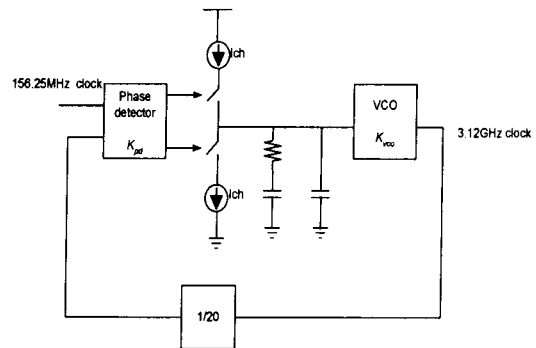
(一)



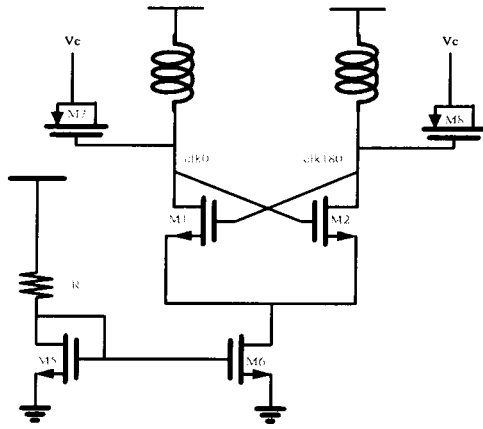
(二)

圖七 (一)(二) 阻抗匹配電路

圖八為傳送機中的頻率合成器的架構圖[3]，它的主要的功能是將一參考頻率為 156.25MHz 訊號倍頻二十倍，給上述電路使用。它是採用一傳統的電流抵浦式架構。其壓控盪器是採用一 LC tank 架構，為圖九所示[4]。

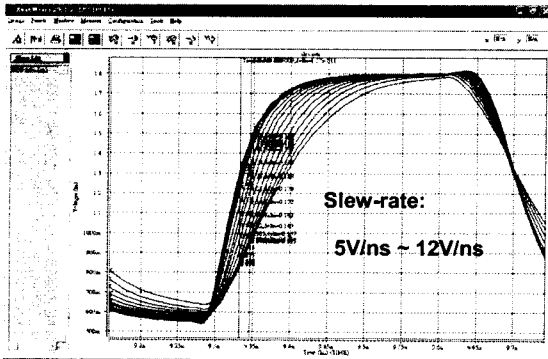


圖八 頻率合成器

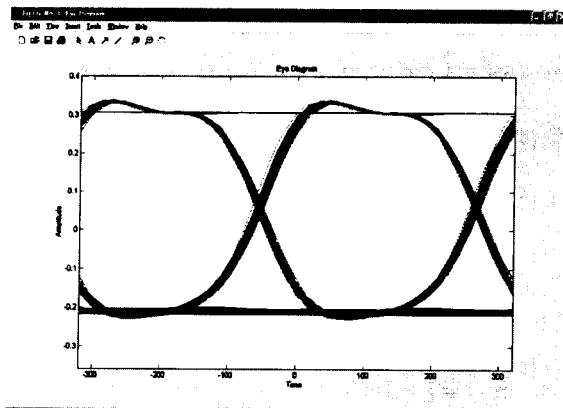


圖九 LC 壓控盪器

圖十，及圖十一為上升速率控制電路及傳送機模擬眼圖。



圖十 上升速率控制電路



圖十一 傳送機模擬眼圖

## 七、結論

- (1) 適用百億位元乙太網路傳送機光傳送機 VLSI 系統架構設計:以整體傳送機做考

量，包含頻率合成器、除頻器、多工器、輸出緩衝器，依照彼此配合的效果與影響及環境限制條件，決定有利於達成訂定規格的系統架構。

- (2) 完成適用百億位元乙太網路傳送機光傳送機系統行為模擬：將決定之架構經過初步之行為模擬，驗證系統功能符合預期方向，以利於確保接下來詳細電路決定之正確性。
- (3) 各子電路性能需求訂定：依據 IEEE802.3ae 傳送機之規格，分別對各子電路訂出振幅、抖動、上升速率的規格，以期達成最終傳送機規格。
- (4) 分析與模擬各式高頻類比電路之特性與評估：以 SPICE 模擬，確定電路參數，並針對電路高頻效應與製程和溫度變異做考量，使各種環境因素下，皆不影響最終預期目標之達成。

## 八、參考文獻

- [1] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGraw-Hill, Inc. 2002.
- [2] B. Razavi, "Design of Integrated Circuits for Optical Communications", McGraw-Hill, Inc. 2002.
- [3] D. Mijuskovic *et al.*, "Cell-based fully integrated CMOS frequency synthesizer", *IEEE J. Solid-State Circuits*, vol. 29, no.3, pp.271-279, Feb.1994.
- [4] F. Svelto *et al.*, "A 1.3 GHz low-phase noise fully tunable CMOS LC VCO", *IEEE J. Solid-State Circuits*, vol. 35, no. 3, pp. 356-361, Mar. 2000.