

快速熱製程氧化層之均勻度與應力效應研究 (2/3)

計畫類別： 個別型計畫 整合型計畫
計畫編號： NSC 92 - 2215 - E - 002 - 005
執行期間： 92 年 8 月 1 日至 93 年 7 月 31 日

計畫主持人：胡 振 國 國立台灣大學電機系/電子所
共同主持人：
計畫參與人員：林彥伯、林豪鵬、洪劍睿 國立台灣大學電機系/電子所

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：
赴國外出差或研習心得報告一份
赴大陸地區出差或研習心得報告一份
出席國際學術會議心得報告及發表之論文各一份
國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢
 涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位： 國立台灣大學電子工程學研究所

中 華 民 國 93 年 5 月 16 日

行政院國家科學委員會補助專題研究計畫成果期中報告

快速熱製程氧化層之均勻度與應力效應研究 (2/3)

第二年(92/8~93/7)執行進度報告

計畫編號: NSC92-2215-E-002-005

主持人: 胡振國 台大電機系/電子研究所教授

共同參與研究生: 林彥伯、林豪鵬、洪劍睿

一、

摘要：

本年度之主要研究成果可分成四大項，分別為生長溫度對超薄氧化層晶圓應力分布影響、生長壓力對超薄氧化層晶圓應力分布影響、切割對超薄氧化層晶圓元件之影響、及應力下生長高品質超薄閘極氧化層技術。將晶圓整片生長超薄氧化層，做成 MOS 電容元件結構，將各元件之正偏壓基板注入 (substrate injection) 飽和電流對負偏壓閘極注入 (gate injection) 漏電流作圖，其中負偏壓閘極注入漏電流的大小與氧化層厚度相關，而正偏壓基板注入飽和電流大小則受控於少數載子濃度之有限供應，而氧化生長程度不同引起之基板表面應力大小可明顯由該飽和電流大小反應出。本研究發現在低溫下氧化層厚度極度不均勻，但基板表面受生長破壞引起之缺陷及應力較不嚴重；反之，當溫度升高後，氧化層厚度變厚，閘極注入電流趨於均勻，但是氧化引起之晶圓表面則受到不同程度之破壞，因此基板注入飽和電流分布呈現漸嚴重之不均勻。將壓力做改變，發現低壓生長情形類似低溫生長，而高壓生長則類似於高溫生長。此外，實驗發現當晶圓經切割後，在沿切割線附近之 MOS 元件其特性明顯易受影響，包括閘極注入漏流變小、基板注入飽和電流變大、及電容值變小，相當於氧化層厚度等效變厚，而遠離切割線之元件則沒有明顯變化，顯示切割會對晶圓內存應力進行釋放或轉移，造成電特性改變，此發現相當前瞻重要，值得進一步探討。本研究同時提出一前瞻性之技術，將晶圓於受應力下予以液相陽極氧化生長氧化層，使矽基板原子間隔變大而可以和 SiO_2 之晶格匹配，進而使 SiO_2/Si 界面較完整，結果發現相對於無施加應力下所生長之氧化層呈現較小之漏流，及較佳之穩定性，對現今超薄氧化層生長技術提供甚佳之參考。

關鍵詞：超薄氧化層、應力分析、溫度效應、壓力效應、切割效應、應力生長技術

Abstract

There are four major topics investigated in this work, i.e., the effect of oxidation temperature on the stress variation of ultra-thin oxides, the effect of pressure on the stress variation of ultra-thin oxides, the effect of scribing across the wafer on the reliability of MOS devices with ultra-thin gate oxides, and the novel technology of oxidation under stress. The wafer was oxidized in a rapid thermal process system and then MOS structures are performed after Al metallization and patterning. The positively biased substrate injection current versus the negatively biased gate injection current was plotted to find the stress characteristics. Generally, the positively biased substrate injection current will be saturated due to the insufficient supply of minority carriers. Oxidation will cause the damage of the substrate surface and therefore introduce defects or stress on the substrate surface. That will affect the above saturation current significantly. So, stress characteristics can be observed via the analysis of substrate injection saturation current behavior. It was found that for low temperature oxidation, the oxide thickness is non-uniform but the damage of surface is small. However, when the temperature is raised, the oxide thickness becomes large that makes the gate injection currents become uniform. The oxidation-induced damage to substrate surface is more severe than low temperature, so the positively bias substrate injection currents become non-uniform. For the issue of pressure, it was found that the effect of low pressure is similar to low temperature, while high pressure is vice versa. For the effect of scribing, it was found that the MOS devices located along the scribing line are more easy to be affected by scribing than those faraway from the line. The effects include the reduction of gate injection

current, the increase of substrate injection current, and the reduction of accumulation capacitance. It is important to the consideration of package and is worthy of further investigation. In this work, a novel technology of oxidation under mechanical stress is proposed. The wafer was mechanically stressed during anodization to enlarge the lattice constant of Si to match that of SiO₂ so that the SiO₂/Si interface will become more perfect than without. It was found that the stressed oxidation samples exhibit less leakage and better reliability than those without. It is interesting for the oxidation engineering in preparing ultra-thin gate oxides.

Keywords: ultra-thin oxide, stress analysis, temperature effect, pressure effect, scribing effect, stressed oxidation technology

二、緣由與目的：

在現今積體電路技術中有關應力之分析處理是相當困難的，理由之一就是應力很難精確測量。但是當元件受到應力施加時，其電特性會隨之改變，因此可用來作為分析應力之工具。由於超薄氧化層金氧半元件偏壓於基板注入時，電流大小受控於少數載子之產生，因數量有限，故電流趨於飽和，而該飽和電流受控於界面陷阱數量、基板表面缺陷數量、能帶隙等參數，當氧化層生長後應力出現，不同之壓縮(compressive)/伸張(tensile)應力可造成能帶隙變小/大，進而使本質載子濃度變大/小，飽和電流也跟著變大/小，因此從飽和電流之改變可得知應力之分布及大小，該分析技術為本單位所率先提出，並已有論文發表，具新穎性。

由於氧化層之生長會對矽基板表面之矽原子進行與氧原子之鑿結，因此缺陷及應力會隨氧化程度而有所改變，尤其是對超薄氧化層而言，稍許之變化將會對元件產生很大的影響，這對現今 IC 之製造及電路分析是有其重要性的，本研究針對在快速熱機台氧化生長超薄氧化層時不可避免之溫度及壓力選擇，進行於超短之時間內之效應研究，尤其以應力變化之角度來探討更具獨特性，所發現之厚度及應力關係，更提供給相關研究人員熟悉應力引起不均勻度之產生機制，值得注意。

一般而言，在晶圓製程完成後，後段之切割及包裝就交給封裝廠處理，因此元件特性之變化及掌握就較少研究，但實際上晶圓經切割後，材料內應力改變，元件特性之改變不能不

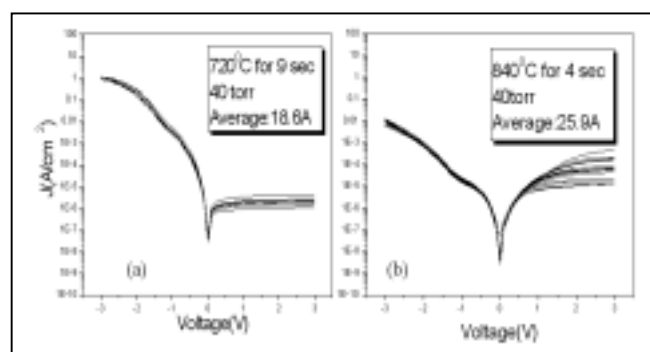
慎。本計畫即以 MOS 元件基板注入飽和電流做為主要偵測參數，並分析沿切割線遠近距離位置元件之電特性變化來整理歸納出應力之相關係，所得之結果對晶圓處理有所參考性。

由於 SiO₂ 與 Si 之晶格常數不同，因此在氧化生長時矽基板表面之矽原子受到伸張力，而 SiO₂ 則受到壓縮力，但不可避免的界面仍存在許多斷鍵，不算完整。若在生長氧化層時將矽基板表面給予伸張之機械應力，則氧原子將較容易進入基板與矽進行晶格較匹配之原子結合，斷鍵較少，之後再予以高溫退火，所得超薄氧化層將與傳統不同。本計畫即提出一甚前瞻性之應力氧化技術，利用室溫下於純水液體中進行陽極氧化，將一晶圓刻意加上機械應力並斜角氧化，使得所生長之氧化層各種厚度都有，經與未加應力之樣品比較，清楚看出該應力氧化之效應，對超薄閘極氧化層之穩定度提升提供了有效的改善技術，相當的具應用潛力。

三、研究方法與成果：

A: 生長溫度對超薄氧化層晶圓應力分布影響

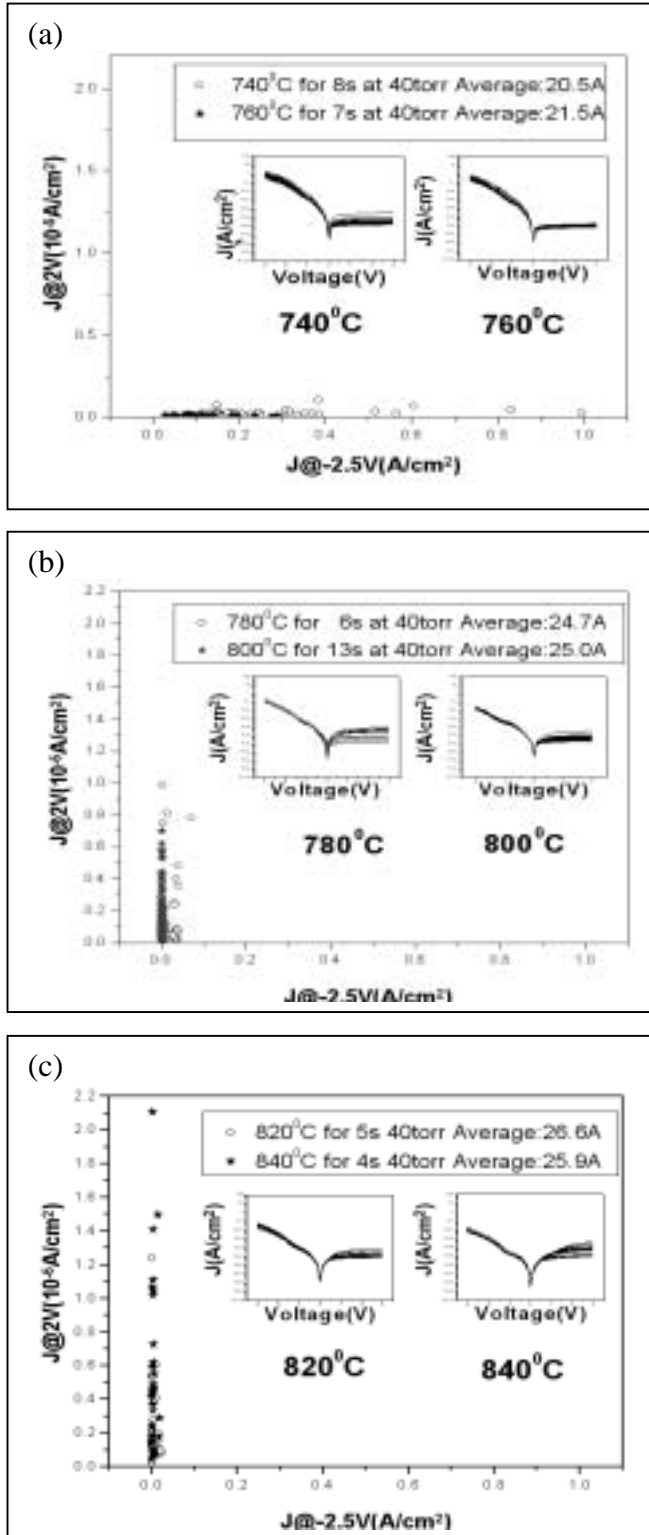
首先探討生長溫度對超薄氧化層電特性均勻度之影響，圖一(a)與(b)分別為 720°C 與 840°C 不同溫度下所得氧化層 MOS 元件之 I-V 曲線，可看出低溫時氧化層薄，負偏壓閘極電流大，但正偏壓基極注入飽和電流小；但在高溫時氧化層厚，負偏壓閘極電流小，分布趨均勻，但正偏壓基極注入飽和電流大，而且分布漸不均勻。顯示高溫使矽基板表面受破壞，缺陷密度增加，而且應力出現，使得少數載子之產生速率受到較大之影響。



圖一：(a)720°C 及(b)840°C 下生長氧化層 MOS 元件之 I-V 特性

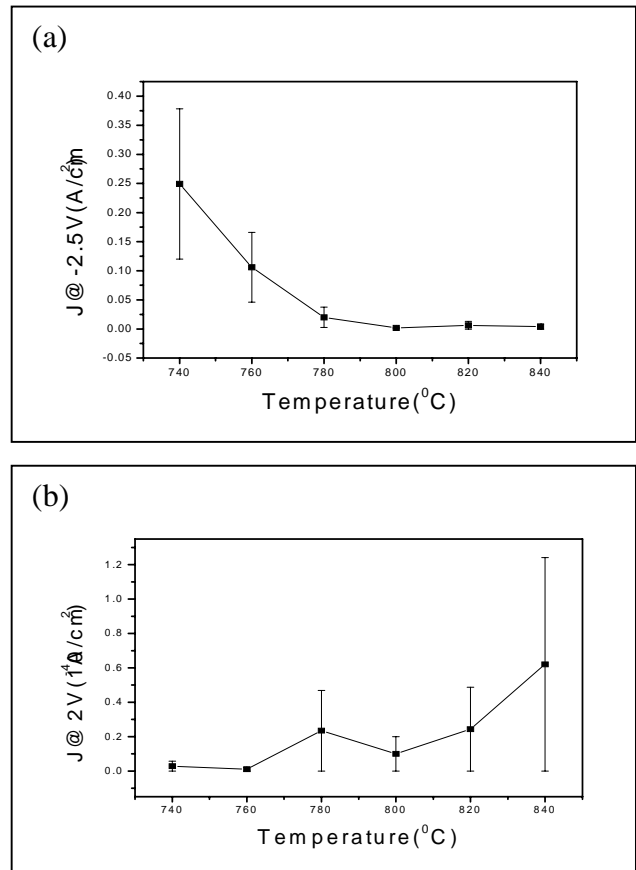
圖二將 740、760、780、800、820 及 840°C 溫度下壓力固定為 40torr，生長不同時間使得氧化層厚度介於 20~25Å 間之 MOS 元件 I-V 特

性，此外亦將 $J@2V$ 對 $J@-2.5V$ 作關係圖，可看出低溫時因氧化層薄不均勻嚴重，所以 $J@-2.5V$ 變化大，但 $J@2V$ 卻因矽基板表面破壞少而值很小。但在高溫時因氧化層變厚均勻度改善，所以 $J@-2.5V$ 變化小，但 $J@2V$ 卻因矽基板表面破壞大而值變大且不均勻嚴重。



圖二：(a) 740、760 (b)780、800 (c)820、840°C 生長氧化層 MOS 元件之 I-V 特性及其 $J@2V$ 對 $J@-2.5V$ 之關係圖

圖三(a)與(b)分別為 $J@-2.5V$ 與 $J@2V$ 對溫度變化之大小關係圖，可清楚看出溫度愈高，厚度愈厚， $J@-2.5V$ 漸小，而均勻度愈佳；但因矽基板表面受破壞區愈多， $J@2V$ 漸大，且均勻度漸差，與應力之關係如前段所述。該數據充分顯示超薄氧化層在生長之初相當具變化性，一開始厚度相當的不均勻，而氧化層一旦生長出來，則應力變得相當不均勻，值得注意。



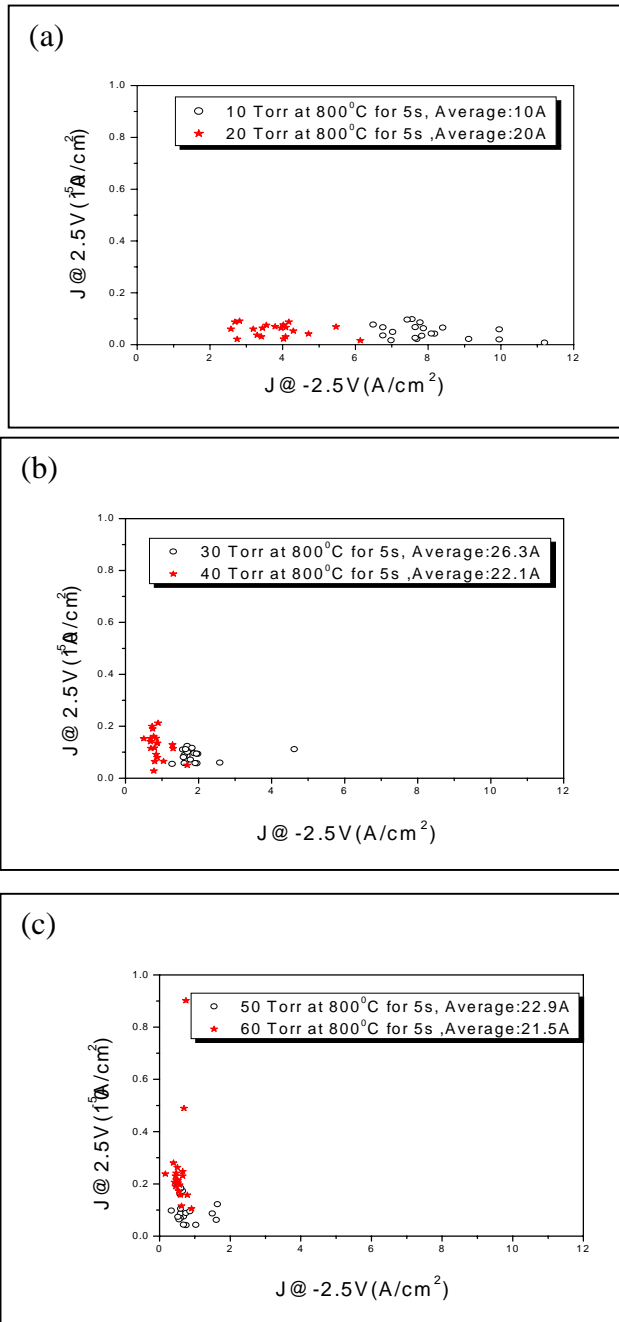
圖三：(a) $J@2V$ 及(b) $J@-2.5V$ 大小值與分布均勻度對生長溫度變化之關係圖

B: 生長壓力對超薄氧化層晶圓應力分布影響

接著探討快速熱生長壓力不同對超薄氧化層電特性之影響，將溫度固定在 800°C，時間固定為 5 sec，壓力從 10 torr 到 60 torr 做變化，觀察所得氧化層 MOS 元件之電特性均勻度分布變化情形。圖四分別為 10、20、30、40、50、與 60 torr 壓力下生長氧化層 MOS 元件之 $J@2V$ 對 $J@-2.5V$ 關係圖，可看出低壓時因氧化層薄不均勻嚴重，所以 $J@-2.5V$ 變化大，但 $J@2V$ 卻因矽基板表面破壞少而值很小。但在高壓時因氧化層變厚均勻度改善，所以 $J@-2.5V$ 變化小，但 $J@2V$ 卻因矽基板表面破壞大而值變大且不均勻嚴重。該現象與溫度有類似之效

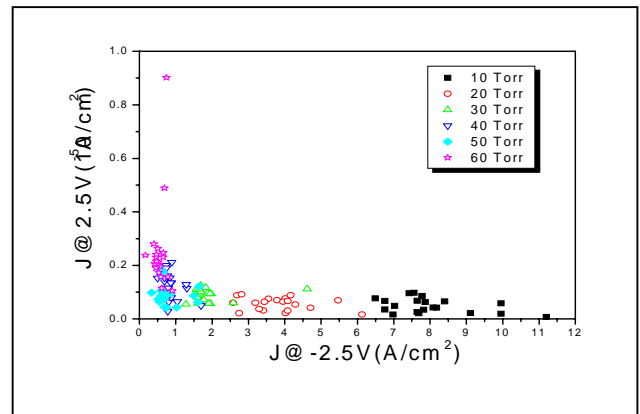
果，顯示壓力與溫度均為超薄氧化層初始特性之重要影響因素，太低溫或太低壓所造成之影響是相類似的。

顯示壓力引起之元件特性影響是與厚度變化引起之影響彼此相關的。



圖四：(a) 10、20 (b)30、40 (c)50、60 torr 生長氧化層 MOS 元件之 $J@2.5V$ 對 $J@-2.5V$ 之關係圖

若將圖四之所有壓力下所得元件之特性整合在一起，將得到如圖五所示之曲線，整體之變化是具一連續性分布之變化，壓力低則氧化層應力小，反之壓力大則氧化層應力大，有其特殊性及參考性，該曲線與本實驗室之前已發表之不同厚度氧化層特性分布有類似之現象，

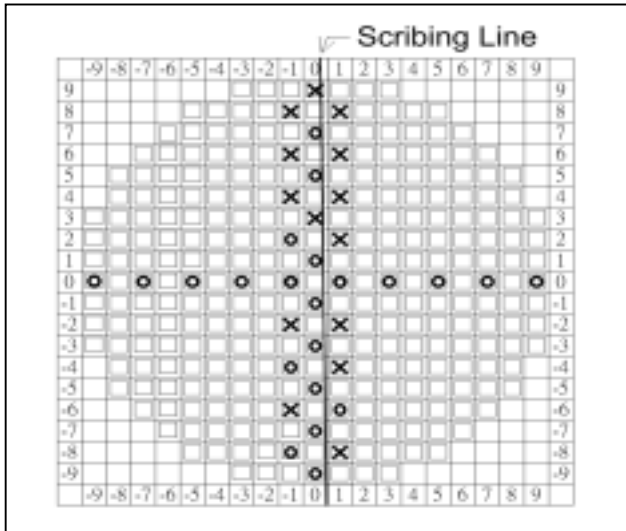


圖五：壓力從 10~60 torr 變化所生長氧化層 MOS 元件之 $J@2.5V$ 對 $J@-2.5V$ 關係圖

C：切割對超薄氧化層晶圓元件之影響

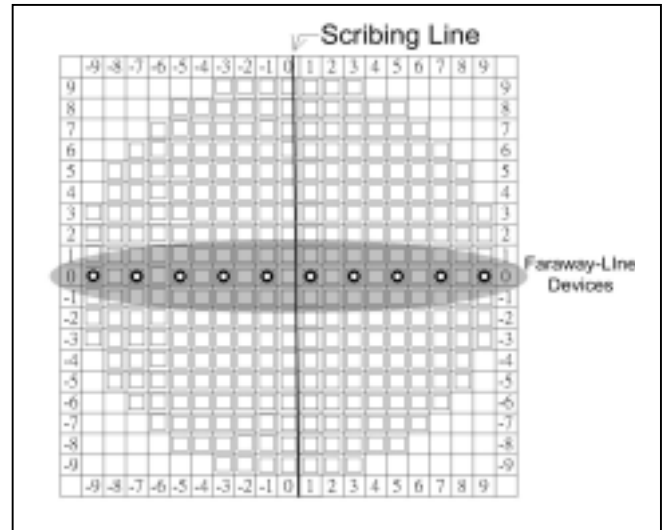
一般而言，當元件在晶圓上製作完成後，很少會去討論切割後之元件特性改變，但是晶圓上存在有許多的應力推擠，切割本身是材料之改變，當然會對應力有所釋放及從安排，若元件特性與應力有關，那麼切割引起之應力變化將可由元件特性之改變而判斷得知。

在本研究中，發現超薄氧化層 MOS 元件之基板注入飽和電流與應力有關，因此可做為偵測參數。另一方面， SiO_2 在 Si 表面因晶格常數不同而對矽晶格呈現伸張應力 (tensile stress)，相對而言，矽基板原子則對 SiO_2 呈現壓縮應力 (compressive stress)，當應力因切割而被釋放時， SiO_2 理當由被壓縮而被釋放，體積變大，厚度等校效變厚，這樣的推測可經如下之實驗觀察而驗證之。圖六為一個三吋之矽晶圓，經 RTO 氧化生長厚度約 20\AA 氧化層後做成 MOS 元件，然後沿著 [100] 方向予以切割成兩個半圓，然後觀察沿著切割線平行及垂直方向元件之電特性於切割前後之變化情形，其中水平方向離切割線很近，而垂直方向則漸遠離切割線，藉此觀察不同位置因切割引起應力釋放之影響差異。圖七(a)與(b)分別為兩個不同位置之元件 I-V 特性，(a)元件較遠離切割線，其切割前後之特性幾乎沒有變化，但(b)元件因靠近切割線，發現 I-V 明顯變化，尤其在正偏壓基板注入電流先上升再下降，顯示切割之影響甚為重要。由於應力之分布相當不均勻，因此必須以多樣品數之取值來做分析較為妥當，特再安排沿著遠離切割線及靠近切割線之元件做統計分析，以探討切割效應。

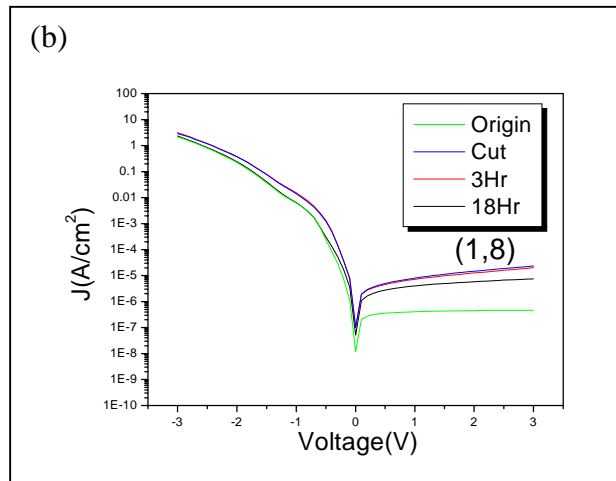
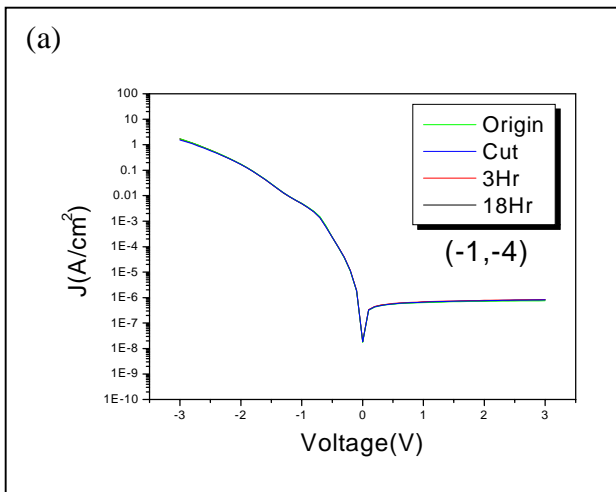


圖六：三吋晶圓上沿著切割線平行及垂直方向測試元件之分布圖

的 Weibull 分布圖如圖九(a)、(b)、及(c)所示，可看出切割前後之電流及電容值沒有明顯差異，顯示離切割線較遠之元件不易受切割而有所影響。

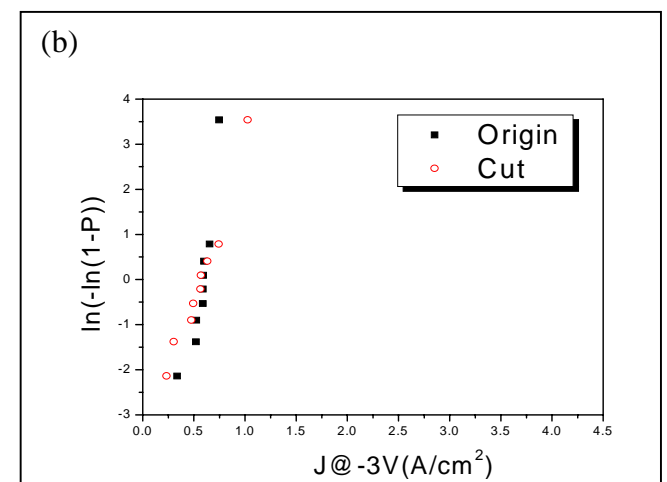
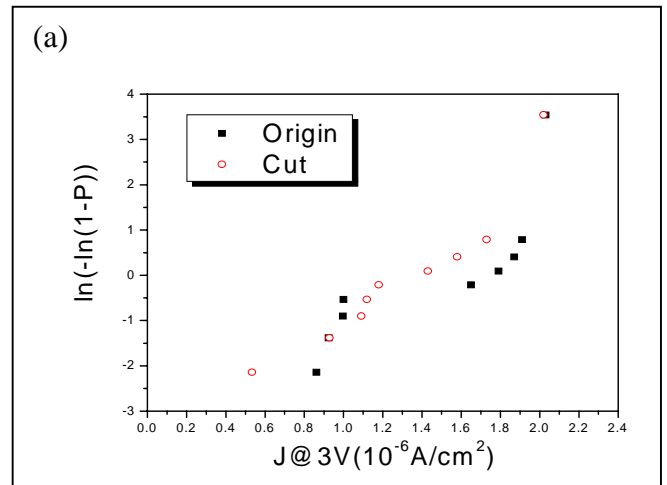


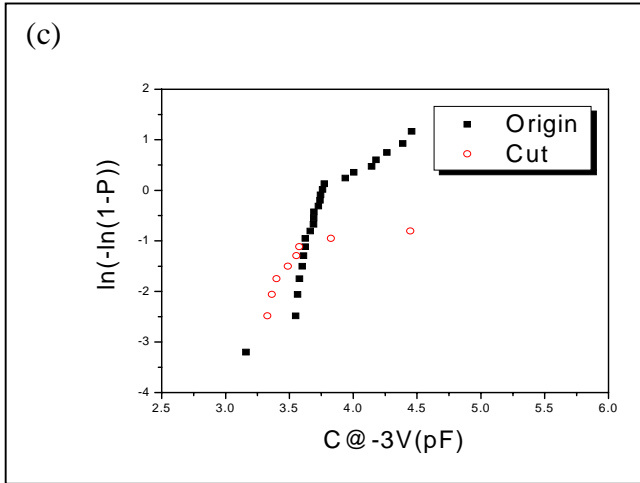
圖八：三吋晶圓上沿著垂直且漸遠離切割線之測試元件位置分布圖



圖七：離切割線(a)較遠及(b)較近元件之切割前後 I-V 特性圖

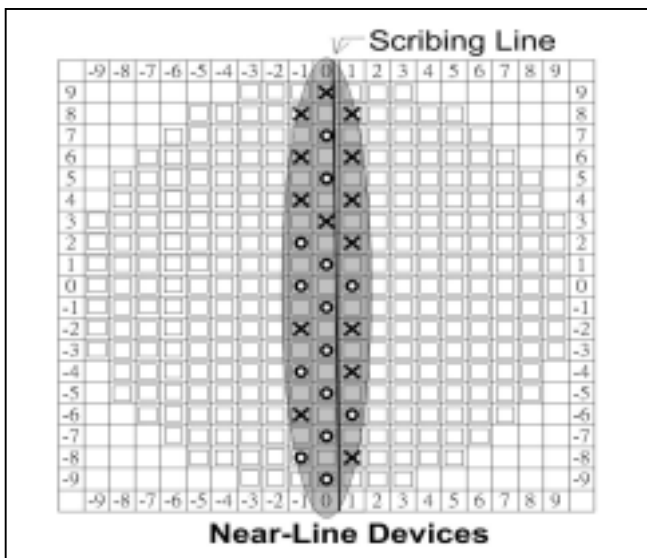
在圖八中顯示沿著垂直且漸遠離切割線之測試元件位置分布圖，稱為 Faraway-Line Devices, 這些元件之 $J@3V$ $J@-3V$ 及 $C@-3V$



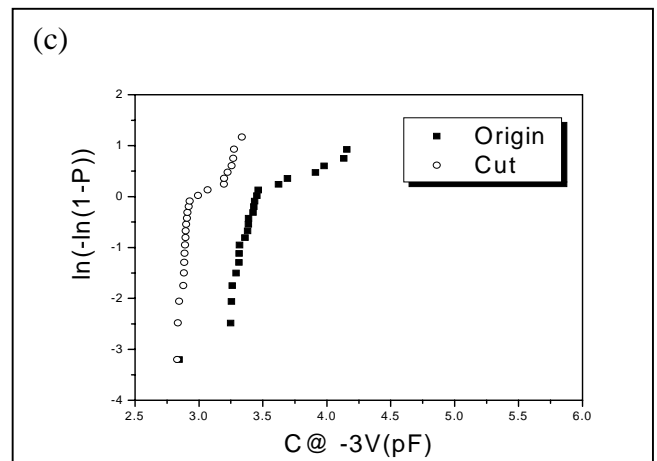
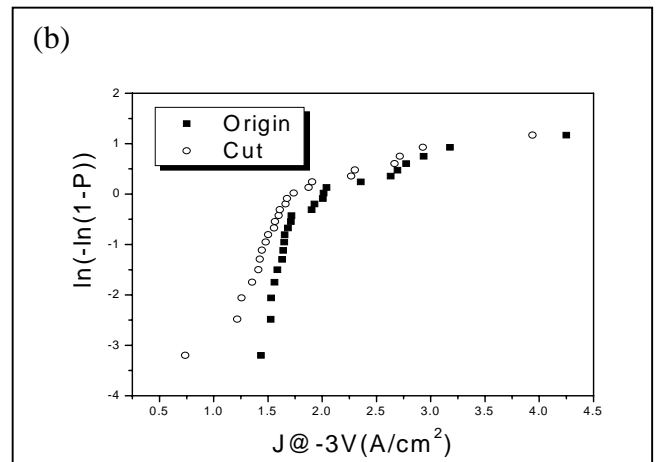
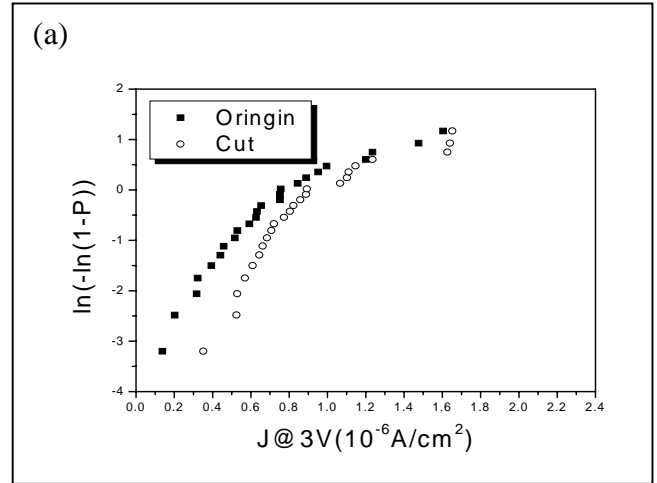


圖九：沿著垂直且漸遠離切割線之測試元件於切割前後之(a) $J@3V$ 、(b) $J@-3V$ 、及(c) $C@-3V$ 的 Weibull 分布圖

圖十為沿著平行且靠近切割線測試元件之位置分布圖，稱為 Near-Line Devices，這些元件之 $J@3V$ 、 $J@-3V$ 、及 $C@-3V$ 的 Weibull 分布圖如圖十一(a)、(b)、及(c)所示，可看出切割前後之電流及電容值有明顯差異， $J@3V$ 切割後值變大，顯示晶格因 tensile stress 被釋放而表面缺陷增多，少數載子較易產生，正偏壓基板注入飽和電流增加； $J@-3V$ 切割後值變小，顯示氧化層厚度因 tensile stress 被釋放而使等效厚度增加； $C@-3V$ 亦顯示因等效厚度增加而使電容值變小，與(b)之觀察一致。整體而言，離切割線較近之元件容易受切割而有所影響。



圖十：三吋晶圓上沿著平行且靠近切割線之測試元件位置分布圖

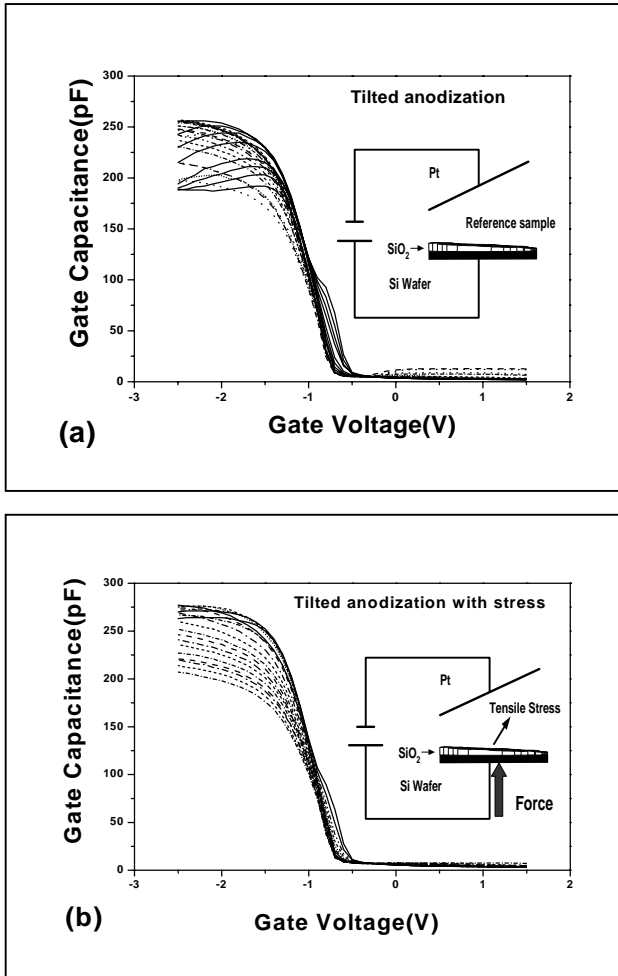


圖十一：沿著平行且靠近切割線之測試元件於切割前後之(a) $J@3V$ 、(b) $J@-3V$ 、及(c) $C@-3V$ 的 Weibull 分布圖

D：應力下生長高品質超薄閘極氧化層技術

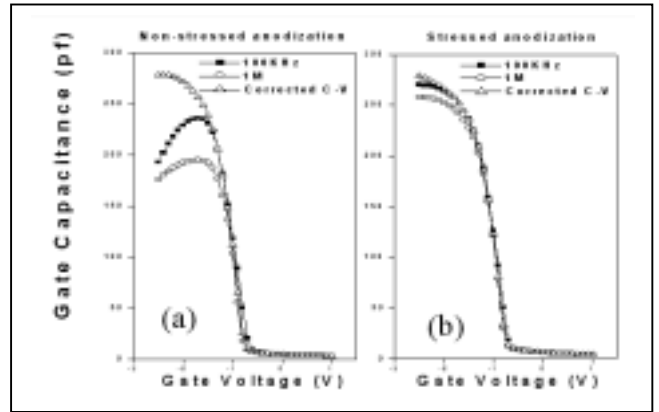
在本研究中提出一新穎前瞻之應力下生長超薄氧化層技術，在水中進行陽極氧化時，除了故意傾斜一角度來獲得不同氧化層厚度外，另外施加一伸張應力於晶圓上，陽極氧化有無施加應力之示意圖如圖十二(a)與(b)之內插圖所

示，而所得不同厚度氧化層 MOS 元件之 I-V 特性分別如圖十二(a)與(b)所示，可看出無應力氧化之元件當負偏壓聚集區(accumulation region)之電容高到 250pF 以後就會因氧化層太薄漏流太大而電容下降，顯示正常超薄氧化層特性。但對應力下生長之氧化層元件如(b)所示，電容可高過 250pF 還不會下降，顯示氧化層在超薄時漏流仍很小，使電容特性仍可清楚呈現，應力氧化明顯有其效應。



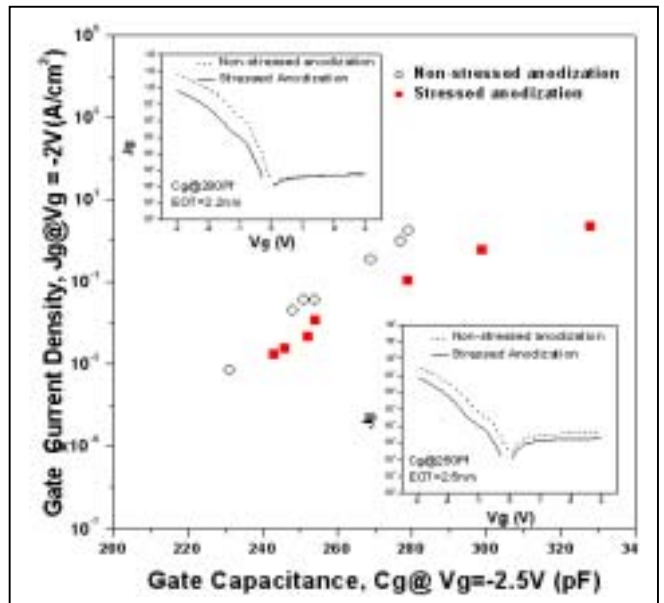
圖十二：在純水中傾斜角度於(a)無應力及(b)伸張應力下陽極氧化所得之不同厚度氧化層 MOS 元件 I-V 特性

圖十三(a)與(b)分別為厚度相同下無應力及有伸張應力下生長氧化層 MOS 元件之 1MHz、100KHz、及經量子效應(quantum mechanical)修正後之 C-V 特性圖，可看出經修正後兩者之聚集區電容相同，所以兩者之厚度相同，但是經應力氧化者其不同頻率之發散(dispersion)程度較小，顯示漏流較小，氧化層特效較佳，這對超薄氧化層特性之改善，提供了一絕佳之參考。



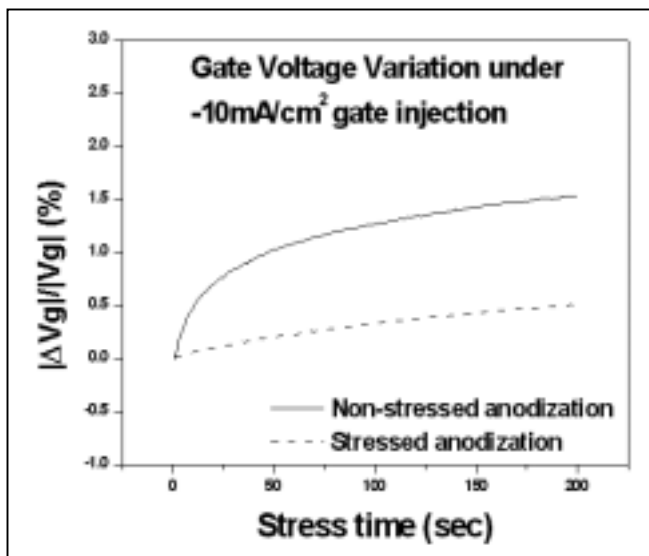
圖十三：(a)無應力及(b)伸張應力下陽極氧化所得相同厚度氧化層 MOS 元件之 1MHz、100KHz、及經修正後之 C-V 特性

圖十四為無應力及伸張應力下陽極氧化生長元件之 $J_g@-2V$ 對 $C_g@-2.5V$ 關係圖，其中 $C_g@-2.5V$ 代表厚度大小， $J_g@-2V$ 代表漏流大小，可看出應力生長氧化層之漏流較一般無應力生長氧化層為小，效應明顯可見。



圖十四：無應力及伸張應力下陽極氧化所得不同厚度氧化層 MOS 元件之 $J_g@-2V$ 對 $C_g@-2.5V$ 關係圖

將厚度相同之兩製程 MOS 元件給予 $-10mA/cm^2$ 之定電流注入，觀察其電壓變化如圖十五所示，可看出經應力氧化者之變化較小，亦即其氧化層品質較佳，主要理由乃在於前述之晶格匹配因施加應力生長而獲得改善，該技術為前所未有，值得深入探討。



圖十五：無應力及伸張應力下陽極氧化所得相同厚度氧化層 MOS 元件之定電流施加下電壓變化特性

四、總結與討論

在本年度之研究中，提出了不同生長溫度及壓力下 RTO 氧化層之應力分析，得到在低溫或低壓下氧化層剛生長之初，氧化引起之表面破壞不嚴重，因此應力變化小；當高溫或高壓引起氧化生長時，厚度漸厚，矽基板表面破壞趨嚴重，應力出現不均勻，影響元件之 I-V 特性。對切割引起之效應，發現靠近切割線之元件在切割後特性改變較明顯，包括氧化層等效厚度變厚，閘級注入電流減少，基板注入飽和電流變大，明顯和應力釋放有關，而遠離切割線之元件其特性變化則較小。對晶圓施加伸張應力下生長氧化層，發現氧化層特性獲改善，漏流減少，穩定度提高，與晶格匹配獲改善有關，為一相當前瞻創新之超薄氧化層生長技術，值得持續之研發。總之，經由本研究可知在超薄氧化層生長時，應力效應扮演著極重要之角色，無法避免，若善加利用，可使氧化層特性獲得進一步之改善，這對現今超薄氧化層之生長技術，相信是有其參考價值的。主持人近三年半(2001~至今)之研究成果亦表列如下，提供參考，

五、主持人近三年半(2001~至今)之研究成果：

(A) Refereed Paper

1. J.Y.Yen and J.G.Hwu, 2001, "Stress Effect on the Kinetics of Silicon Thermal Oxidation", *Journal of Applied Physics*, March, Vol.89, No.5, PP.3027-3032.
2. C.H.Huang and J.G.Hwu, 2001, "Anomalous

Low-Voltage Tunneling Current Characteristics of Ultra-Thin Gate Oxide (~ 2 nm) after High Field Stress", *Journal of Applied Physics*, Vol.89, No.10, PP.5497-5501.

3. C.C.Hong, T.Y.Lee, Y.L.Hsieh, C.C.Liu, Y.K.Feng and J.G.Hwu, 2001, "Improvement in Oxide Thickness Uniformity by Repeated Spike Oxidation (RSO)", *IEEE Transactions on Semiconductor Manufacturing*, August, Vol.14, No.3, PP.227-230.
4. Y.H.Shih and J.G.Hwu, 2001, "An on-Chip Temperature Sensor by Utilizing an MOS Tunneling Diode", *IEEE Electron Device Letters*, June, Vol.22, No.6, PP.299-301.
5. Y.C.Chen, C.Y.Lee, and J.G.Hwu, 2001, "Ultra-thin Gate Oxides Prepared by Alternating Current Anodization of Silicon Followed by Rapid Thermal Anneal", *Solid State Electronics*, Vol.45, PP.1531-1536.
6. C.H.Huang and J.G.Hwu, 2001, "Breakdown Characteristics of Ultra-thin Gate Oxides (< 4 nm) MOS Structures Subject to Substrate Injection", *Journal of Vacuum Science and Technology B*, Sep/Oct, Vol.19(5), PP.1894-1897.
7. Y.P.Lin and J.G.Hwu, 2001, "Application of Anodization to Reoxidize Silicon Nitride Film", *Japanese Journal of Applied Physics*, December, Vol.40, Part 1, No.12, PP.6788-6791.
8. C.C.Hong and J.G.Hwu, 2001, "Degradation in Metal-Oxide-Semiconductor Structure with Ultrathin Gate Oxide due to External Compressive Stress", *Applied Physics Letters*, December, Vol.79, No.23, PP.3797-3799.
9. J.Y.Yen, C.H.Huang, and J.G.Hwu, 2002, "Effect of Mechanical Stress on the Characteristics of Silicon Thermal Oxides", *Japanese Journal of Applied Physics*, January, Vol.41, Part 1, No.1, PP.81-82.
10. C.C.Hong, W.R.Chen, and J.G.Hwu, 2002, "Local Thinning-Induced Oxide Nonuniformity Effect on the Tunneling Current of Ultrathin Gate Oxide", *Japanese Journal of Applied Physics*, January, Vol.41, Part 1, No.1, PP.1-4.
11. C.C.Hong, C.Y.Chang, C.Y.Lee, and J.G.Hwu, 2002, "Reduction in Leakage Current of Low-Temperature Thin Gate Oxide by Repeated Spike Oxidation (RSO) Technique", *IEEE Electron Device Letters*, January, Vol.23, No.1, PP.28-30.
12. C.C.Hong, Y.R.Yen, J.L.Su, and J.G.Hwu, 2002, "Improvement in Ultra-thin Rapid Thermal Oxide Uniformity by The Control of Gas Flow", *IEEE Transactions on Semiconductor Manufacturing*, February, Vol.15, No.1, PP.102-107.
13. C.C.Ting, Y.H. Shih, and J.G.Hwu, 2002, "Ultra Low Leakage Characteristics of Ultra-thin Gate Oxides (~ 3 nm) Prepared by Anodization Followed by High Temperature Annealing", *IEEE Transactions on Electron Devices*, January, Vol.49, No.1, PP.179-181.
14. J.L.Su, C.C. Hong, and J.G.Hwu, 2002, "Enhanced Thermally-Induced Stress Effect on Ultra-thin Gate Oxide", *Journal of Applied Physics*, April, Vol.91, No.8, PP.5423-5428.
15. C.C.Hong, J.L.Chen, and J.G.Hwu, 2002, "Improvement of Oxide Thickness Uniformity by High-Then-Low O_2 Pressure Oxidation in Rapid Thermal Processing", *Journal of Vacuum Science and Technology A*, March/April, Vol.20, No.2, PP.544-548.

16. C.H.Chen, C.C.Hong, and J.G.Hwu, 2002, "Silicon MOS Solar Cells with Oxide Prepared by Room Temperature Anodization in Hydrofluosilicic Acid (H_2SiF_6) Solution", *Journal of The Electrochemical Society*, Vol.149, No.6, PP.G362-G366.
 17. C.C. Hong, C.Y.Chang, C.Y.Lee, and J.G.Hwu, 2003, "Thermal Stress at Wafer Contact Points in Rapid Thermal Processing Investigated by Repeated Spike Treatment before Oxidation", *Journal of Applied Physics*, Vol.93, No.4, February 15, 2003, PP.2225-2228.
 18. Y.P. Lin and J.G. Hwu, 2003, "Using Anodization to Oxidize Ultra-Thin Aluminum Film for High-K Gate Dielectric Application", *Journal of The Electrochemical Society*, Vol.150, No.7, PP.G389-394.
 19. C.C.Hong and J.G.Hwu, 2003, "Stress Distribution on (100) Si Wafer Mapped by Novel I-V Analysis of MOS Tunneling Diodes", *IEEE Electron Device Letters*, Vol.24, No.6, June, PP.408-410.
 20. C.C.Hong, W.J.Liao, and J.G.Hwu, 2003, "Thickness-Dependent Stress Effect in P-type Metal-Oxide-Semiconductor Structure Investigated by Substrate Injection Current", *Applied Physics Letters*, Vol.82, No.22, June, PP.3916-3918.
 21. S.W.Huang and J.G.Hwu, 2003, "Electrical Characterization and Process Control of Cost Effective High-k Aluminum Oxide Gate Dielectrics Prepared by Anodization Followed by Furnace Annealing", *IEEE Transactions on Electron Devices*, Vol.50, No.7, July, PP.1658-1664.
 22. Z.H.Chen, S.W.Huang, and J.G.Hwu, 2004, "Electrical Characteristics of Ultra-thin Gate Oxides (<3nm) Prepared by Direct Current Superposed with Alternating-current Anodization", *Solid-State Electronics*, Vol.48, PP.23-28.
 23. Y.P.Lin and J.G.Hwu, 2004, "Quality Improvement in LPCVD Silicon Nitrides by Anodic and Rapid Thermal Oxidations", *Electrochemical and Solid-State Letters*, Vol.7, No.5, PP.G87-G89.
 24. W.J.Liao, Y.L.Yang, S.C.Chuang, and J.G.Hwu, 2004, "Growth-Then-Anodization Technique for Reliable Ultra-Thin Gate Oxides", *Journal of The Electrochemical Society*, (accepted)
 25. C.S.Kuo, J.F.Hsu, S.W.Huang, L.S.Lee, M.J.Tsai, and J.G.Hwu, 2004, "High-k Al_2O_3 Gate Dielectrics Prepared by Oxidation of Aluminum Film in Nitric Acid Followed by High Temperature Annealing", *IEEE Transactions on Electron Devices*, Vol.51, No.6, June 2004. (accepted)
 26. Y.P.Lin and J.G.Hwu, 2004, "Oxide Thickness Dependent Suboxide Width and Its Effect on Inversion Tunneling Current", *Journal of The Electrochemical Society*, (accepted)
- (B) Conference Paper**
1. J.G. Hwu and Y.H. Shih, 2001, "Utilizing an MOS Tunneling Diode as an On-Chip Temperature Sensing Device", *Tenth Canadian Semiconductor Technology Conference*, August 12-17, Chateau Laurier Hotel, Ottawa, Canada, P.139.
 2. J.G. Hwu, 2001, " Application of Novel Oxidation to Prepare Si Nanostructure Devices", *2001 NSC-NRC Workshop on Nano Device Technology and Nano Electronics*, August 20, Sussex Drive, Room 3001, Ottawa, Canada, P.10. (invited)
 3. C.C.Hong, C.Y.Chang, C.H.Chen, and J.G.Hwu, 2001, "Repeated Spike Technology Employed in Rapid Thermal Processing", *International Conference on Solid State Devices and Materials*, Tokyo, September 26-28, Diamond Hotel, A-4-2, PP.166-167.
 4. J.G.Hwu, C.Y.Lee, C.C.Ting, and W.L.Chen, 2001, "Novel Ultra Thin Gate Oxide Growth Technique by Alternating Current Anodization", *6th International Conference on Solid-State and Integrated Circuit Technology Proceedings*, Volume 1, October 22-25, Shanghai, China, PP.309-314.(invited)
 5. C.C.Hong nad J.G.Hwu, 2001, "The Wafer Cutting Effect on the Substrate Injection Current of MOS Devices", *Proceedings of Electronic Devices and Materials Symposium*, December 12-13, Kaohsiung, Taiwan, PP.33-36.
 6. Y.P.Lin and J.G.Hwu, 2001, "Ultra-thin Aluminum Oxide Gate Dielectric Prepared by Anodization", *Proceedings of Electronic Devices and Materials Symposium*, December 12-13, Kaohsiung, Taiwan, PP.798-799.
 7. Y.H.Shih and J.G.Hwu, 2001, "A Polarity Dependent Breakdown Model of Ultra-thin Gate Oxides", *Proceedings of Electronic Devices and Materials Symposium*, December 12-13, Kaohsiung, Taiwan, PP.46-49.
 8. C.C.Hong and J.G.Hwu, 2001, "Repeated Pulse-Heating Process in Rapid Thermal System", *The 5th Nano Engineering and Micro System Technology Workshop*, December 12-13, Shin-Chu, Taiwan.
 9. Y.P.Lin and J.G.Hwu, 2002, "Ultrathin Aluminum Oxide Gate Dielectric Prepared by Anodization Followed by Rapid Thermal Anneal", *201st Meeting of The Electrochemical Society*, Centennial Meeting May 12-17, Philadelphia, USA, Volume 2002-1, Abstract No.10.
 10. Y. P. Lin, Z. H. Chen, and J. G. Hwu, 2002, " SiO_2/Si Suboxide Characteristics of Ultra-Thin Gate Oxides Prepared by Room Temperature Anodic Oxidation and Rapid Thermal Oxidation", *International Conference on Solid State Devices and Materials*, Nagoya Congress Center, Tokyo, September 17-20, PP.708-709.
 11. S.R.Lin and J.G. Hwu, 2002, "High Sensitive MOS Tunneling Temperature Sensors for On-Chip Temperature Detection", *Proceedings of 2002 International Electron Devices and Materials Symposia*, December 20-21, Taipei, Taiwan, Republic of China, PP.469-472.
 12. Y.P Lin and J.G. Hwu, 2002, "Low Interface States Al_2O_3/SiO_2 Stacked Dielectric Structure with One Step Anodic Oxidation Followed by Rapid Thermal Annealing", *Proceedings of 2002 International Electron Devices and Materials Symposia*, December 20-21, Taipei, Taiwan, Republic of China, PP.94-97.
 13. S.W. Huang and J.G. Hwu, 2002, "Characterization of MOS Structure with Aluminum Oxide Gate Dielectric", *Proceedings of 2002 International Electron Devices and Materials Symposia*, December 20-21, Taipei, Taiwan, Republic of China, PP.429-432.
 14. Y.P.Lin and J.G.Hwu, 2003, "Rapid Thermal and Anodic Oxidations of LPCVD Silicon Nitride Films", *203 Meeting of The Electrochemical Society*, April

- 27-May 2, Le Palais des Congres, *G1-Seventh International Symposium on Silicon Nitride and Silicon Dioxide Thin Insulating Films*, Paris, France
15. Y.P.Lin and J.G.Hwu, 2003, "The Role of Suboxide in N-type and P-type MOS Diodes", *Proceedings of Electronic Devices and Materials Symposium*, November 21-22, Keelung, Taiwan, PP.783-786.
 16. S.W Huang, C.W Hsu, C.W Hsiung, and J.G Hwu, 2003, "Process Technologies of SiO₂ and Al₂O₃ Gate Dielectrics on 4H-SiC", *Proceedings of Electronic Devices and Materials Symposium*, November 21-22, Keelung, Taiwan, PP.791-794.
 17. C.S Kuo, J.F Hsu, and J.G Hwu, 2003, "Characterization of Metal-Insulator-Semiconductor Structure with High-k Al₂O₃ Gate Dielectrics", *Proceedings of Electronic Devices and Materials Symposium*, November 21-22, Keelung, Taiwan, PP.681-684.
 18. T.M Wang, S.R Lin and J.G Hwu, 2003, "MOS Tunneling Temperature Sensors for Detecting The On-chip Temperature Distribution", *Proceedings of Electronic Devices and Materials Symposium*, November 21-22, Keelung, Taiwan, PP.753-756.
 19. H.P Lin and J.G Hwu, 2003, "Observation of The Change of Current Uniformities of MOS(P) Structures with Oxides Grown from 740⁰C to 840⁰C", *Proceedings of Electronic Devices and Materials Symposium*, November 21-22, Keelung, Taiwan, PP.734-737.
 20. C.S.Kuo, L.S.Lee, M.J.Tsai, and J.G.Hwu, 2004, "Ultra-thin HfO₂ Gate Dielectrics Prepared by Oxidation of Hf Metal Film in Nitric Acid Followed by High Temperature Anneal", *International Symposium on Nanoelectronic Circuits and Giga-scale Systems (ISNCGS 2004)*, February 12-13, Miao-Li, Taiwan, PP.51-55.
 21. Y.P.Lin and J.G.Hwu, 2004, "MOS Tunneling Diodes with Ultra-thin Oxides of N-type and P-type Silicon Substrates", *International Symposium on Nanoelectronic Circuits and Giga-scale Systems (ISNCGS 2004)*, February 12-13, Miao-Li, Taiwan, PP.56-60.
 22. S.W.Huang, H.L Tsai, J.R.Yang, C.W.Hsu, C.W.Hsiung, and J.G.Hwu, 2004, "Alternative Nano-Scale Gate Dielectric on 4H-SiC Prepared by Low Thermal Budget Nitric Acid Oxidation of Ultra-thin Aluminum Film", *International Symposium on Nanoelectronic Circuits and Giga-scale Systems (ISNCGS 2004)*, February 12-13, Miao-Li, Taiwan, PP.35-39.
- (C) Technical Report**
1. J.G.Hwu, September, 2001, "Application of Oxidation in Liquid and Irradiation Technique to the Fabrication Process of Ultra-thin Gate Oxides", *National Science Council*, NSC89-2215-E-002-042
 2. J.G.Hwu, May 2001, "Studies on Rapid Thermal Equipment and Process (2/3)", *National Science Council*, NSC89-2218-E-002-084
 3. J.G.Hwu, May 2001, "Repeated Pulse-Heating Process in Rapid Thermal System (2/3)", *National Science Council*, NSC89-2218-E-002-085
 4. J.G.Hwu, May 2002, "Development of Si Novel Devices and Module Technology (1/3)", *National Science Council*, NSC90-2215-E-002-032
 5. J.G.Hwu, May 2002, "Application of Ultra-thin Film Oxidation Technology on Si Devices (1/3)", *National Science Council*, NSC90-2215-E-002-033
 6. J.G.Hwu, September 2002, "Studies on Rapid Thermal Equipment and Process (3/3)", *National Science Council*, NSC90-2212-E-002-224
 7. J.G.Hwu, September 2002, "Repeated Pulse-Heating Process in Rapid Thermal System (3/3)", *National Science Council*, NSC90-2212-E-002-225
 8. J.G.Hwu, 2003, "矽新型元件及模組技術研發(1/3) – 總計畫", *工程科技通訊 (Engineering Science & Technology Newsletter NSC)*, 電機 第六十七期 . (invited)
 9. J.G.Hwu, May 2003, "Development of Si Novel Devices and Module Technology (2/3)", *National Science Council*, NSC91-2120-E-002-001
 10. J.G.Hwu, May 2003, "Application of Ultra-thin Film Oxidation Technology on Si Devices (2/3)", *National Science Council*, NSC91-2120-E-002-002
 11. J.G.Hwu, May 2003, "Study on The Oxide Uniformity and Stress Effect in Rapid Thermal Processing (1/3)", *National Science Council*, NSC91-2215-E-002-023
 12. 胡振國、劉致為、吳又麟、林彥伯、黃思維、郭智昇、林見儒、洪朝基、鄭容裕、林豪鵬、許博欽、林式庭, 2003, "矽新型元件及模組技術研發(2/3)", 奈米國家型科技計畫 – 商機探討暨成果發表會, November 8~10, Hsinchu, Taiwan, A-2-9-1~8, PP.117~118.
- (D) Patent**
1. 胡振國, 施彥豪, "強化閘極氧化層之方法", (*中華民國專利* — 公告號-417199, 卷/期-019/012, 申請案號-088109723, 公告日期-20010101, 證書號-發明第125528號, 專利期限-2001/1/1~2019/6/9, 國科會頒證-2001/6/21)
 2. Jenn-Gwo Hwu and Yen-Hao Shih, "Method for Improving The Electrical Properties of A Gate Oxide", (*U.S.A. Patent* — Issued / Filed Dates – March 5, 2002 / February 17, 2000, Application No.-09/506850, Patent No.-6352939 B1, Duration-2002/3/5~ 2020/2/16, NSC Awarded Date-2002/5/17)
 3. 胡振國, 施彥豪, "金氧半穿隧二極體溫度感應器及其製造方法", (*中華民國專利* — 公告號-530422, 卷/期-019/012, 申請案號-090127083, 公告日期-20030501, 證書號 - 發明第 177352 號, 專利期限 -2003/5/1~2021/10/30 / U.S.A.專利 — 申請中)
 4. 胡振國, 林彥伯, 黃思維, "以液相陽極氧化技術成長高介電常數閘極介電質之方法", (*中華民國專利* — 公告號-565885, 卷/期-019/012, 申請案號-091112489, 公告日期-20031211, 證書號-發明第192516號, 專利期限-2003/12/11~2022/6/9 / U.S.A.專利 — 申請中)

可供推廣之研發成果資料表

可申請專利

可技術移轉

日期：93年5月16日

國科會補助計畫	計畫名稱：快速熱製程氧化層之均勻度與應力效應研究 (2/3) 計畫主持人：胡振國 計畫編號：NSC 92 - 2215 - E - 002 - 005 學門領域：微電子
技術/創作名稱	應力氧化生長高品質超薄閘極氧化層技術
發明人/創作人	胡振國、林彥伯
技術說明	中文： 將晶圓於受應力下予以液相陽極氧化生長氧化層，使矽基板原子間隔變大而可以和 SiO ₂ 之晶格匹配，進而使 SiO ₂ /Si 界面較完整，所得之氧化層相對於無施加應力下所生長之氧化層呈現較小之漏流，及較佳之穩定性，有效改善現今超薄閘極氧化層之品質。 英文： The wafer was mechanically stressed during anodization to enlarge the lattice constant of Si to match that of SiO ₂ so that the SiO ₂ /Si interface will become more perfect than without. It was found that the stressed oxidation samples exhibit less leakage and better reliability than those without. It is interesting for the oxidation engineering in preparing ultra-thin gate oxides.
可利用之產業及可開發之產品	對矽 MOS 元件超薄閘極氧化層品質提供改善技術，使 IC 漏流減少，元件穩定度提高，積體電路產品更具競爭性。
技術特點	在生長氧化層時對晶圓施加伸張應力，使氧化時之氧原子得以和矽原子有較完整之鍵結，界面特性佳。
推廣及運用的價值	使現今矽積體電路 MOS 元件及電路電特性獲改善，影響層面廣，應用價值高。

1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。
2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。
3. 本表若不敷使用，請自行影印使用。