

中文摘要

隨著 2G/2.5G/3G 高速通訊時代來臨，多標準/多模式共存 (Multi Standard/Multi Mode) 和單一標準多模式 (Multi-Mode in Single Standard) 的通訊系統已成為一種趨勢，以便能夠提供各種不同的通訊傳輸服務。在本計畫第一年中，我們已經完成通訊系統中維特比解碼器 (Viterbi Decoder)、里德所羅門的編碼、解碼器 (Reed-Solomon Encoder/Decoder) 及快速傅立葉轉換處理器 (Fast Fourier Transform, FFT) 等三個常用模組的可重組化，本年度我們要利用以上的可重組化通訊引擎 (Reconfigurable Communication Engine, RCE)，整合成一個多模式的通訊系統。

我們選擇的歐規地面數位電視廣播 (Digital Video Broadcasting-Terrestrial, DVB-T) 是下一代的數位電視規格，也是未來的視訊主流，使用編碼正交分頻多工 (Coded Orthogonal Frequency Division Multiplexing, COFDM) 技術，使用快速傅立葉轉換處理器解調，FFT 點數有 2k、8k 點兩種模式，錯誤更正碼分別採用維特比解碼器、里德所羅門解碼器為內、外解碼。維特比解碼器的多項式為 $(171,133)_{\text{oct}}$ ，編碼率 (code rate) 有 1/2、2/3、3/4、5/6 與 7/8 五種模式，而里德所羅門解碼器使用的使用的模式為 RS(204, 188, $t = 8$)。

我們先以 Simulink 建立各模組，完成系統整合，模擬浮點數運算來驗證功能正確，並模擬固定點數運算做硬體位元最佳化。然後使用對應的可重組化通訊引擎，並控制操作在對應的模式，並加入其他模組，如解交錯器 (Deinterleaver)、頻域等化器 (Frequency Equalizer, FEQ)，完成硬體整合，並以軟體 Simulink 產生的資料作驗證。藉由適用於多標準的可重組化通訊引擎，我們可以重複使用 (reuse) 現有的模組，方便快速的建立起所要的通訊系統。

關鍵詞：可重組化、可重組化通訊引擎、地面數位電視廣播

Abstract

With the advent of the 2G/2.5G/3G high-speed telecommunication, the communication system of multi-standard / multi-mode and the multi-mode in single standard has become a trend as to offer a variety of communication services. In the 1st year of this project, we have finished the following three *Reconfigurable Communication Engines* (RCE), which are common in communication systems, Viterbi decoder, Reed Solomon encoder/decoder, and Fast Fourier Transform (FFT) processor. This year we integrate these three RCEs into a multimode communication system.

The chosen standard, *Digital Video Broadcasting-Terrestrial* (DVB-T), is the next generation of digital television, which is the future trend of video. DVB-T adopts Coded Orthogonal Frequency Division Multiplexing (COFDM) technology. FFT processor used for demodulation has 2k and 8k mode. Forward Error Correction (FEC) adopts Viterbi decoder and Reed Solomon decoder to be inner decoder and outer decoder. Viterbi decoder with generation polynomial $(171, 133)_{\text{oct}}$ support 5 kinds of code rate, 1/2 2/3 3/4 5/6 and 7/8. And RS(204, 188, $t = 8$) Reed Solomon code is adopted.

We use Simulink to build up each module for system integration. First floating point simulation is performed for functional verification and then fixed point simulation for hardware

wordlength optimization. Configure the RCE and integrate with the other necessary modules like deinterleaver and FEQ. Verify the system with pattern generated by Simulink. By utilizing RCE which meets various communication standards, we can reuse modules and build up communication systems fast.

Keywords: Reconfigurable, Reconfigurable Communication Engine, DVB-T

一、計畫緣由與目的

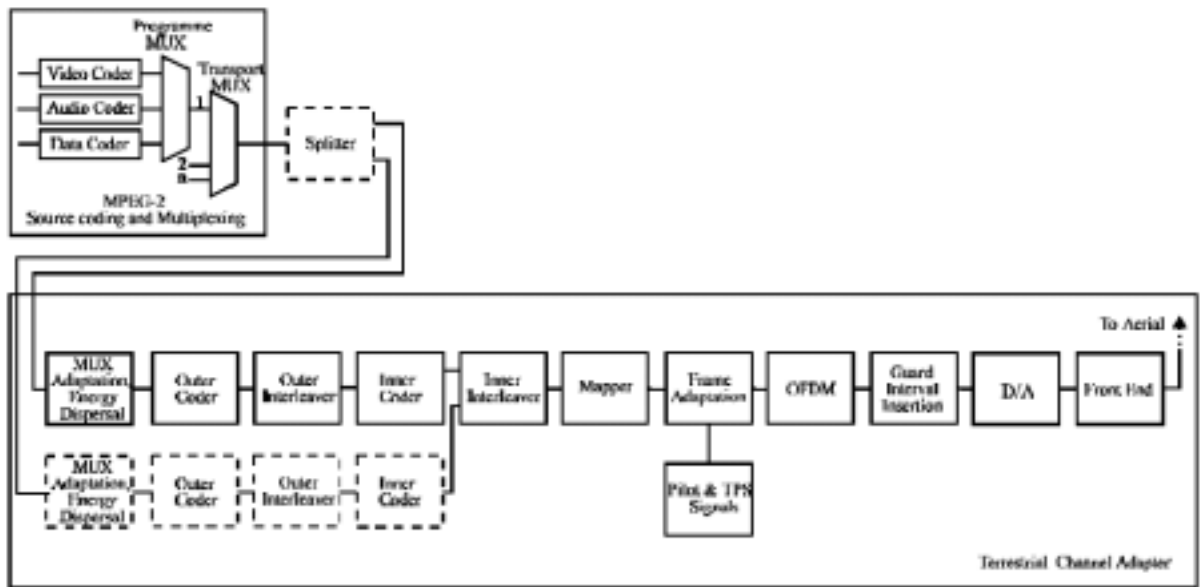
隨著 2G/2.5G/3G 高速通訊時代來臨，多標準/多模式共存 (Multi Standard/Multi Mode) 和單一標準多模式 (Multi-Mode in Single Standard) 的通訊系統已成為一種趨勢，以便能夠提供各種不同的通訊傳輸服務。單一標準多模式 (Multi-Mode in Single Standard)，如可調速 (Rate-adaptive) 有線非同步數位用戶專線 (Asymmetric Digital Subscriber Line, ADSL) 和無線通訊 802.11a 標準；或多標準/多模式共存 (Multi Standard/Multi Mode)，如無線通訊 2G/2.5G/3G 標準。目前通訊 IC 多以數位訊號處理器為解決方式，但通常 DSP 的執行速度並無法因應高速傳輸之要求。另一方面，傳統上大多數特定功能積體電路 (Application Specific Integrated Circuit, ASIC) 的設計並不能動態改變模組的功能以因應通訊系統規格改變，且設計相當費時、所費成本高昂。因此，IC 設計不能只作單一組態的功能模組設計，須朝向多組態的動態模組設計。

在本計劃中，我們提出所謂可重組化通訊引擎 (Reconfigurable Communication Engine)，這是一種可重組化 (Reconfigurable Computing, RC) 的硬體架構，可隨著不同通訊系統格規的改變，將硬體動態重組，達到符合系統規格要求。我們研究的重點是，提出不再只是單一功能 (Functional) 的通訊模組，而是能依照不同的系統規格重新組態硬體，達成整合硬體和軟體，使軟、硬體能夠一同運作，達到相輔相成的功效。我們的研究目標為運用可重組化硬體設計概念，使硬體不但有著可擴充性、高效能及低功率，同時也兼具軟體般的智慧，達到單一硬體多功能的目的。

在本計畫第一年中，我們已經針對通訊系統中常用的三個模組做了可重組化，如維特比解碼器、里德所羅門的編碼、解碼器及快速傅立葉轉換處理器，皆符合多系統規格的要求，在本年度，我們整合這些可重組化通訊引擎，可以快速方便的實現一個多模式的系統標準，我們選擇的歐規地面數位電視廣播[1]是下一代的數位電視規格，也是未來的視訊主流，數位電視廣播相較於傳統的類比電視廣播，除了可經由視訊和音訊壓縮技術來大幅增加傳送的頻道，以提供更高影像畫質與更好音質的節目以及更佳頻譜使用效率之外，更重要是它能夠提供許多不同於已往的數據服務。地面數位電視廣播使用編碼正交分頻多工 (Coded Orthogonal Frequency Division Multiplexing, COFDM) 技術，使用快速傅立葉轉換處理器編解調，錯誤更正碼分別採用維特比、里德所羅門解碼器為內、外解碼。

二、研究方法與成果

1997 年 DVB-T 正式成為 ETSI 標準，為下一代數位電視廣播規格[1]。採用 COFDM 技術，可以更有效利用頻寬，對多路徑 (Multipath) 干擾更有抵抗力，方便單頻網 (single frequency Network) 架設，更支援行動接收，可以在移動的交通工具上觀賞電視，傳輸的視訊為高畫質 MPEG2 格式，亦能傳輸非視訊的數位資料。圖一為 DVB-T 系統架構圖，表一為 DVB-T 規格中不同模式的參數。



圖一、DVB-T 系統架構圖

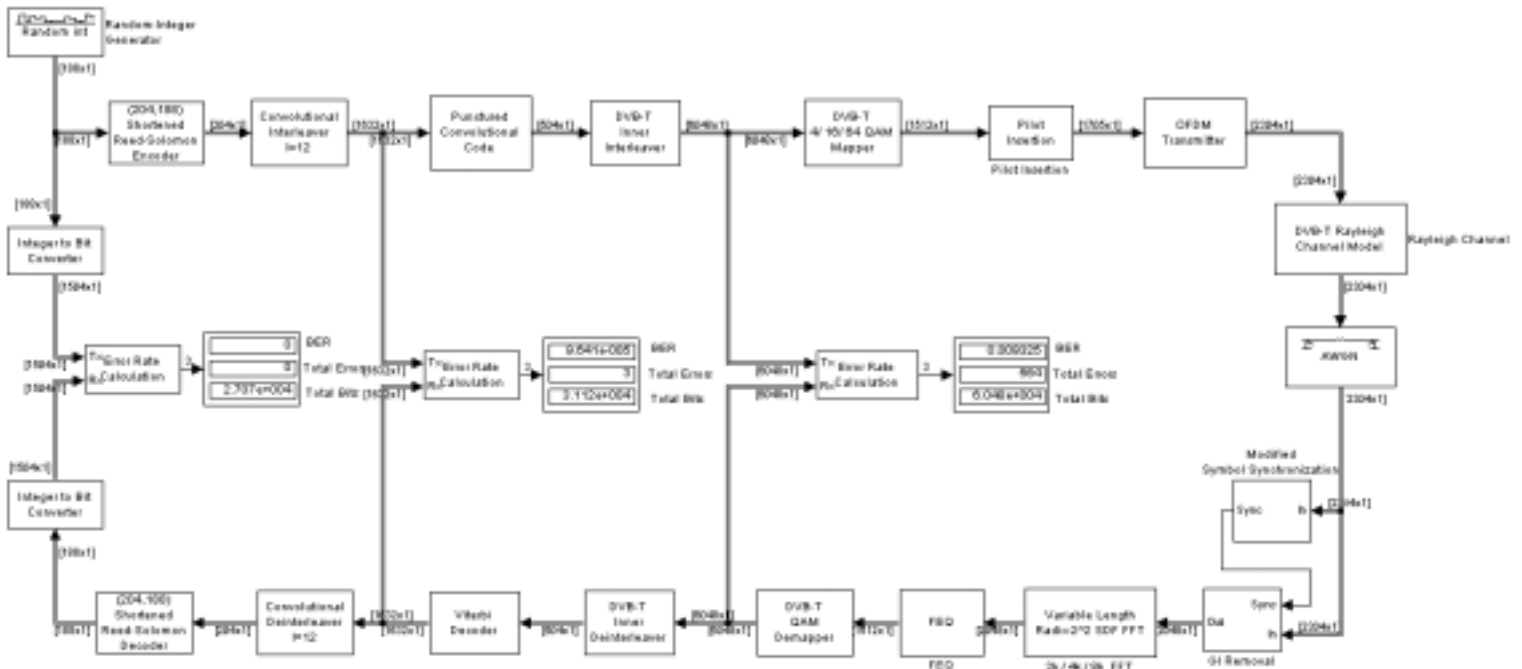
變數 \ 傳輸模式	2K模式	8K模式
OFDM 次載子數目	1705	6817
符元時間	224 μ s	896 μ s
FFT點數	2048	8192
防衛區間	1/4、1/8、1/16、1/32	
編碼率	1/2、2/3、3/4、5/6、7/8	
調變方式	QPSK、16-QAM、64-QAM	
傳輸速率	4.98 – 31.67 Mbps	

表一、DVB-T 規格中不同模式的參數(8MHz 頻寬)

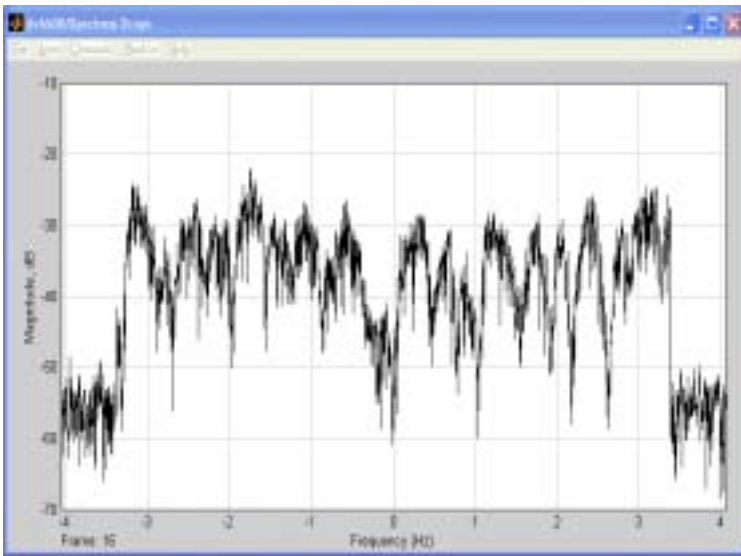
● Simulink 系統模擬

我們使用 Simulink 來建立系統模擬如圖二，我們完整建立起 DVB 系統的傳送端 頻道接收端，這裡頻道使用 DVB 規格中附的頻道模型加上 AWGN。我們的 DVB 基頻接收機電路設計即以此為基礎。經由此系統模擬，我們把每個模組之間輸入輸出的值取出，就能用來驗證電路設計功能是否正確。

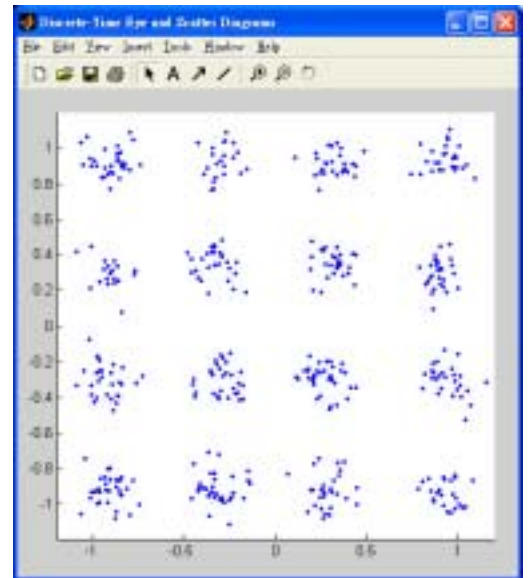
同時，我們可以比較接收機未解碼、經內解碼器、與經過外解碼器不同的位元錯誤率 (Bit Error Rate, BER)，舉例，下面系統操作在 $N_{fft} = 2k$, $GI = 1/8$, $Code Rate = 2/3$, $Modulation = 16QAM$, $AWGN SNR = 25$ 。如下圖所示，經頻道影響後，收到的未解碼資料 BER 約 10^{-2} ，經過為特比解碼器後，BER 降到 10^{-4} ，再經過理德所羅門解碼器，錯誤就能完全更正，得到完全正確無誤的值。



圖二、Simulink 系統模擬圖



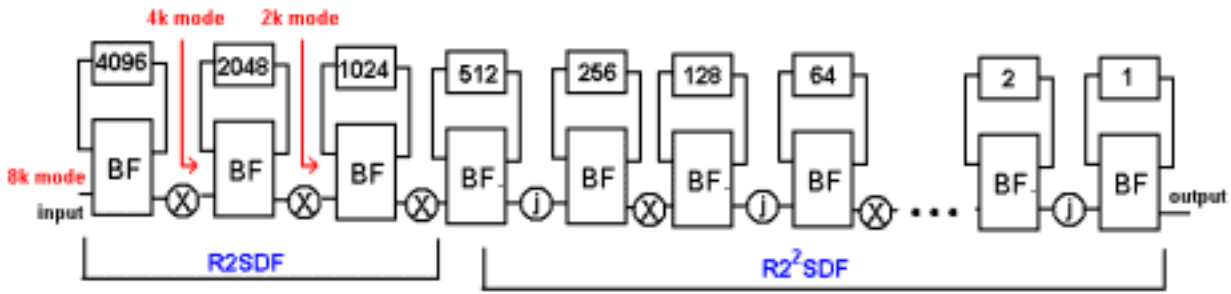
頻道的頻譜 (頻寬 8MHz)



星座圖 (16QAM)

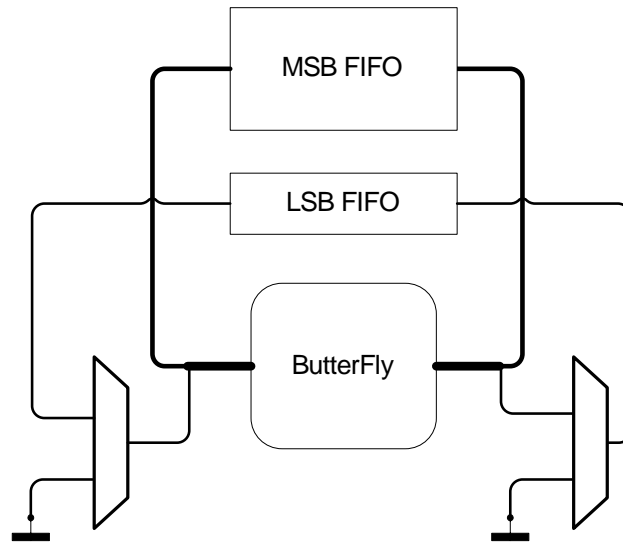
● 快速傅立葉轉換器(Fast Fourier Transformer)

在 DVB-T 系統中，共有 2k 和 8k 兩種 FFT 模式，我們採用 Single Delay Feedback 架構，架構總共有 13 級以 radix 2 為基礎的蝴蝶運算器，前三級採 radix 2 single delay feedback(R2SDF)架構，當要計算不同的點數時，自不同級的蝴蝶運算器 (Butterfly) 輸入資料即可，用 MUX 就能簡單的達到可重組化的功能，R2SDF 架構提供計算不同點數的彈性。後 10 級為 radix 2² single delay feedback(R2²SDF)架構，保有 R2SDF 的規律架構與簡單控制，並節省了一半的複數乘法器成本。圖三為所用的可重組化 FFT 架構圖



圖三、可重組化 FFT 架構圖

DVB-T 系統中不同模式對於錯誤或抗雜訊能力不同，操作在抗雜訊能力高的模式時，FFT 容許輸出較低的精準度，這樣一來，不但可以降低運算單元與記憶體的字元長度 (word length)，還可以降低功率消耗[2]，因此我們設計了可重組化位元長度的蝴蝶運算器如圖四，在不同模式時操作在不同位元長度，使功率消耗不致浪費，達到最佳化。

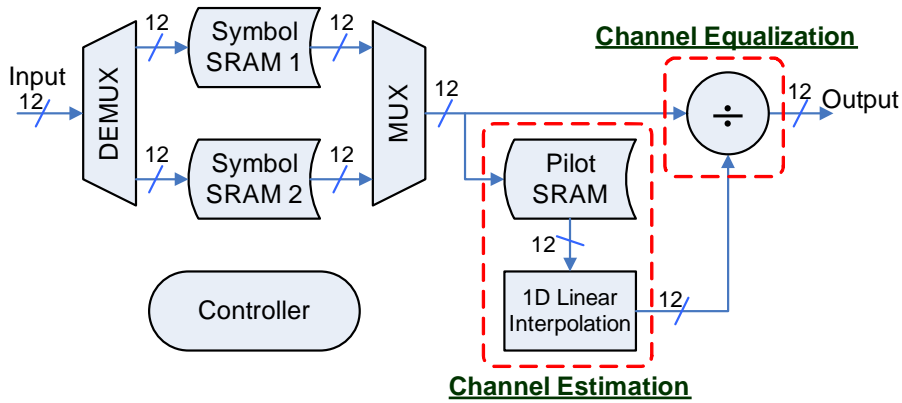


圖四、可重組化位元長度蝴蝶運算器

- 通道估計與等化(Channel Estimation and Equalization)

通道估計與等化是重要的 OFDM 系統研究題目，目前已有各種相關的演算法。然而在硬體實作時，除了考慮效能因素，還要將複雜度考慮在內。因此我們採用了一種適用於快速變化通道(行動應用)以及在頻率上高度精確的演算法，並簡化等化器的設計[8]來達到理想的效能，進而節省運算資源。

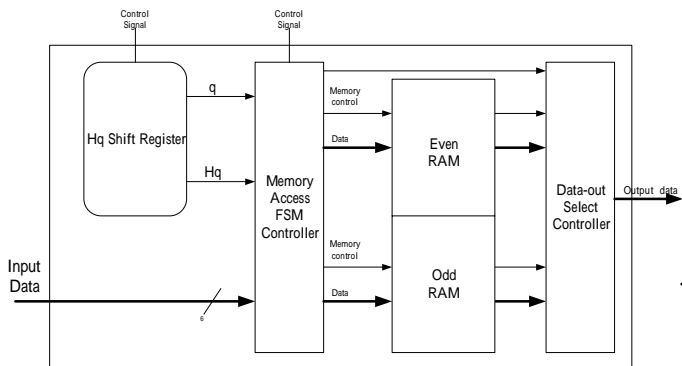
圖五為通道估計與等化架構圖，我們以一個複數除法器來實現通道等化器，將先前隨機存取記憶體以正常順序輸出的資料流作為被除數，通道估計器送出的頻率響應作為除數，則計算出的商即原本傳送端所傳輸的數值。



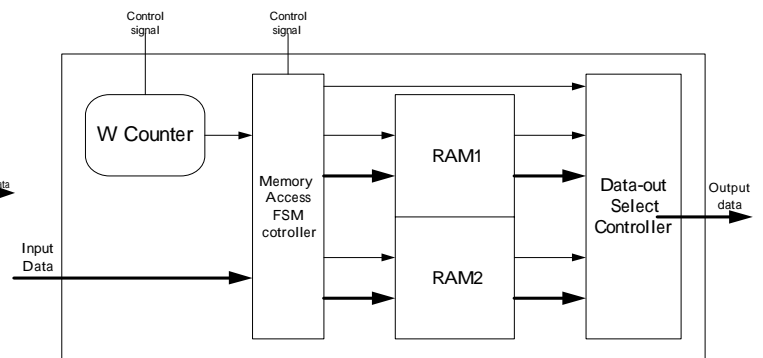
圖五、通道估計與等化架構圖

● 內解交錯器 (Inner Deinterleaver)

內解交錯器[3]分為符元解交錯器 (Symbol Deinterleaver) 與位元符元解交錯器 (Bit Deinterleaver)，符元解交錯器如圖六，將原本在頻域上被打散的資料解回來，在不同模式下，以 2k 或 8k 點為單位。位元解交錯器如圖七，是要解在位元上被打散的資料，每個位元解交錯器是以 126 位元為單位來處理資料，並根據不同調變模式而啟用不同個數的解交錯器，處理大小不同的單位，在使用 64QAM 時可以啟用六個的解交錯器，處理單位大小為 756 位元的資料。但是輸入的資料數量很大，依據不同傳輸模式，會需要不同次數單位的處理。



圖六、符元解交錯器



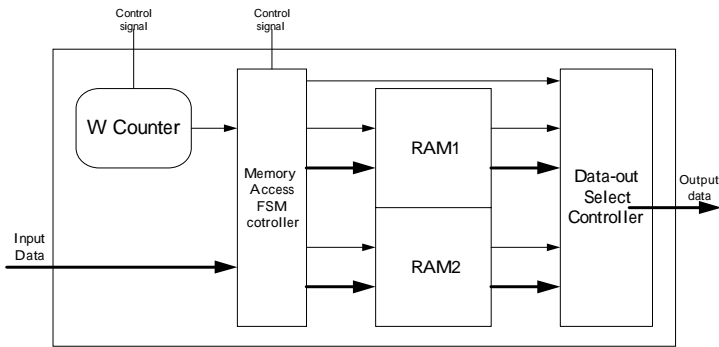
圖七、位元解交錯器

● 維特比解碼器 (Viterbi Decoder)

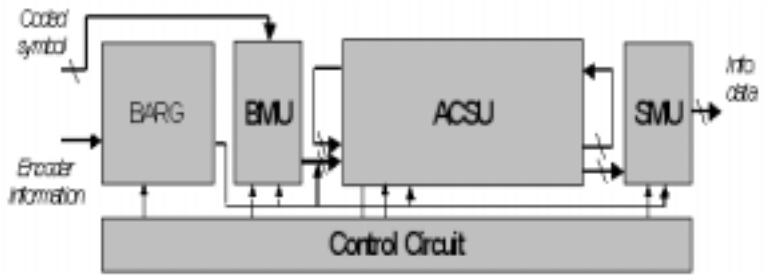
使用最大相似演算法的唯特比解碼器已被廣泛地使用，然而在不同的應用中，不同的參數往往導致在唯特比解碼器時，必須重頭來過，使得設計的過程耗時又耗力。因此我們提出一個可規劃式的唯特比解碼器[4][5]，希望只需更改模組間的控制電路，便可應用到不同規格的設計上；如圖九，我們加上一個稱為 BARG (BM-to-ACS Routing Generator) 的模組，利用改變傳統維特比解碼器中 BMU 和 ACS 之間的一些線路更動和加上適當的邏輯電路，即可適用於不同參數之應用。

在 DVB-T 系統中，編碼產生多項式為 $(171,133)_{oct}$ ，編碼率有 1/2、2/3、3/4、5/6 與 7/8

五種模式，我們設計解打孔器（Depuncture）如圖八，可以解 DVB-T 系統中各種使用不同編碼率。



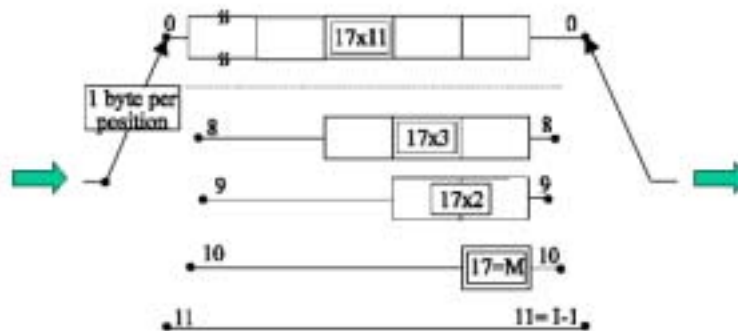
圖八、位元解交錯器



圖九、可規劃式唯特比解碼器架構

● 外解交錯器(Outer Deinterleaver)

由於外解編碼器解編碼的能力有限，無法回復過多連續的錯誤位元組。為此，DVB 在傳送端使用外交錯器來將資料傳送的順序交錯打散，使得錯誤位元組與正確位元組得以交錯出現，降低接收端出現連續的錯誤位元組的機率。而在接收端我們便需要一個解外交錯器來將被交錯順序的資料還原回正確的次序。外交錯器的系統區塊圖如圖九所示。外交錯器共可分為區塊交錯（block interleaving）和迴旋交錯（convolutional interleaving）兩種方式。DVB-T 標準是採用迴旋交錯方式。



圖九、外解交錯器之系統架構圖

● 李德索羅門解碼器(RS Decoder)

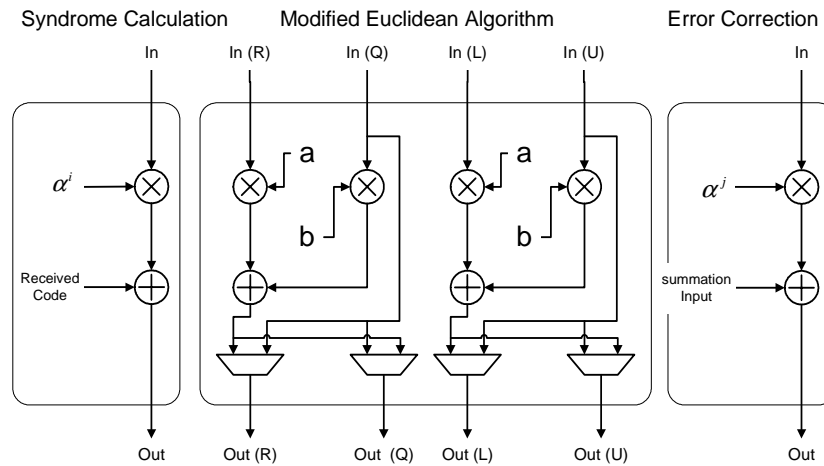
我們提出了一個符合多重通訊系統規格之可重設組態多模式 RS(n, k, t) 架構 [6][7][9]，其錯誤的更正能力 $0 \leq t \leq 8$ ，可變的碼字(codeword)為 $0 \leq n \leq 255$ ，其完整架構如圖一所示。此種設計最大的優點乃在於縮短重新設計不同規格 RS codec 的時程，以達到 IP reuse 及快速雛型設計(rapid prototyping)的目的。

在我們所提出的 RS 架構中，主要分為可重設控制單元(CCU)和高效能資料處理單元(FDU)兩部份。在 CCU 裡，輸入參數 n、k、t 的值，利用 Finite State Machine (FSM) 產生控制訊號來控制 FDU 中的編碼、解碼運算單元。

DVB 採用李德所羅門編碼(Reed-Solomon Codec)作為外編碼/解編碼的機制。使用的模式為 RS(204, 188, t = 8)，李德所羅門解編碼器的系統區塊圖如圖十所示，主要可分為

三個程序：計算錯誤癥兆(Syndrome Calculation)、解關鍵式(Solve Key Equation)、尋找錯誤位置(Error Location)與計算錯誤值(Error Value)。

透過 16 倍的折疊化 (folding) 縮小電路，我們只需要重覆地使用同一個有限場乘法器與有限場加法器，便能執行計算錯誤的所有運算，故尋找錯誤位置與計算錯誤值的電路只需一個有限場乘法器與一個有限場加法器即可。



圖十、李德索羅門解碼器運算處理單元電路架構圖

三、 結論與討論

本子計劃接續第一年的研究成果，將設計好的可重組化通訊引擎，有 FFT 處理器、維特比解碼器、里德所羅門解碼器，以期整合實現一個多模式的通訊系統，我們選擇下一代數位電視規格 DVB-T 為目標。

目前已使用 Simulink 完整建立起 DVB-T 系統傳輸機、接收機與通道模型，並完成浮點數功能驗證。接著使用固定點數模擬硬體的有限精準度，做位元數的最佳化，並以 Verilog 硬體描述語言設計系統中的其他模組，如內外解交錯器、通道估計等。預計將各模組整合，以 Simulink 軟體模擬結果，驗證功能是否正確，完成多模式的 DVB-T 系統實現。

四、參考文獻

- [1] ETSI EN 300 744 v1.4.1“Digital Video Broadcasting (DVB); Framing structure, channel coding and modulation for digital terrestrial television,”2001-01.
- [2] A. Wang, and A.P. Chandrakasan, “Energy-aware architectures for a Real-Valued FFT implementation,” *Low Power Electronics and Design*, 2003. ISLPED '03, pp360-365 Aug. 2003
- [3] L. Horvath, et al., “A novel, high-speed, reconfigurable demapper-symbol deinterleaver architecture for DVB-T,” *Circuits and Systems*, 1999. ISCAS '99. Vol 4, pp.382-385, Jun. 1999
- [4] H. L. Lou, “Implementing the Viterbi algorithm,” in *IEEE Signal Processing Mag.*, vol. 12, no.5, pp. 42-52, Sept. 1995.
- [5] G. Feygin and P. G. Gulak, “Survivor sequence memory management in Viterbi decoders,” in *IEEE Trans. on Communication*, vol. 41, no.3, pp. 425-429, Mar.1993.
- [6] H. Lee, M.L. Yu, and L. Song, “VLSI Design of Reed-Solomon Decoder Architecture,” *ISCAS 2000 Proceedings Circuits and Systems*, pp. v-705-708, 2000.
- [7] J. C. Huang, C. M. Wu, M. D. Shieh, and C. H Wu, “An Area-Efficient Versatile Reed-Solomon Decoder for ADSL,” *Circuits and Systems*, 1999. ISCAS '99, pp. 517-520, vol. 1, 1999.
- [8] F. Frescura, et al., “DSP based OFDM demodulator and equalizer for professional DVB-T receivers,” *IEEE Trans. Broadcasting*, pp. 323-332, Sep. 1999.
- [9] Huai-Yi Hsu and An-Yeu Wu, “VLSI design of a reconfigurable multi-mode Reed-Solomon codec for high-speed communication systems,” *IEEE Asia-Pacific Conference on ASIC*, pp.359-362, Aug. 2002.