

行政院國家科學委員會專題研究計畫 期中進度報告

子計畫二：百億位元的乙太網路傳送機設計(2/3)

計畫類別：整合型計畫

計畫編號：NSC92-2220-E-002-010-

執行期間：92年08月01日至93年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：劉深淵

計畫參與人員：胡思全、羅啟倫、張鎔諭、李勝洲、趙冠華、陳鴻鈞

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 93 年 5 月 27 日

(計畫名稱)

子計畫二：百億位元的乙太網路傳送機設計

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 92-2218-E-002-005

執行期間：92 年 8 月 1 日至 93 年 7 月 31 日

計畫主持人：劉深淵

共同主持人：曹恆偉、汪重光、吳安宇、李泰成

計畫參與人員：胡思全，羅啟倫、張鎔諭、李勝洲、趙冠華、陳鴻鈞

成果報告類型(依經費核定清單規定繳交)： 精簡報告 完整報告

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年 二年後可公開查詢

執行單位：台大電子所

中 華 民 國

93 年

5 月

10 日

行政院國家科學委員會電信國家型研究計畫期中報告

總計畫：百億位元的乙太網路系統晶片設計(2/3)

子計畫二：百億位元乙太網路傳送機設計(2/3)

計畫編號：NSC 92-2218-E-002-005

執行期限：92年8月1日至93年7月31日

總計畫主持人：劉深淵教授 台灣大學電機工程研究所

子計畫主持人：劉深淵教授 台灣大學電機工程研究所

一、大綱

隨著區域網路 (Local Area Network, LAN) 和近來的都會區域網路 (Metropolitan Area Network, MAN) 上的大量資料傳送及每七年 50-200 倍的頻寬需求量的增加, LAN 的頻寬需求已從現在 10/100Mb/s 到下一代 1Gb/s 且很快將進入 10Gb/s。Ethernet 因有著成熟的 infrastructure, 所以, 在 10Gb/s 的 LAN 將會是 Ethernet 所主導。由於 Ethernet 是以低成本為主要考量, 所以在 IEEE802.3ae ver3.3 的最新版標準中的 10GBase-LX4 將會是再下一代 Ethernet 扮演主要角色。10GBase-LX4 使用低成本的雷射二極體 (Laser-diode), photo diode 及多模或單模光纖作為光通訊的媒介。在同時我們利用電路的技術解決這些低成本元件造成的通訊的障礙, 如抖動 (Jitter), inter-symbol interference (ISI) 的問題。

二、採用方法

本計畫為百億位元的乙太網路系統設計之子計畫二, 其目的在設計適用於百億位元的乙太網路系統之傳送機。結合類比、數位電路技巧, 及高頻信號處理技術及配合國科會學門「SOC」規劃, 提出一系列關鍵零組件之電路設計及架構分析。並透過已可重複使用智產元件 (Reusable-IP) 之模組管理形式, 作為未來系統晶片成果展示及驗證之實驗平台。

本計畫預計三年完成。在第一年 (91/8/1-92/7/31) 我們預定從事傳送機標準研讀及傳送機中各子電路界面規格的訂定、進而進入系統設計及模擬、高頻電路技術之研究。第二年 (92/8/1-93/7/31) 我們預定開始傳送機中各子電路的模擬。第三年 (93/8/1-94/7/31) 我們預計將各子計劃中

電路及系統的最佳化, 並測試製成的積體電路。最後進行系統整合可能性的探討研究。

三、可能遭遇的困難

1. 開發高頻的雷射驅動電路的上升速率及阻抗匹配電路。
2. 全積體化鎖相迴路的設計與實現。
3. 各式積體化電路的佈局與連線的考量。
4. 高頻多工器開發困難。

四、解決的途徑

1. 收集相關資料, 加以分析與研讀。
2. 透過和各子計劃研究, 製定各子電路的詳細規劃
3. 測試所需之儀器與相關 CAD 軟體。

五、進行步驟

第二年：

1. 各子電路電晶體行為模擬
 - i 多工器。
 - ii 頻率合成器。
 - iii 除頻器。
 - iv 輸出緩衝器。
2. 傳送機系統電晶體行為模擬。

六、第二年成果

1. 論文發表

(1) Chih-Chun Tang and Shen-Iuan Liu, "A 1V 5.8GHz low noise amplifier in a 0.35um standard CMOS process", Journal of the Chinese Institute of Electrical Engineering, Series E, vol. 9, No. 4, pp. 395-400, Nov. 2002.

(2) Hsiang-Hui Chang, Jyh-Woei Lin, and Shen-Iuan Liu, "A fast locking and low jitter delay-locked loop using DHDL",

IEEE Journal of Solid-State Circuits, SC-38, pp. 343-346, Feb. 2003.

(3) Chia-Hsin Wu, Chih-Chun Tang, and Shen-luan Liu, "Analysis of on-chip spiral inductors using the distributed capacitance model", 2002 IEEE ASIA-PACIFIC Conference on ASIC, pp. 259-262, Aug. 2002.

(4) Chia-Hsin Wu, Chih-Chun Tang, and Shen-luan Liu, "Image rejection relaxed 5GHz CMOS receiver front-end", 2002 VLSI/CAD, Taiwan, pp. 47-50, Aug. 2002.

(5) Hsiang-Hui Chang, Chih-Hao Sun, and Shen-luan Liu, "A Low Jitter and Precise Multiphase Delay-Locked Loop Using Shifted Averaging VCDL", ISSCC 2003, pp. 434-435, Feb. 2003.

(6) Chia-Hsin Wu, Chun-Yi Kuo, and Shen-luan Liu, "Selective Metal Parallel Shunting Inductor and Its VCO Application", 2003 Symposium on VLSI Circuits, pp.37-40, June 2003.

(7) Hsiang-Hui Chang, Chih-Hao Sun, and Shen-luan Liu, "Low Jitter Butterworth Delay-Locked Loops", 2003 Symposium on VLSI Circuits, pp.177-180, June 2003.

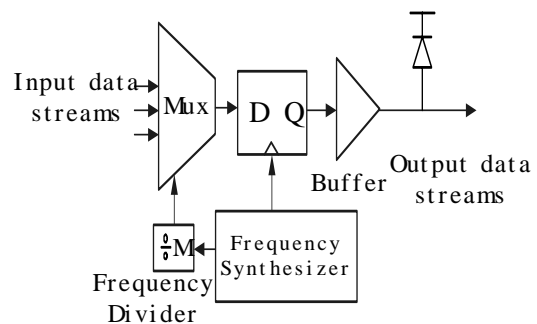
(8) Hsiang-Hui Chang, Shang-Ping Chen, Shen-luan Liu, "A Shifted-Averaging VCO with Precise Multiphase Outputs and Low Jitter Operation", 29th European Solid-State Circuits Conference, CP17, Sept. 2003.

(9) Chia-Hsin Wu, Chang-Shun Liu, and Shen-luan Liu, "A 2GHz CMOS Variable-Gain Amplifier with 50dB Linear-in-Magnitude Controlled Gain Range for 10GBase-LX4 Ethernet", in *IEEE Int. Solid-State Circuit Conf. Dig. Tech. Papers*, Feb 2004, pp. 484-485.

(10) Sung-Rung Han and Shen-luan Liu, "A 500MHz~1.25GHz fast-locking pulsewidth control loop with presettable duty cycle", *IEEE J. Solid-State Circuits*, SC-39, pp. 463-468, March 2004.

2. 相關電路架構的介紹與電路的行為模擬

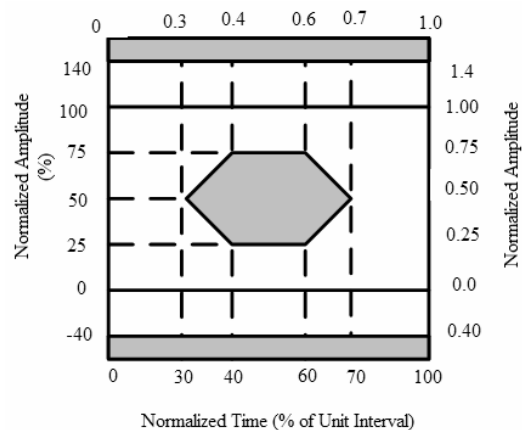
系統主要架構如圖一所示。包含：頻率合成器、除頻器、多工器、輸出緩衝器。頻率合成器是用作產生此傳送機的時脈。除頻器的功能是產生多工器所需時脈。多工器是將數個低速平行資料依次結合成一高速序列資料，最後再由輸出緩衝器輸出。傳送機多工方式採用樹狀架構，利用除頻器產生由低到高的時脈，依次作多工處理，使得操作在最高頻率的電路個數得以減少。以降低傳送機功率消耗。



圖一 傳送機系統圖

利用子計劃一所建立雷射二極體模型和架構設計及考慮子計劃三所需各項傳輸要求如抖動(Jitter)。完成整個傳送機的規格、進而定訂各子電路所需性能。以期完成適用於 10G 乙太網路傳送機 圖二為 10GBase-LX4 轉送機轉輸眼圖。

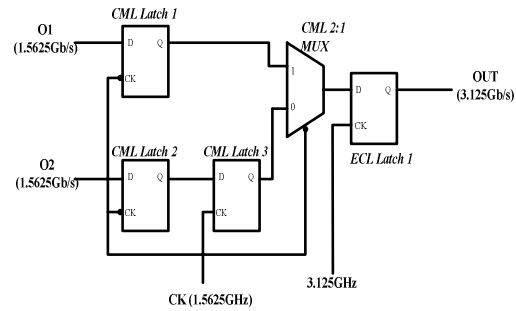
由圖二可訂出傳送機各子電路的標準規範。見表一。



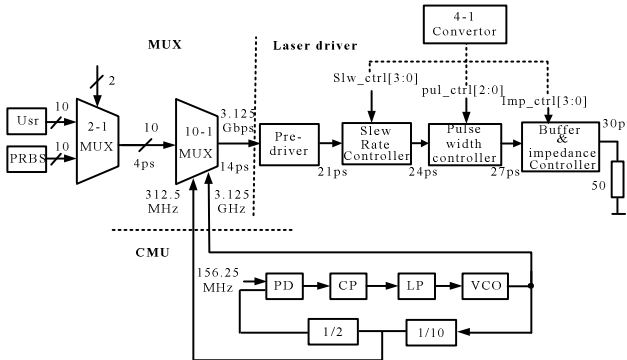
圖二 系統訂定規格

Frequency	3.125 Gb/s
Jitter (max.)	30 ps
Amplitude (min.)	450 mv
Rising time (max.)	60 ps
Falling time	60 ps
Slew rate	42.5 v/ns
Slew rate (range)	24 ~ 61 v/ns

表一 系統規格表



圖五 二轉一多工器

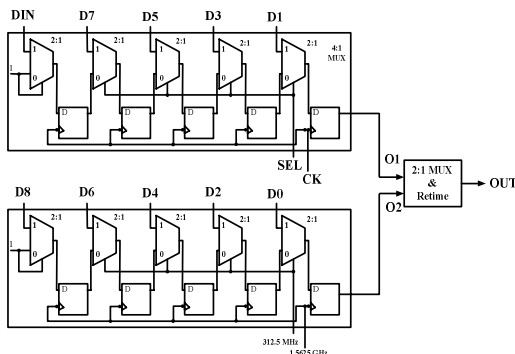


圖三 傳送機抖動圖

圖三為整個傳送機詳細系統架構及抖動分配表。

由於整個傳送機抖動不得超過30ps，所以在多工器輸出端的抖動不得超過14ps，上升速率控制電路及阻抗匹配電路的抖動量不得超過17ps。

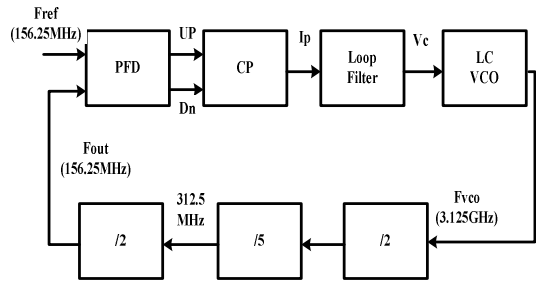
十轉一的多工器由兩個五轉一多工器與一個二轉一多工器組成。五轉一多工器將欲傳送訊號讀入，再利用移轉暫存器架構，逐次經由D型正反器送往輸出，產生兩個3.125Gbps的訊號，電路圖如圖四所示。二轉一多工器的功用，是將兩個五轉一多工器的輸出讀入，使



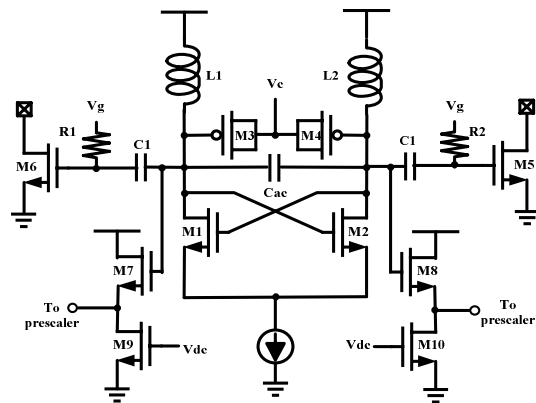
圖四 五轉一多工器

兩者交叉輸出，並相差3.125GHz的一半週期，如圖五所示。在每十次時脈輸入後，會將資料讀進暫存器，然後資料會被順序被讀出來。

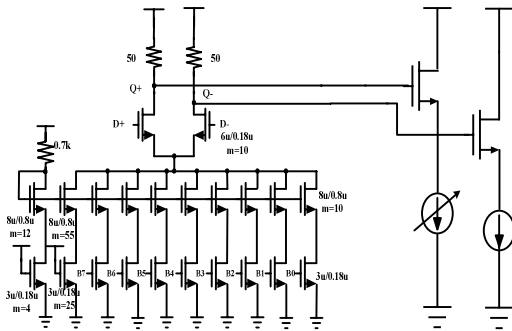
圖六為傳送機中的頻率合成器的架構圖，它的主要的功能是將一參考頻率為156.25MHz訊號倍頻二十倍產生3.125GHz訊號，再經過除五、除二電路，產生1.5625GHz、312.5MHz等時脈給上述電路使用。它是採用一傳統的電流抵浦式架構。其壓控振盪器是採用一LC tank架構，為圖七所示。



圖六 頻率合成器



圖七 LC 壓控振盪器

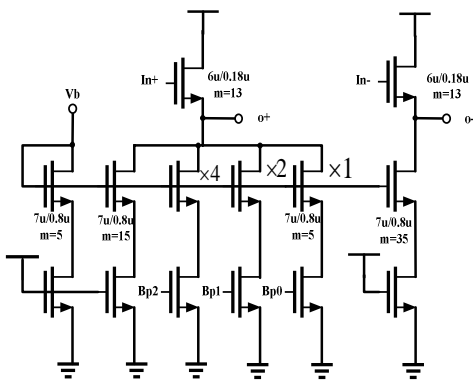


圖八 上升速率控制電路

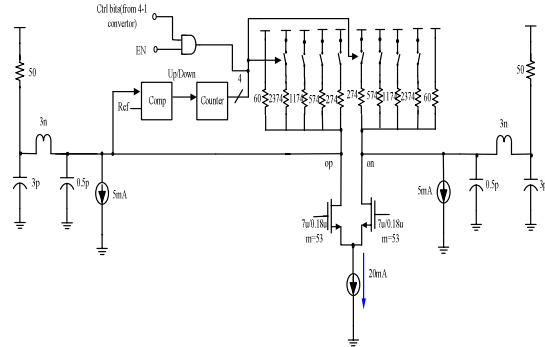
圖八為上升速率控制電路，其電路主要的目的在於使傳送機的輸出的波型不會太陡，造成雷射速度會跟不上，產生額外的振盪，影響眼圖規格的符合。在此設計用四位元可調式電流源來控制輸出端的上升速率。

圖九為波形寬度控制器。對於輸出緩衝器，其充電 放電路徑之負載不同，因為雷射二極體為單端輸出，所以需透過一機制彌補輸出波型上升、下降時間的不同。採用源極跟隨器，透過改變電流，可改變波型寬度控制器輸出端的时间常數，而改變延遲時間。

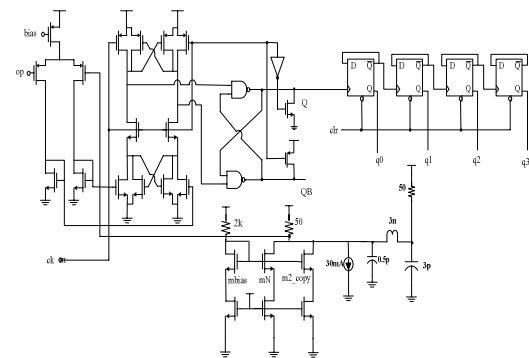
對於輸出緩衝器，除了提供雷射二極體所需的電流，並能夠達成自動調整輸出阻抗。雷射二極體所需電流很大，並有很大範圍，對於低供應電壓的設計須有特別考量。另外，阻抗調整是經由設計過的不同電阻值電阻並聯，並與晶片外50歐姆電阻產生的參考電壓比較，逐步改變電阻組合，直到最接近目標50



圖九 波形寬度控制器



圖十 輸出緩衝器



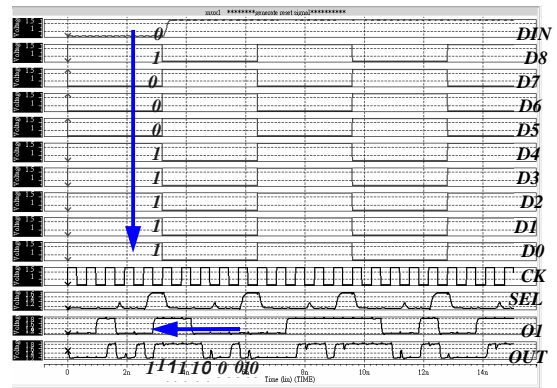
圖十一 阻抗匹配電路

歐姆的結果輸出緩衝器如圖十所示。最小電阻變化值為1歐姆，可達到克服製程變異的效果。

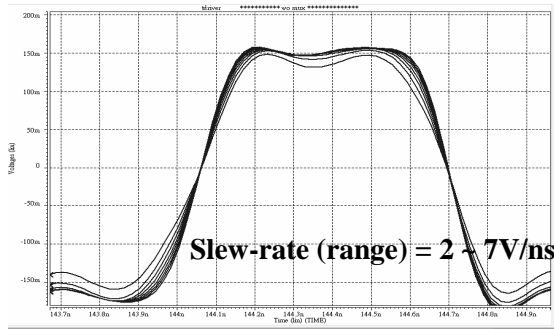
圖十一為阻抗匹配電路。所採用的架構為數位控制架構，利用 en 訊號，調整不同的模式，在阻抗匹配模式，輸入端為一直流訊號，經由比較器比較參考電壓及直流訊號之差值，將其輸出去驅動計數器，來達到阻抗匹配的功能。

圖十二為十轉一多工器輸出波形。

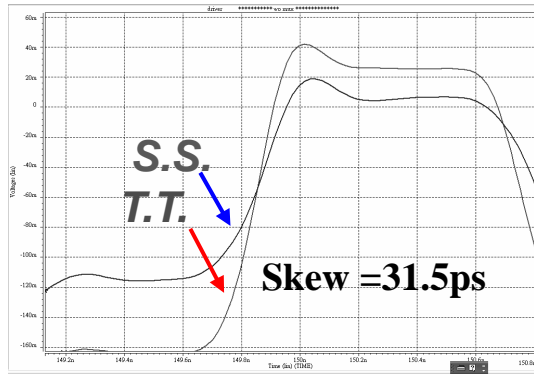
圖十三，及圖十四為上升速率控制範圍及控制前後 skew 的壓制結果。



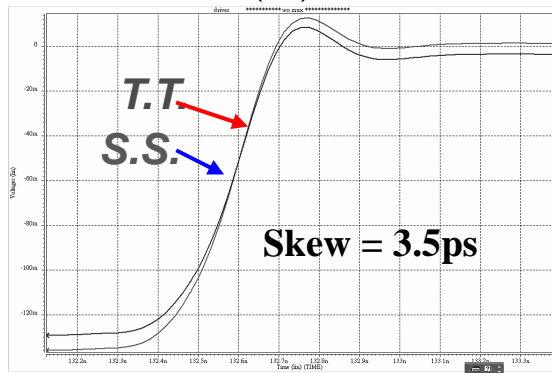
圖十二 十轉一多工器輸出波形



圖十三 上升速率控制範圍



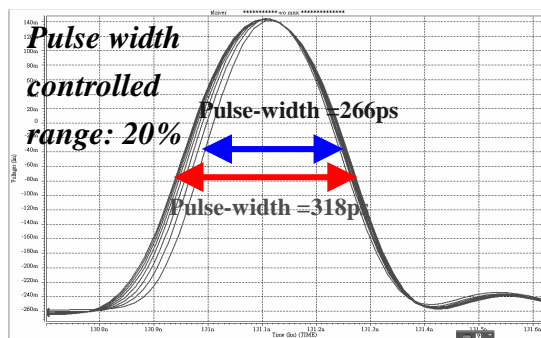
(一)



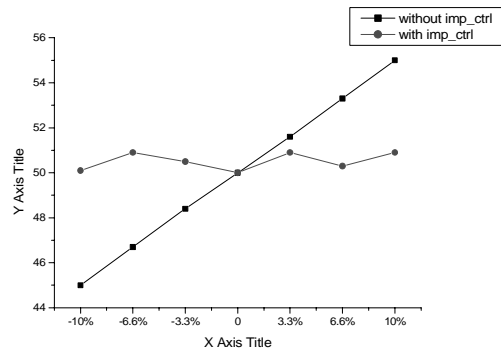
(二)

圖十四 上升速率控制前後 skew 比較
(一)控制前(二)控制後

圖十五為波形寬度的調整範圍。透過改變電流，輸出緩衝器的輸出波形寬



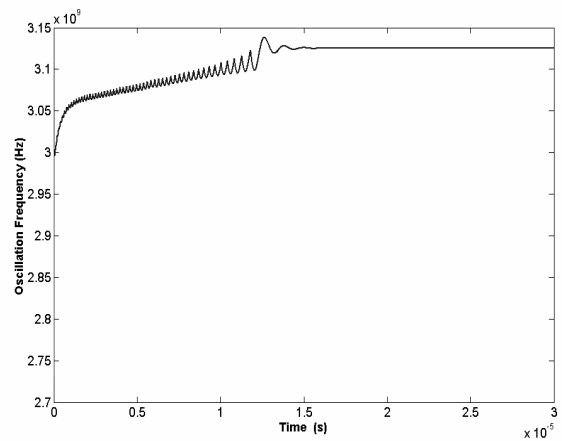
圖十五 波形寬度調整範圍



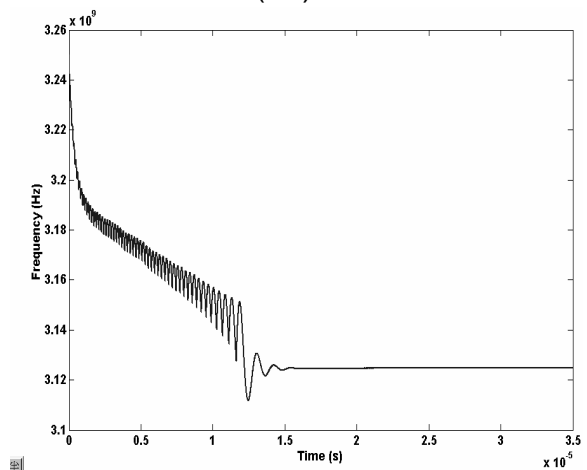
圖十六 阻抗匹配模擬結果

度可調整20%。

阻抗匹配模擬時，假設電阻因為製程變異改變+/-10%，比較加入阻抗匹配電路前，與加入後的控制結果。阻抗匹

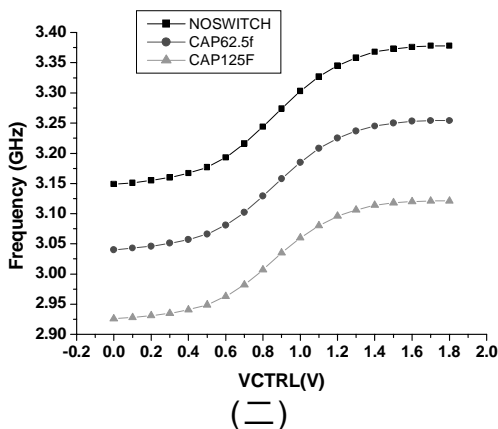
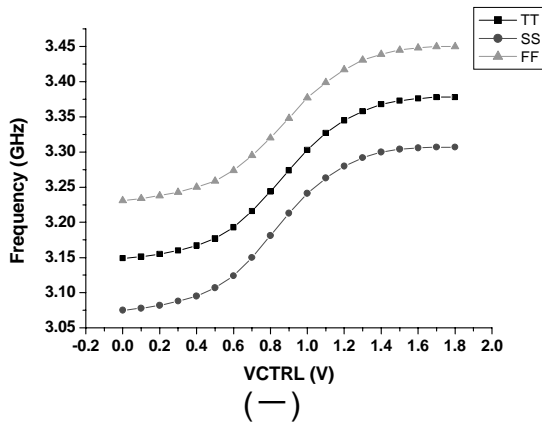


(一)



(二)

圖十七 壓控振盪器行為模擬(一)起始頻率大於3.125GHz(二)起始頻率小於3.125GHz

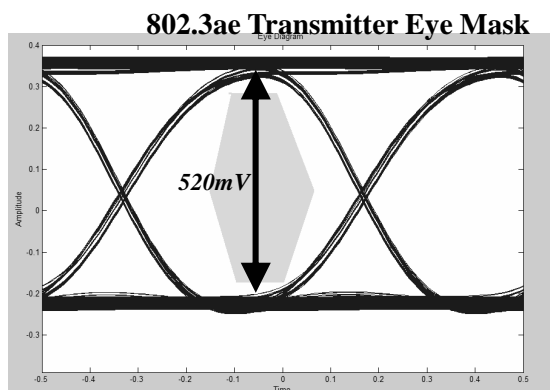


圖十八 頻率合成器特性曲線
(一)corner 圖(二)加入外加電容,改變振盪範圍

配電路可將變異壓制在 $\pm 1.8\%$ 之內。如圖十六所示。

圖十七(一)(二)為壓控振盪器之行為模擬圖。

圖十八(一)(二)為頻率合成器的特性曲線圖。



圖十九 傳送機模擬眼圖

圖十九顯示在標準溫度、製程下,輸出緩衝器的輸出眼圖,可張開520毫伏,符合 IEEE802.3ae 的規格。

七、結論

1. 各子電路電晶體行為模擬

針對第一年對於乙太網路傳送機架構所做的研討,及傳送機規格的訂定,將傳送機的個別子電路做詳細的行為模擬,在選定製程下,排除欲達成規格目標的困難。各進度分別敘述如下:

i. 多工器

十轉一多工器方面,要將十組輸入的資料讀入,並順序輸出至後端的驅動器,因為要在3.125GHz 的速度下做準確的取樣,具有不小的難度,但使用五轉一多工器及二轉一多工器組合來達成,可有效減低硬體限制的要求。

ii. 頻率合成器

頻率合成器因為要產生三個分別差兩倍、五倍的時脈給十轉一多工器,所以以參考時脈為156.25MHz,產生出3.125GHz 時脈的輸出。

iii. 除頻器

經由除二、除五的電路降頻,產生出三個符合目標的時脈。其中除五的電路有不同於一般架構的設計。

iv. 輸出緩衝器

於雷射驅動器前端,加入上升速率控制器,可減少 skew 的產生,另外輸出緩衝器前級的波形寬度控制器,藉由改變時間常數,調整差動正副端的轉態時間,彌補輸出級充放電條件的不匹配。

輸出緩衝器要提供雷射二極體所需的電流,並達成輸出阻抗匹配,所以設計出阻抗匹配電路,自動達成匹配。輸入隨機資料後,所得眼圖符合 IEEE 802.3ae 規格。

2. 傳送機系統電晶體行為模擬。

最後將各子電路結合後,進行傳送機系統模擬,發現眼圖可張開超過 IEEE 802.3ae 眼圖限制(Eye mask)。