

# 行政院國家科學委員會專題研究計畫 成果報告

## 子計畫四：可重組化通訊運算引擎的設計與實現(3/3)

計畫類別：整合型計畫

計畫編號：NSC93-2215-E-002-011-

執行期間：93年08月01日至94年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：吳安宇

計畫參與人員：鄭凱元、吳宗翰、卓余儒

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 10 月 24 日

## 摘要

可重組化的設計概念是在不需要重新設計硬體電路情況下，只需藉由控制訊號控制引擎來變更硬體的資料運算路徑便可以符合各種系統規格的應用，因此可以省去重新設計 VLSI 電路的負擔，不僅大大的降低矽智產設計成本，亦可快速達到 Time- to-market 之需求。

在本計畫中，我們完成可重組化通訊運算引擎之設計，此運算引擎包含快速傅立葉轉換處理器、雙模式維特比/渦輪碼解碼器以及可重組化里德所羅門解碼器等模組。最後利用以上可重組化通訊運算引擎實現一離型多模式地面數位電視廣播基頻接收機，來作為實際應用範例。

## 關鍵詞

可重組化、快速傅立葉轉換處理器、維特比/渦輪碼解碼器、里德所羅門解碼器、數位電視廣播。

## Abstract

The reconfigurable design concept is that we do not need to redesign the hardware circuit. It is only need to control the engine to change hardware datapath to achieve different system specifications. Thus we can save the burden of redesigning VLSI circuit. Using the reconfigurable engine can not only substantially reduce the design cost of the silicon intellectual property, but also reach the demand for fast time-to-market.

In this project, we have designed a reconfigurable communication computing engine, including a fast Fourier transform (FFT) processor, a dual-mode Viterbi/ turbo decoder, and a reconfigurable Reed Solomon decoder. Finally, we utilize the above reconfigurable communication computing engine to implement a baseband demodulator for multi-mode terrestrial digital video broadcasting (DVB) systems as an example of practical application.

## Keywords

Reconfigurable, fast Fourier transform processor, Viterbi/ turbo decoder, Reed Solomon decoder, digital video broadcasting (DVB).

# 目錄

一、前言	1
二、研究目的	1
三、研究內容	1
(一) 可變點數快速傅立葉轉換處理器	2
(二) 可重組化里德所羅門解碼器	2
(三) 雙模式維特比/渦輪碼解碼器	4
四、結論	6
五、參考文獻	7
六、計畫成果自評	7
(一) 相關研究著作	7
(二) 相關設計獲獎紀錄	8

## 一、前言

可重組化的設計概念是在不需要重新設計硬體電路情況下，只需藉由控制訊號控制引擎來變更硬體的資料運算路徑便可以符合各種系統規格的應用，因此可以省去重新設計 VLSI 電路的負擔，不僅大大的降低矽智產設計成本，亦可快速達到 Time-to-market 之需求。

在本計畫中，我們完成可重組化通訊運算引擎之設計，此運算引擎包含快速傅立葉轉換處理器、雙模式維特比/渦輪碼解碼器以及可重組化里德所羅門解碼器等模組。最後利用以上可重組化通訊運算引擎實現一離型多模式地面數位電視廣播基頻接收機，來作為實際應用範例。

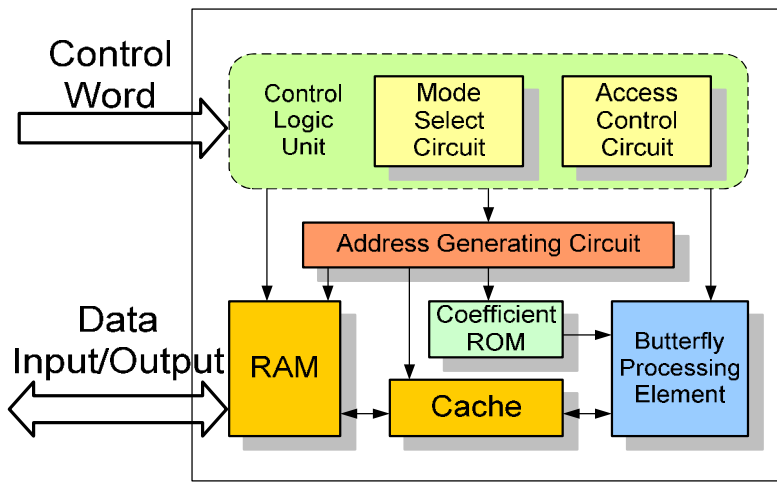
## 二、研究目的

隨著高速寬頻通訊時代來臨，多系統/多模式 (Multi-standard/ Multi-mode) 共存的通訊系統已成為一種趨勢，以便能夠提供各種不同的通訊傳輸服務。目前多模式通訊 IC 多以「數位訊號處理器 (DSP Processor)」為解決方式，但通常數位訊號處理器的執行速度並無法因應高速傳輸之要求。另一方面，傳統上大多數特定應用積體電路 (ASIC) 的設計並不能動態改變模組的功能以因應通訊系統規格改變，且設計相當費時、所費成本高昂。因此，IC 設計不能只作單一組態的功能模組設計，須朝向多組態的功能模組設計。

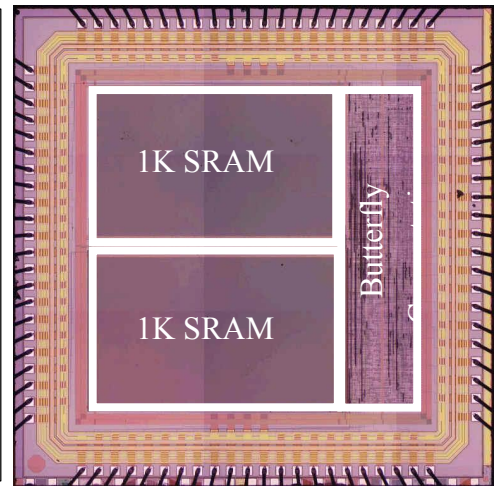
在本研究計畫中，我們提出可重組化通訊運算引擎，這不再只是單一功能的通訊模組，而是能依照不同的通訊系統規格動態重組硬體，以達系統規格要求。使軟、硬體能夠一同運作，達到相輔相成的功效。我們的研究目標為運用可重組化硬體設計概念，使硬體不但有著可擴充性、高效能及低功率，同時也兼具軟體般的智慧，達到單一 VLSI 設計具有多功能的目的。

## 三、研究內容

我們完成通訊系統中的可變點數快速傅立葉轉換處理器、雙模式維特比/渦輪碼解碼器及可重組化里德所羅門解碼器等三個常用關鍵模組的可重組化設計。分述如下。



(圖一)



(圖二)

圖一 快取快速傅立葉轉換處理器架構圖

圖二 64~2048 點快取快速傅立葉轉換處理器晶片

### (一) 可變點數快速傅立葉轉換處理器

我們採用以記憶體為基礎的快速傅立葉轉換處理器，處理器主要由幾個部分組成：蝴蝶處理單元、記憶體、快取、地址產生器、係數儲存唯讀記憶體和控制電路。其演算法資料處理流程如圖一所示。此架構的特性有二：

1. 快取快速傅立葉轉換 (Cache FFT) 的架構：在其演算法資料處理中，記憶體存取消耗將近 50% 的功率。為降低功率的消耗我們在蝴蝶處理單元和主記憶體中加入了快取記憶體，以降低對記憶體存取的次數、提高存取速度以及降低功率的消耗。
2. 數位座標旋轉計算器 (CORDIC)：在處理器的核心蝴蝶處理單元中，我們採用了數位座標旋轉計算器來取代複數的乘法器，以減低硬體複雜度。

正交分頻多工系統 (OFDM) 以其在惡劣通道下的優異表現而聞名，其調變/解調變即需要反向/正向快速傅立葉轉換運算。我們所設計的 64~2048 點快取快速傅立葉處理器如圖二所示，其規格摘要列於表一，處理速度及點數已經符合 WLAN、ADSL、VDSL (256~2K)、DAB 以及 2K 模式 DVB-T 的標準。

### (二) 可重組化里德所羅門解碼器

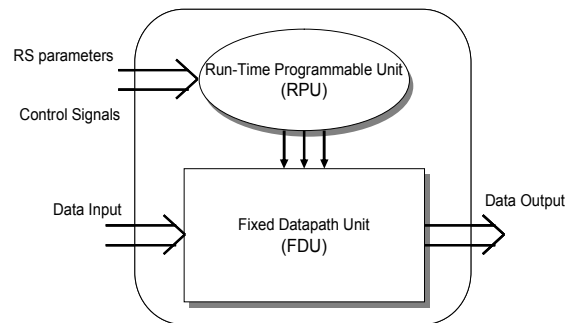
我們提出可重組化的里德所羅門碼矽智產 (Reconfigurable Reed Solomon Silicon IP)，其設計概念如圖三所示。晶片圖如圖四所示。此晶片特點如下：

表一 64~2048 點快取快速傅立葉轉換處理器之可應用範圍

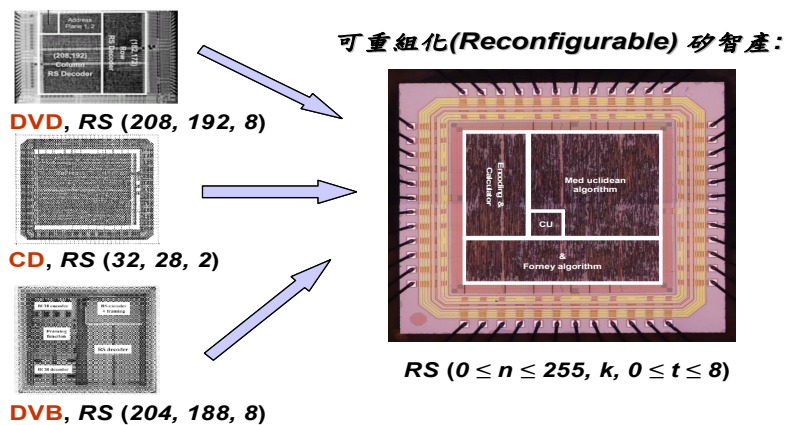
Application	FFT/IFFT Size (points)	$T_{FFT} (\mu s)$
WLAN (802.11a)	64	3.2
ADSL	2x256	231
VDSL	$2 \times 256 \times 2^n, n=0:2$	231
DAB	$256 \times 2^n, n=0:3$	$31 \times 2^n$
DVB-T	2k Mode	224

表二 可重組化里德所羅門碼解碼器可應用範圍

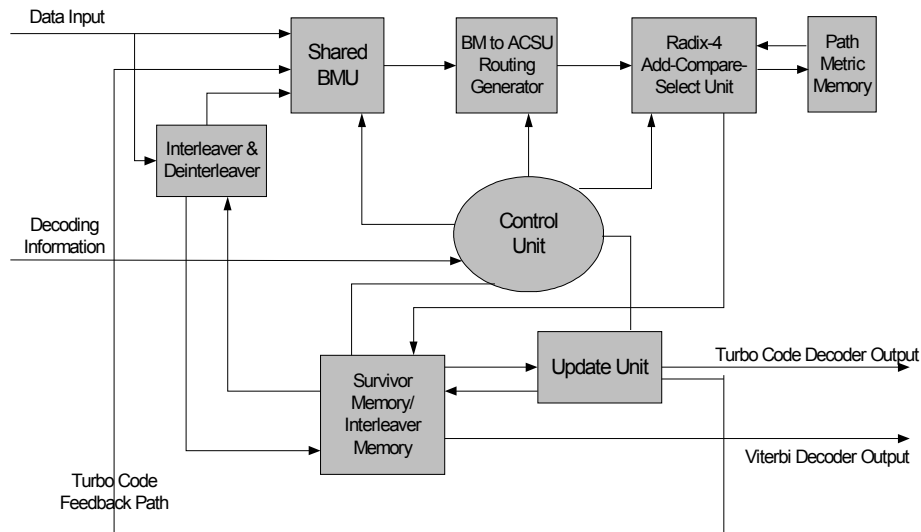
Application	Specification: $RS(n,k,t)$	
HDD	$RS(72,64,4)$	$RS(36,32,2)$
CD	$RS(32,28,2)$	$RS(28,24,2)$
DVD	$RS(208,192,8)$	$RS(182,172,5)$
DVB	$RS(204,188,8)$	
CCSDS	$RS(15\sim 255, n-16, 8)$	
xDSL & Cable modem	$RS(\sim 255, n-t, t = 1\sim 8)$	



圖三 可重組化里德所羅門碼器架構圖



圖四 可重組化里德所羅門碼矽智產設計



圖五 雙模式維特比/渦輪碼解碼器架構圖

1. 多模式：藉由一個可重組化的矽智產設計來取代不同應用的晶片，此矽智產可以適用於各種不同的里德所羅門碼規格，如表二所示。
2. 軟體彈性：在不需重新設計硬體電路情況下，只需利用控制訊號，藉由控制引擎來變更硬體的資料運算路徑便可以符合各種傳輸系統規格的應用。

「里德所羅門碼」對於叢集錯誤具有很好的錯誤更正能力，目前可重組化里德所羅門解碼器可運用於光碟儲存系統、超高速光纖通訊系統、數位視訊廣播系統及數位用戶迴路。

### (三) 雙模式維特比/渦輪碼解碼器

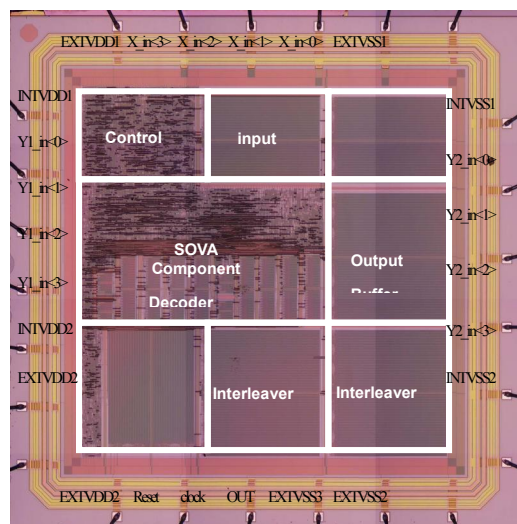
我們在此提出了一個適用於第三代無線通訊系統的雙模式迴旋碼/渦輪碼解碼器雛型設計。其設計概念如圖五所示，其特色有二：

1. 硬體共用：我們整合了一些相似且同時存在於迴旋碼和渦輪碼中的模組單元，以使雙模式解碼器可執行兩種運算。
2. 多模式：為了符合 CDMA 2000 的通訊協定（表三），解碼器能執行可重組態的維特比解碼器功能，達到多重解碼率和適用多種迴旋碼標準。

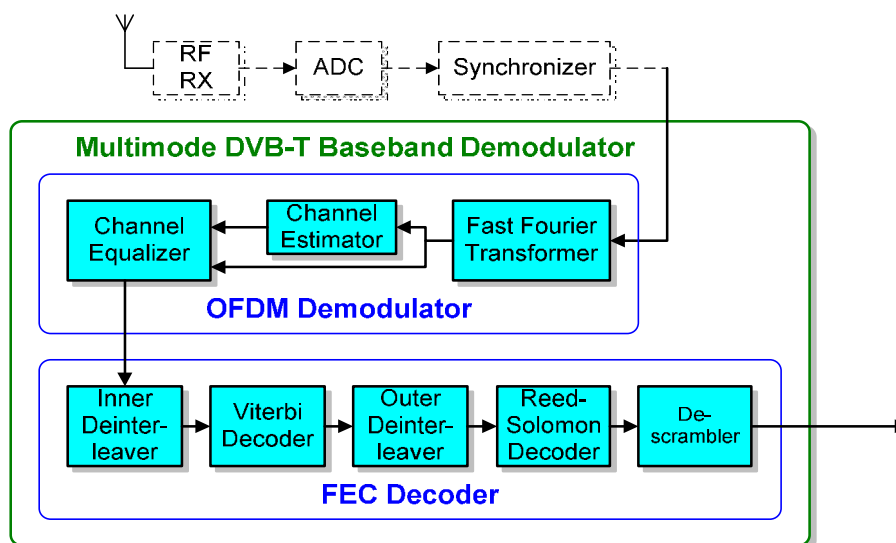
最後，我們以 Avant! 0.35  $\mu\text{m}$  製程完成我們的原型晶片（圖六）。渦輪碼由於具有相當接近傳輸極限的解碼效能，而迴旋碼及維特比解碼器具有低功率特性，因此兩者常同存於一個系統中。目前雙模式維特比/渦輪碼解碼器可運用於 CDMA2000 通訊系統，解碼器能執行可重組態的維特比解碼器功能，達到多重解碼率和適用多種迴旋碼標準。

表三 雙模式維特比/渦輪碼解碼器在 WCDMA2000 系統之應用

Channel Type	Forward Error Correction code	Code Rate
Access Channel	Convolutional	1/3
Enhanced Access Channel	Convolutional	1/4
Reverse Common Control Channel	Convolutional	1/4
Reverse Dedicated Control Channel	Convolutional	1/4
Reverse Fundamental Channel	Convolutional	1/2, 1/3, 1/4
Reverse Supplemental Code Channel	Convolutional or Turbo code	1/2, 1/3 1/2, 1/3, 1/4

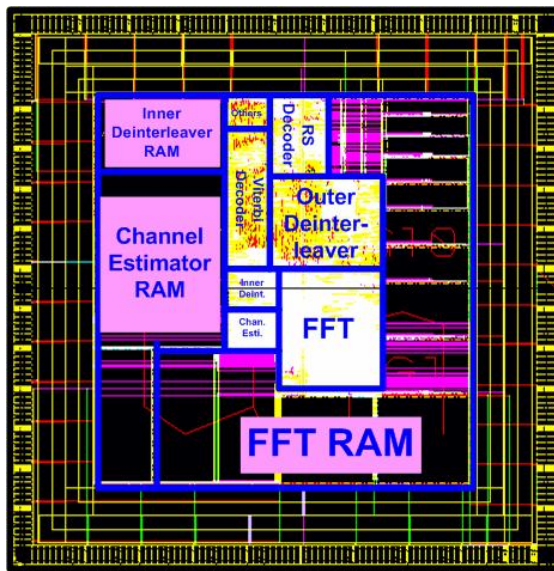


圖六 雙模式維特比/渦輪碼解碼器晶片



圖七 多模地面數位電視廣播 DVB-T 基頻解調器





圖八 地面數位電視廣播 DVB-T 基頻處理晶片佈局圖

表四 多模地面數位電視廣播 DVB-T 系統參數表

Parameter	2K mode	4K mode	8K mode
FFT Point	2048	4096	8192
Carrier Number	1705	3409	6817
Useful Carrier Number	1512	3024	6048
Guard Interval	1/4、1/8、1/16、1/32		
Code Rate	1/2、2/3、3/4、5/6、7/8		
Modulation	QPSK、16-QAM、64-QAM		
Useful Bitrate	4.98 ~ 31.67 Mbps		

#### 四、結論

我們除了完成上述的常用關鍵模組之可重組化設計，並以此可重組化通訊運算引擎實現多模式的地面數位電視廣播基頻接收機作為實際應用範例。我們選擇的歐規地面數位電視廣播是未來的數位電視視訊規格主流，其系統方塊圖如圖七所示，我們的可重組化通訊運算引擎符合地面數位電視廣播的各種多模參數要求(表四)。我們使用標準元件庫 UMC Artisan 0.18 $\mu$ m 製作原型晶片(圖八)。

#### 五、參考文獻

- [1] European Telecommunications Standards Institute (ETSI), “Digital video broadcasting (DVB); Framing structure, channel coding, and modulation for digital terrestrial television,” ETSI EN 300 744 v1.5.1, Jun. 2004.
- [2] ETSI, “Digital video broadcasting (DVB); Transmission system for handheld terminals (DVB-H),” ETSI EN 302 304 v1.1.1, Jun. 2004.

- [3] S. He and M. Torkelson, "A new approach to pipeline FFT processor," IEEE Int. Parallel Processing Symp., pp. 766-770, Apr. 1996.
- [4] L. Horvath, et al., "A novel, high-speed, reconfigurable demapper-symbol deinterleaver architecture for DVB-T," IEEE Int. Symp. Circuits Syst., pp. 382-385, May 1999.
- [5] H.-L. Lou, "Implementing the Viterbi algorithm," IEEE Signal Processing Magazine, pp. 42-52, Sep. 1995.

## 六、計畫成果自評

本研究計畫已發表四本碩士畢業論文、八篇國際期刊和會議論文，並獲得多項矽智產設計獎項。

### (一) 相關研究著作

1. J.-C. Yeo, "Dynamically reconfigurable Reed-Solomon decoder IP design based on unified finite-field processing element," Master Thesis, National Taiwan University, Taiwan, Jun. 2005.
2. P.-L. Shen, "VLSI design of convolutional/ turbo decoder based on triple-mode VA/ MAP kernel for 3rd GPP system," Master Thesis, National Taiwan University, Taiwan, Jun. 2004.
3. T.-H. Wu, "DVB-T baseband receiver design based on multimode communication silicon IPs," Master Thesis, National Taiwan University, Taiwan, Jul. 2004.
4. K. Huang, "VLSI design of dual-mode Viterbi/ turbo decoder for 3rd GPP systems," Master Thesis, National Taiwan University, Taiwan, Jun. 2003.
5. K.-Y. Jheng, T.-H. Wu, Y.-C. Wang, J.-C. Yeo, Y.-J. Cho, and A.-Y. Wu, "A DVB-T baseband demodulator design based on multimode silicon IPs," in Proc. IEEE Int. Symp. VLSI Design, Automation, and Test (VLSI-DAT), Hsinchu, Taiwan, Apr. 2005, pp. 49-52.
6. F.-M. Li, P.-L. Shen and A.-Y. Wu, "Unified convolutional/ turbo decoder architecture design based on triple-mode MAP/ VA kernel," in Proc. IEEE Asia-Pacific Conference on Circuits and Systems ( APCCAS 2004 ) , Tainan, Taiwan, pp. 1073-1076, Dec. 2004.
7. F.-M. Li, P.-L. Shen and A.-Y. Wu, "Triple-mode MAP/ VA timing analysis for unified convolutional/ turbo decoder design," in Proc. IEEE Workshop on Signal Processing Systems ( SiPS-2004 ) , Austin, USA, pp. 280-285, Oct. 2004.
8. J.-C. Yeo, H.-Y. Hsu and A.-Y. Wu, "A scalable Reed-Solomon decoding processor based on unified finite-field processing element design," in Proc. IEEE Workshop on Signal Processing Systems ( SiPS-2004 ) , Austin, USA, pp. 148-151, Oct. 2004.

9. K. Huang, F.-M. Li, P.-L. Shen and A.-Y. Wu, "VLSI design of dual-mode Viterbi/turbo decoder for 3GPP," in Proc. IEEE Int. Symp. Circuits and Systems (ISCAS-2004), Vancouver, vol. II, 773-776, May 2004.
10. J.-C. Kuo, C.-H. Wen, C.-H. Lin and A. Y. Wu, "VLSI design of a variable-length FFT/IFFT processor for OFDM-based communication systems," in Special Issue on "Signal Processing for Broadband Access Systems: Techniques and Implementations," EURASIP Journal on Applied Signal Processing, no. 13, pp. 1306-1316, Dec. 2003.
11. P.-H. Chen, K. Huang, N.-H. Hsueh, and A.-Y. Wu, "Dual-mode convolutional/ SOVA based turbo code decoder VLSI design for wireless communication systems," in Proc. IEEE International SOC Conference (formerly IEEE International ASIC/SOC Conference), Portland, pp. 369-372, Sept. 2003.
12. H.-Y. Hsu, S.-F. Wang, and A. Y. Wu, "A novel low-cost multi-mode Reed Solomon decoder design based on Peterson-Gorenstein-Zierler algorithm," Journal of VLSI Signal Processing-Systems for Signal, Image, and Video Technology, vol. 34, no. 3, pp. 251-259, July 2003.

## (二) 相關設計獲獎紀錄

1. 91 學年教育部/國科會度第五屆大專院校矽智產 Silicon Intellectual Property (SIP) 設計競賽：Soft IP 不定題組 佳作，題目：第三代行動通訊雙模式維特比/渦輪碼解碼器矽智產設計。
2. 91 學年教育部/國科會度第五屆大專院校矽智產 Silicon Intellectual Property (SIP) 設計競賽：Hard IP 不定題組 優等，題目：適用於各式高速通訊系統之可規劃里德所羅得門矽智產設計。
3. 第一屆全國 SOC 系統晶片設計比賽：SoC 晶片組 優等獎，題目：DVB-T Baseband Receiver Design。
4. 第五屆旺宏金矽獎設計組最佳創意獎，設計名稱：全方位渦輪/斐特比前向錯誤更正解碼器。
5. 94 年度中國工程師學會全國大學部工程論文競賽，設計名稱：階層式記憶體之可變點數的快速傅立葉處理器。
6. 第 14 屆台灣大學工程科技論文獎，電機工程組特優，設計名稱：階層式記憶體之可變點數的快速傅立葉處理器。
7. 2004 國家晶片系統設計中心「優良晶片」設計，設計名稱：適用於高速通訊系統之可規劃多模式里德所羅門編解碼模組。