

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 總計畫(1/2)

計畫類別：整合型計畫

計畫編號：NSC93-2220-E-002-008-

執行期間：93年08月01日至94年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：闕志達

共同主持人：黃俊郎，黃天偉，李泰成，李建模，呂良鴻

計畫參與人員：駱彥宏 廖英閔 沈鼎嵐 孫致彬 王維德 賴冠廷 林耕平 黃炫倫 柯力維 林鴻賢 邱銘豪 李濬屹 高玉龍 陳勃樺 莊景翔 陳柏安 李宗學

報告類型：完整報告

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 30 日

行政院國家科學委員會專題研究計畫成果報告  
具有內建自我測試功能之 5GHz 超低功率無線通訊系統之研製－總計畫  
5-GHz Ultra-Low-Power Self-Testable SOC for Wireless Communication

計畫編號：NSC93-2220-E-002-008

執行期間：92 年 8 月 1 日 至 93 年 7 月 31 日

主持人：闕志達 台灣大學電子工程研究所教授

共同主持人：呂良鴻 台灣大學電子工程研究所教授

李泰成 台灣大學電子工程研究所教授

黃天偉 台灣大學電信工程研究所教授

黃俊郎 台灣大學電子工程研究所教授

李建模 台灣大學電子工程研究所教授

計畫參與人員：駱彥宏 廖英閔 沈鼎嵐 孫致彬 王維德 賴冠廷 林耕平 黃炫倫 柯力維 林鴻賢 邱銘豪 李濬屹 高玉龍 陳勃樺 莊景翔 陳柏安 李宗學

## 一、中文摘要

本整合型計畫之主要目的是結合本研究團隊中的通訊射頻/類比/數位積體電路、通訊系統整合、射頻/類比/數位電路自我測試技術等有關專長的研究人力，以短距離無線傳輸應用為目標，擬設計一超低功率直接序列展頻收發機系統。並研發此系統的中所需的積體電路及整合可自我測試功能於其中，最後並將完成整個系統的整合，並對所建立的系統進行實驗測試。本年度各子計畫已依據原定時程完成各項研究目標。下一年度將進行各模組整合唯一完整收發機系統。

## 英文摘要

The objective of this group project is to leverage the specialty of members in the research team, including RF circuit design, analog circuit design, digital communication circuit design, and built-in self test wireless communication system integration, in the design and implementation of an ultra-low-power short-range wireless communication system based on the direct-sequence spread-spectrum (DSSS)

technology. In the process several integrated circuits that perform specific functions in the system will be designed, fabricated, and tested, then the built-in self test capability will also be integrated. The transceiver for such a DSSS system will be integrated and tested functionally.

## 二、計畫的緣由與目的

近年來無線通訊技術的發展趨勢，朝向高傳輸資料速率及高傳輸品質的要求。除此之外，通訊產品已逐漸朝向以個人及商用的產品為主。各種不同功能的相關產品及服務推陳出新，而現有的先進且適合大量生產的半導體製程，更對無線通訊的普及化產生了推波助瀾的效果。由於無線通訊在使用上，自由度較高且較不受空間限制，深受人們喜愛，已經被廣泛的運用而成為日常生活的一部份。

而隨著這一趨勢的演進，可預見的是在所有電子產品上增加彼此之間相互通訊的功能，尤其是採用無線的方式。由於增加無線通訊的功能僅是所有電子產品的額外賣點，因此不應該增加太多成本，消耗太多功率，

更不該影響到現有的通訊系統。如此一來，所有的接線都變成不需要，如滑鼠線、鍵盤線、掃描器線、數位相機線、攝錄機、印表機線、區域網路線、消防偵測系統連線、保全系統連線、音響線、視訊線、手機/PDA 連線等等。

本計畫所提出的無線通訊系統係以適用於短距離數位訊號傳輸的產品為目標。此乃為了使本系統達到低耗電及與現行無線通訊系統共存的目的。市面上現有的無線通訊系統，包括行動電話及無線區域網路等產品，不論在發射或接收模式下操作，所消耗的功率通常大於 100mW，其使用時間將受到嚴格的限制。

本整合型計畫所提出的無線通訊系統，將操作電壓將設定為 0.6~1.5V，整個收發機(含射頻、類比前端、數位基頻、自我測試等電路)在發射及接收模式下，允許的最大功率消耗為 20mW。為了提供較佳的訊號品質，射頻訊號傳輸的頻率選擇干擾較低的 5 GHz U-NII 頻帶，且依據傳輸環境的品質選擇 QPSK 或 16QAM 為訊號的調變模式，傳輸速率最高可達到 1-2 Mbps。

### 三、方法及結果：

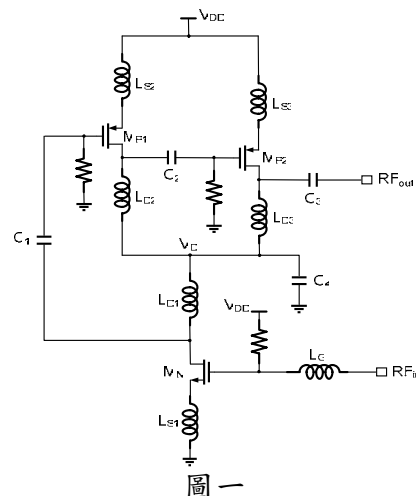
本計畫的執行內容，除了完成 5GHz 射頻收發機的積體電路設計與晶片製作、類比前端訊號處理電路設計與晶片製作、數位基頻訊號處理電路設計與晶片製作、數位電路低功率資料庫與設計技術等外，還必須配合完成射頻電路自我測試技術之研發、混合模式電路自我測試技術及數位電路自我測試技術等，進行系統設計模擬並完成此超低功率短距離無線通訊系統之整合。以下就各主題的成果分別敘述。

#### 子計畫一：5GHz 低功率射頻收發機設計

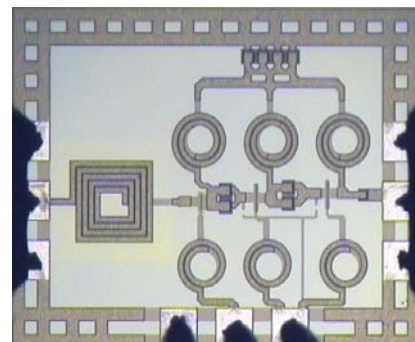
在計畫執行的期間，陸續完成 5-GHz 超低電壓及超低功率的射頻電路設計，已經獲得晶片驗證的電路包括 low-noise amplifier (LNA)、down-conversion mixer、voltage-controlled oscillator (VCO)等。為了達到所需的系統規格，並維持最小之操作電壓及功率損耗，在電路架構中採用 current-reuse 的技術，並將主動及被動元件之高頻特性最佳化。所有的電路模組都能達到設計目標的 0.6-V 操作電壓，且所消耗的功率皆低於 1 mW。此研究成果超越目前所有的論文發表結果，將於近期內於 IEEE RFIC Symposium 中發表。

除此之外，已利用所研發出之個別電路模組加以整合。分別完成射頻接收器及發設器的單一晶片整合。所設計之晶片已製作完成。下一步將進行量測及驗證。近期內將可獲得進一步的研究成果。

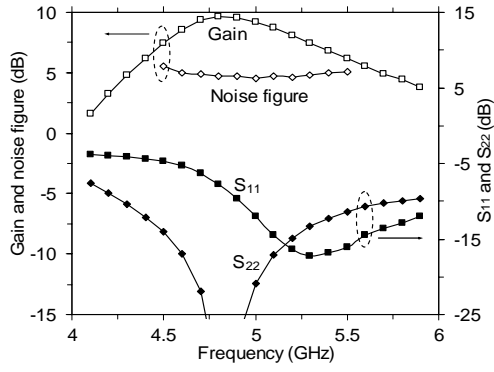
#### 1. Low-noise amplifier



圖一

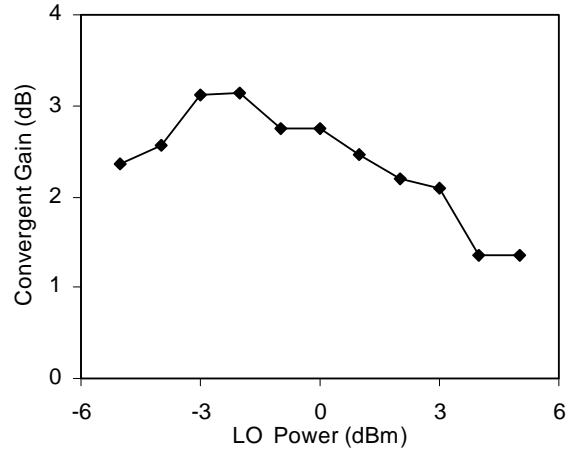


圖二



圖三  
表一

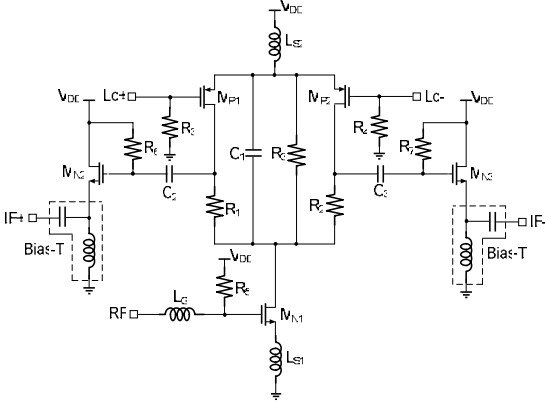
	Unit	This Work
Frequency	GHz	5
$P_{DC}$	mW	0.9
Supply Voltage	V	0.6
Power Gain	dB	9.2
Noise Figure	dB	4.5
Return Loss	dB	> 10



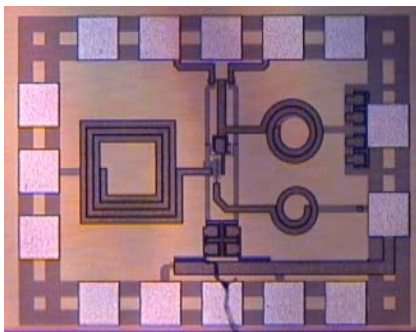
圖六  
表二

	Unit	This Work
RF/LO Freq.	GHz	5.2-5.1
$P_{DC}$	mW	0.792
Supply Voltage	V	0.6
Conversion Gain	dB	3

## 2. Down-conversion mixer

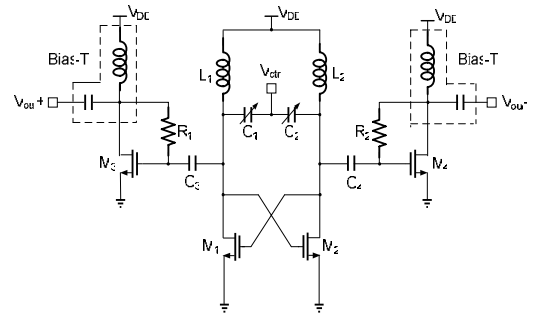


圖四

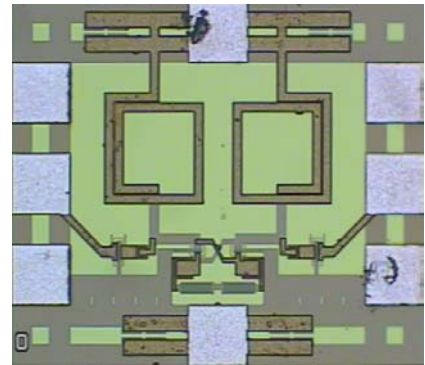


圖五

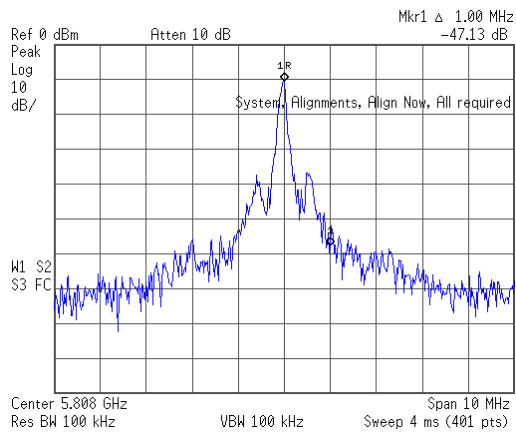
## 3. Voltage-controlled oscillator



圖七



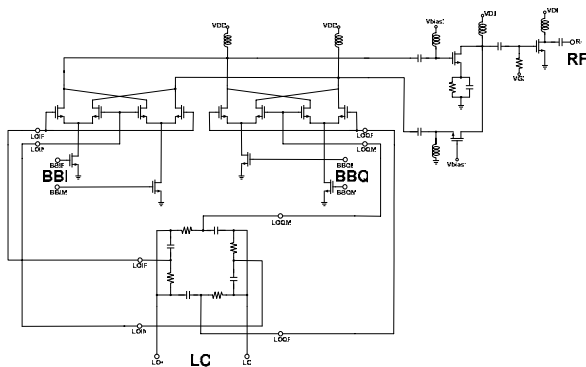
圖八



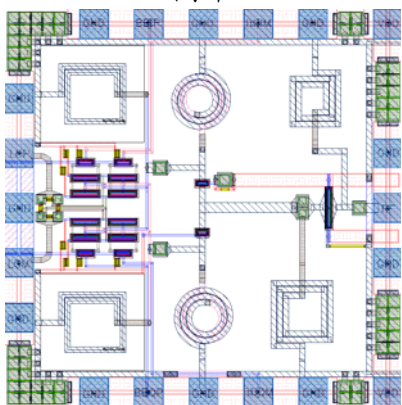
圖九  
表三

	Unit	This Work
$P_{DC}$	mW	0.696
Supply Voltage	V	0.6
Frequency Range	GHz	5.6-6.1
Tuning Range	%	8.9
Phase Noise	dBc/Hz	-97 @ 1MHz

#### 4. RF transmitter

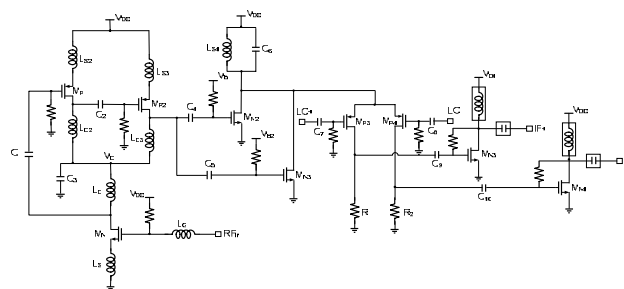


圖十

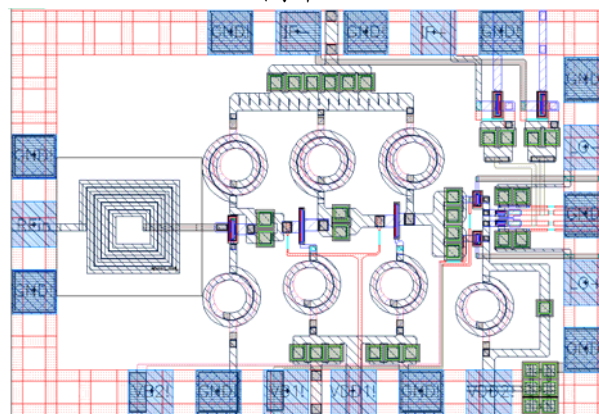


圖十一

#### 5. RF receiver



圖十二



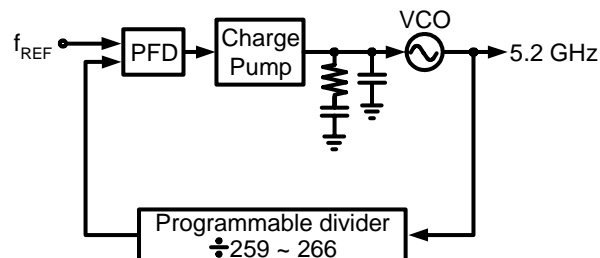
圖十三

#### 子計畫二: 超低功率類比前端處理器

第一與第二年中，頻率合成器與correlator已完成模擬、佈局以及晶片製作與量測。類比數位轉換器已完成模擬且已下線，達到低功率最佳化應用。

##### 1. 頻率合成器

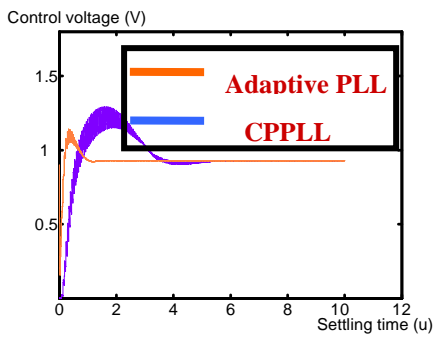
鎖相迴路如下圖，其功能在於追隨輸入訊號的頻率及相位，使得內部時脈與外部參考時脈同相位。而在回授路徑上加上除頻電路，則可將輸出時脈穩定在我們所需要的倍數頻率之上。



圖十四 鎖相迴路(PLL)示意圖

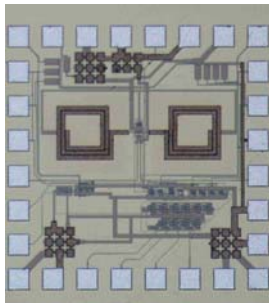
下圖為整個頻率合成器的閉迴路模擬，由圖可見使用可適性頻寬邏輯控制的電路在不增加

其 spur 的狀態之下加快鎖定速度。

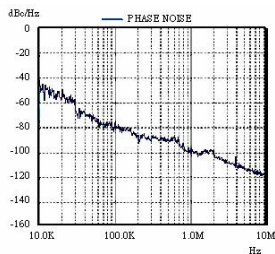


圖十五 頻率合成器的閉迴路模擬

晶片顯微圖示於下圖。相位雜訊在 1 MHz 的偏移點，相位雜訊約為-100dBc/Hz。

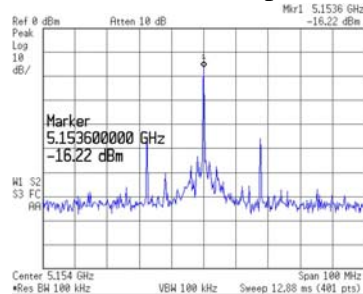


圖十六 頻率合成器之晶片顯微圖

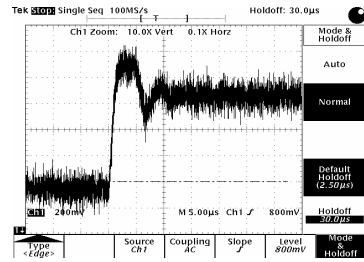


圖十七 相位雜訊量測

下圖為鎖定後的頻譜，spur 約-32 dBc。



圖十八 頻率合成器鎖定頻譜圖



圖十九 時間響應量測

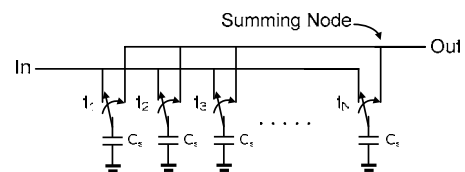
上圖為頻率合成器的鎖定量測波形。下表為此頻率合成器晶片的特性一覽表。

表四 頻率合成器的效能摘要

Technology	0.18- $\mu$ m CMOS
Chip Area	1.00 $\times$ 1.00 mm <sup>2</sup>
Voltage Supply	1.8 V
Output Frequency	4.6~5.3 GHz
Power Dissipation	20 mW
Phase Noise	-100 dBc/Hz @ 1 MHz
Spur	-32 dBc
Settling Time	10 $\mu$ s @ 0.8V jump

## 2.類比相關器

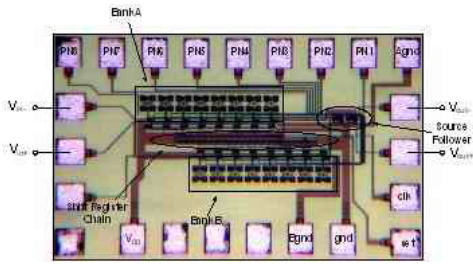
選擇 passive data-rate correlation 實現 analog correlator。它是利用 switched- capacitor (SC) circuit，先將 N 個 chips 的值分別存入各個電容，輸出至 summing node 完成積分的動作，如下圖。此架構完全消除靜態功率損耗及 settling time，達成我們高速且低功率的要求。



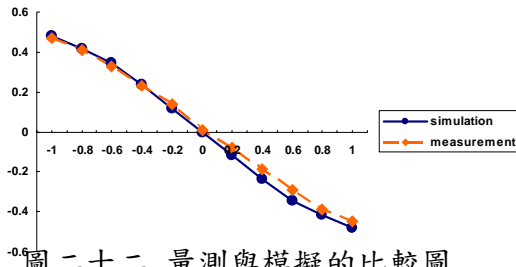
圖二十 passive data-rate correlation.

下圖為部分類比相關器的顯微圖。圖二十二為改變輸入的雙端直流電壓，量測的輸出電壓與模擬比較的結果，輸入正弦波訊號所得的輸出的量測結果亦如圖二十三所示。輸入頻率 23.4

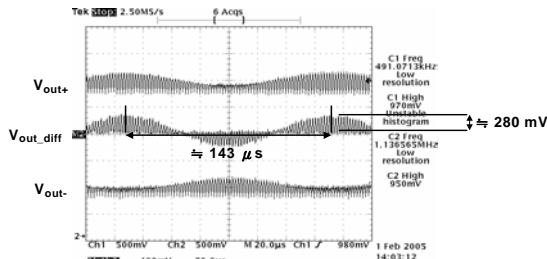
KHz，可以觀察出頻譜上最大的功率值落在 23.4 KHz 上，在此情況下的 SNDR 為 19.73 db.



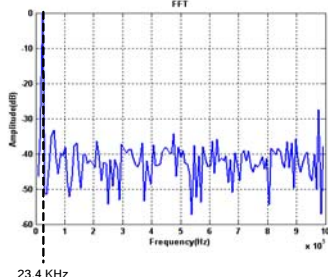
圖二十一 partial analog correlator 顯微圖



圖二十二 量測與模擬的比較圖



圖二十三 輸入雙端 400mV 弦波



圖二十四 輸出訊號的 FFT 分析圖

表五為此類比相關器晶片的特性一覽表。

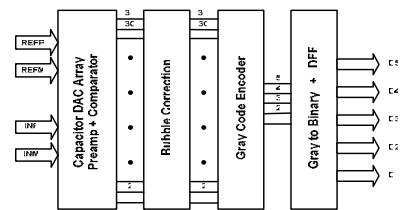
表五 類比相關器效能摘要

Technology	0.18- $\mu$ m CMOS
Chip Area	1.02 $\times$ 0.58 mm <sup>2</sup>
Voltage Supply	1.8V
Power Dissipation	0.5 mW
PN code length	8 (m-sequence)

Chip rate	16 Mchip/s
Symbol rate	0.5M sym/s

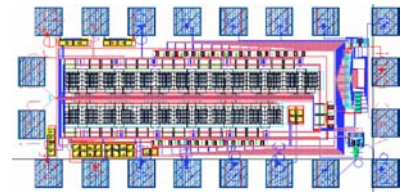
### 3.類比數位轉換器

快閃式類比數位類比轉換器(Flash ADC)其功能主要是將類比訊號轉成數位訊號，提供後端數位部分做處理。主要架構如圖二十五，包括電容式陣列、前置放大器、比較器，以及泡沫更正、格雷碼轉二進位碼。



圖二十五：ADC 系統架構

圖二十六為整體類比數位轉換器佈局圖。最後預計規格表如表六所示。



圖二十六: A/D Converter 佈局圖

表六 預計規格表

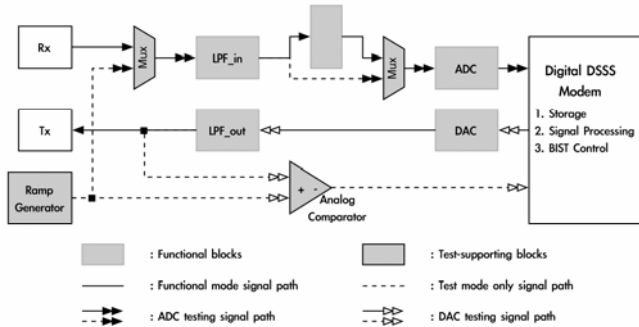
Technology	0.18- $\mu$ m CMOS
Supply voltage	1.8V
Resolution	5 bits
Clock rate	2 MS/s
SNDR	30.5 dB @ $f_{in}=1$ MHz
DNL/INL	< 0.5LSB
Input Range	0.64 V <sub>p-p</sub>
Power dissipation	1.52 mW

### 子計畫四：類比前端電路的內建自我測試技術

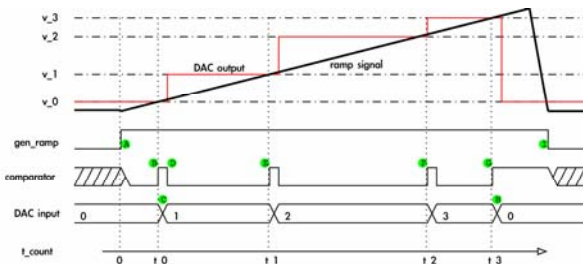
本子計畫的研究主題為 ADC/DAC 與頻率合成器的測試。

#### 1. DAC 靜態測試方法

DAC 靜態測試時的系統組態如圖二十七所示，時序圖如圖二十八所示。



圖二十七 ADC 及 DAC 靜態測試的系統組態



圖二十八 DAC 靜態測試時的信號時序圖

#### 2. ADC 靜態測試

對於 ADC 的靜態測試，我們使用的是以 ramp signal 為測試信號的 histogram analysis 方法。

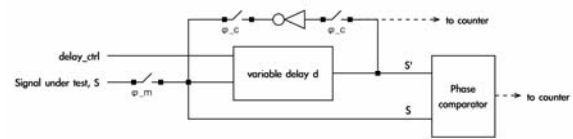
#### 3. DAC/ADC 迴路測試

實際運用時，以迴路組態進行的靜態測試由於成本低，應該被列入測試程序。DAC/ADC 迴路測試最大的問題為 fault masking。可能的解決方法有二：（1）經由製程模擬及電路模擬，推算發生 fault masking 的機率，判斷是否須要加入其它測試方法，（2）設計較不會有 fault masking 問題的功能測試信號及分析方法。

#### 3. 頻率合成器測試

在頻率合成器部份，測試的項目主要為 jitter 的量測。研發的重點在於儘量使用數位電路技術，以減少量測電路本身對製程偏移的敏感度。

我們所提出的 jitter 量測架構如圖二十九所示。此架構係為一個以 two-valued delay line 加上 phase comparator 所組成。



圖二十九 Jitter 量測電路

### 子計畫五：具有自我測試功能之低功率基頻數位收發機設計架構功能簡介

本晶片功能性規格如表 3 所示，並於九十四年二月採用 UMC0.18um 製程向 CIC 下線，預計於九十四年六月收到晶片。

表七 晶片功能性規格

Supply voltage	1.8 V
Power consumption	3.1mW @16MHz
DSSS PN code length	32
Chip rate	16 Mchip/s
Symbol rate	0.5 M sym/s
Modulation	QPSK / 16QAM
Channel bit rate	1 ~ 2 Mbps
Core area	629,238.456 mm <sup>2</sup>
Gate count	63055

#### 1. 傳送機

##### 1.1 傳送機功能性架構

本計畫傳送機信號經過混合信號電路解展頻(despread)後。包括 IQ 兩頻道，每一頻道由系統模擬結果暫定為六位元。

本傳收機為了節省 ping 腳數目採用 series in 的方式累積七位元之後送出一個 Byte。Control ping 用於控制發信機工作與否。

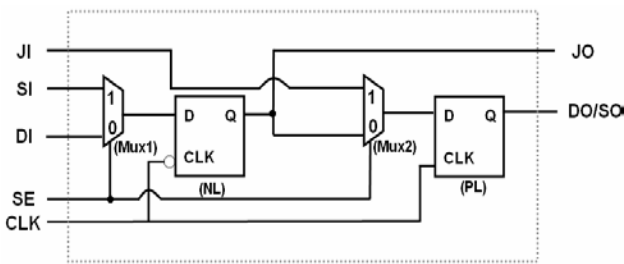


當傳送機收到 Control 信號的時候。會進入 preamble state，送出內容全是 0 的 32Bytes，使傳送機與接收機達到同步(synchronous)，接下來傳送機會進入 header state 送出 2Byte 0101\_0101。通知接收機準備接收 data。

LFSR 產生假亂數碼(Pseudo Noise code) 以提供解展頻信號。I channel, Q channel 各自通過一個 Differential encoder，然後進入 multiplier 乘上由 LFSR 產生的 PN code，並將 I\_out, Q\_out 都擴充為六位元。

### 1.2 傳送機 J-scan 架構

本計畫在測試方面將傳送機及接收機分開獨立做測試。採用 Test per scan 方式，將傳送機的記憶元件串接為掃描鏈，在測試時，先將測試圖樣移入(shift-in)，並施加一個或以上之 system clock 捕捉(capture)測試結果，最後將測試結果移出(shift-out)。並採用 J-scan 的技巧降低測試掃描鏈的功率消耗。J-scan 利用正緣觸發(positive edge trigger)以及負緣觸發(negative edge trigger)在一個時脈週期中(clock period)裡掃描進二個位元。因此可以利用一半的掃描頻率達到輸入一樣多的測試圖樣藉此大幅降低掃描功率。圖三十為 J-scan DFF，



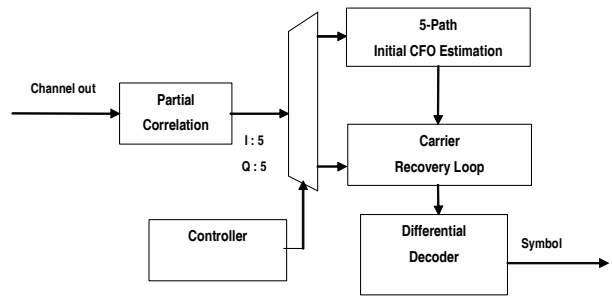
圖三十 J-scan DFF

## 2 接收機

### 2.1 接收機功能性架構

本計畫的 Receiver 架構圖如圖三十一，信號經過混合信號電路解展頻(despread)後，Controller 會將 data 送進 5-path Initial CFO Estimation 直到 initial CFO degree 被決定後，

Controller 才會將 data 送給 Carrier Recovery loop，此時 data 的相位被正確的鎖定後就會被送 Differential Decoder 解出資料。



圖三十一 基頻接收機的功能方塊圖

由於解展頻信號由類比信號提供，故在進行電路模擬的時候，本計畫自行設計一 digital correlator 用來模擬與本計畫連接的混合信號電路部份，以提供解展頻信號供後續電路模擬之用。此 digital correlator 將 1 個 bit 的信號乘上 1 個 bit 的 Pseudo Random code 後進入一個累加器，當累加完 8 次後，SEL2 信號會升起，累加器的值會被讀出以供後面電路使用。另外 start Correlation 信號是由 Receiver 提供，告知 digital correlator 什麼時候開始做累加的動作。

5-Path Initial CFO Estimation 藉由最大的 correlation 來決定 Initial CFO degree，並且告訴 controller 可以把 correlation 送給 carrier recovery loop。

藉由 carrier recovery loop 將 symbol 的相位調回偏掉的角度，另外值得一提的就是，當 TO Detector 連續偵測到 5 個 correlation 太低的時候，會自動向前(forward)或是向後(delay)一個 chip clock，用此方式抵抗 timing Offset Effect，在 channel simulation 的階段，我們可以證實可以改善此效應的影響。

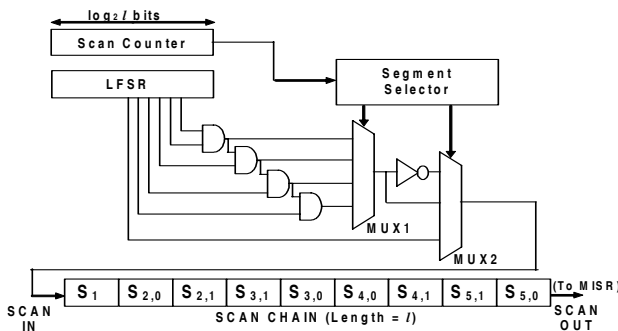
根據下列式子，當有一路的 correlation 平方超過 Threshold 的平方，我們可以確定 Tx 和 Rx 的 LFSR 已經達到同步化。

### 2.2 SWR BIST

本計畫接收機部分使用的自我測試方式是使用 Segment Weighted Random BIST (SWR

BIST)而其方式如圖表示，是將掃瞄鏈分為九個區段(Segment)，每一個區段分別使用不同權重(Weight)的測試圖樣(Test Pattern)。測試圖樣的來源是由 LFSR 所產生。對於其產生的假亂數(Pseudo-Random)測試圖樣，經由 AND 邏輯閘、多工器以及反向器，產生不同權重的測試圖樣，給各個不同的區段。

由於要達到低功率自我測試的需求，因此對於權重較高的區段，我們將其置於掃瞄鏈的尾端；而對於權重較低的區段，我們將其置於掃瞄鏈的起始端。如此一來，在掃瞄的時候，就可以將邏輯轉換減到最少。



圖三十二 SWR-BIST Architecture

此種方式的自我測試其核心精神在於，對於掃瞄鏈而言，要測出所有的錯誤(Fault)，並非所有的暫存器都需要假亂數的測試圖樣。經過分析，其實有相當多的暫存器僅需要高權重的測試圖樣，而只有少部分的暫存器需要假亂數的測試圖樣。將每個暫存器經由計算，分到各個不同的區段，並做掃瞄鏈重排(Reordering)後，利用此特性便可達到低功率測試的目的。除了低功率之外，由於每個暫存器都可得到其最適合的測試權重，因此 SWR 自我測試方法所得到的錯誤涵蓋率，會比僅僅輸入假亂數測試圖樣所得到的錯誤涵蓋率高。

表八是兩種自我測試方法的錯誤涵蓋率，以及功率消耗的統整表。我們可以發現在自我測試的錯誤涵蓋率方面，SWR BIST 比

Normal BIST 為高。而在功率消耗方面，SWR BIST 的總功率消耗比 Normal BIST 的總功率消耗，減少約 39.49%。因此，符合我們低功率測試的需求。

表八 SWR BIST 與傳統 BIST 的功率消耗比較表

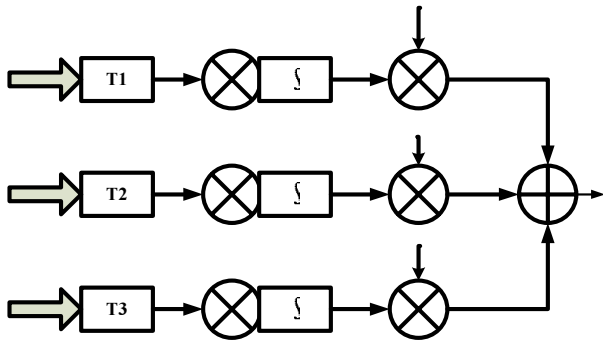
	Total Power	Comb. Power	Seq. Power	Switch Power
SWR BIST	6.3491 mW	2.9922 mW	1.3458 mW	2.0112 mW
Normal BIST	10.4933 mW	5.3456 mW	1.5282 mW	3.6195 mW
Power Reduction	39.49%	44.02%	11.94%	44.43%

### 子計畫六：超低功率無線通訊晶片之系統設計與整合

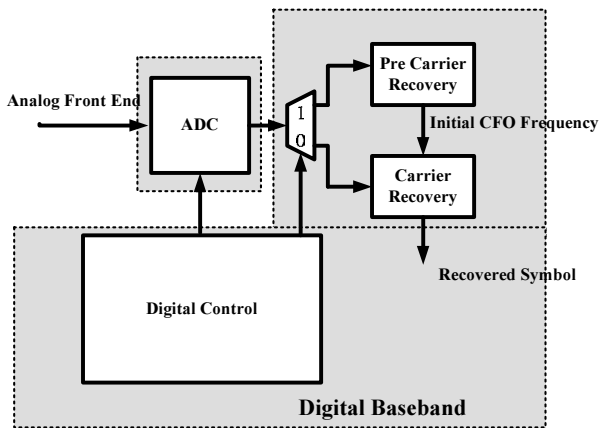
本部分的設計構想是為了整合處理經射頻電路降頻後的類比信號以及基頻的數位信號之系統以對抗無線通道的多路徑效應。

耙式接收機是展頻系統裡用來達到時間多樣性的一種常用技巧[1]。通道的多路徑效應會造成傳送機所傳送的同一信號在時間上被散開而以不同的時間及相位抵達接收機。耙式接收機的基本想法就是消除這些不同路徑抵達接收機信號相對的相位差而達成建設性將其加成的效果；另一方面在加成各路徑點的信號時，一般會先將各路徑信號乘上正比於其相對強度之權重再加成，這種加成方式稱為 Maximal Ratio Combining，可以最大化接收信號的訊雜比[1]。一個耙式接收機的基本示意圖如圖三十三所示；圖中的耙式接收機分為三個分支(Branch)個別處理三個不同路徑抵達的信號，此架構之形狀即為耙式接收機名稱由來。然而一般用數位方式實現的耙式接收機由於要作乘法及相關性等運算，故其複雜度及消耗的功率皆相當大；目前文獻中最新的耙式接

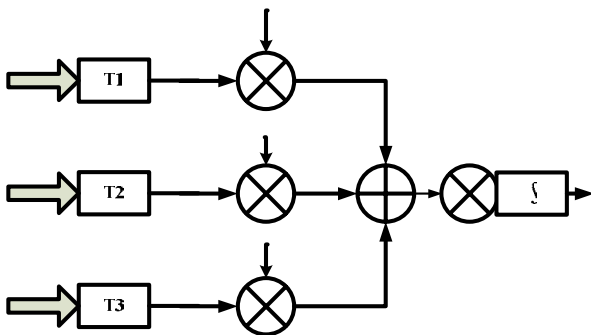
收機晶片出現在 2004 年 Journal of Solid State Circuit [2]。為了更進一步降低耙式接收機的功率消耗，我們提出的系統將以類比的方式來實現圖三十四所示的耙式接收機示意圖並整合圖三十五所示之數位基頻硬體來實現低功率的混合信號接收機。



圖三十三 耙式接收機架構



圖三十四 系統數位基頻架構



圖三十五 所提出耙式接收機架構

### 耙式接收機架構改進

根據圖三十三，我們將耙式接收機的輸出以數學式表示如下：

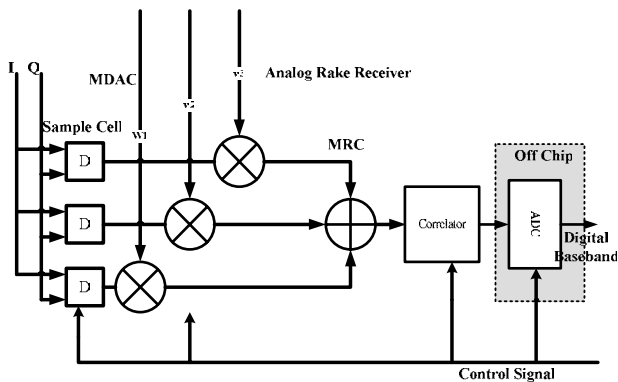
$$W1 \times (\sum X[t1] \bullet PN) + W2 \times (\sum X[t2] \bullet PN) + W3 \times (\sum X[t3] \bullet PN) \quad (1)$$

其中  $X[t1]$ ， $X[t2]$ ， $X[t3]$  分別代表耙式接收機三個分支在不同時間點取樣得到的信號， $PN$  則是系統所使用的虛擬隨機碼而  $W1$ ， $W2$ ， $W3$  則是三條時間路徑所對應的通道增益之共軛複數，用來消除三條路徑之間所收到信號之相位差。由於內積( $\bullet$ )和乘法( $\times$ )運算先後可交換，故(1)式又可整理如下：

$$\sum PN \bullet (X[t1] \times W1) + \sum PN \bullet (X[t2] \times W2) + \sum PN \bullet (X[t3] \times W3) = \sum PN \bullet \{X[t1] \times W1 + X[t2] \times W2 + X[t3] \times W3\} \quad (2)$$

觀察(2)，可知其所對應的硬體示意圖如圖三十五所示。可以發現，在圖三十三中本來需要三個相關器，經過簡化之後只需要一個相關器。同時，根據[3]的分析，我們將耙式接收機設計成三個分支。

基於上述的討論，我們提出的類比耙式接收機架構如圖三十六所示。在三條分支前端的三套取樣電路[4]用來實現在不同時間點取樣輸入信號之功能，取得之信號送進以 MDAC[5] 實現之類比乘法器，最後信號在以電流方式相加並經由電阻轉成電壓送進類比的相關器[4] 並透過外接的 ADC 將信號送進數位基頻之電路。



圖三十六 類比耙式接收機架構

### 系統規格

系統預計的規格如表九所述。同時由於系統所受的載波頻率誤差效應嚴重，因此相關器採用每八個展頻碼算一次相關值之部分相關性運算(Partial Correlation)而非一般的相關性運算。

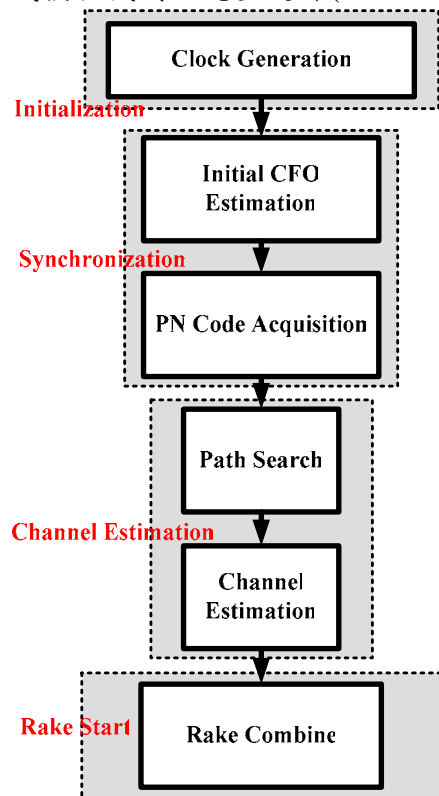
表九

Chip rate	16MHz
Data rate	1MHz
PN sequence length	32
Modulation	QPSK
System Clock	16MHz
RF frequency	5GHz
CFO	+/- 20ppm
Rake finger number	3
Target power consumption	3mW

### 接收機封包設計及運作流程

接收機的運作流程如圖三十七所示。系統首先進行初始化及產生耙式接收機所需要的控制時脈(Initialization)。其次，系統開始進行初步的同步動作包括初始的載波頻率飄移估測及 PN 碼相位對準(同步 Synchronization)，此部分工作進行只需要圖三十四中的 Pre Carrier Recovery 電路以及圖三十六的 Correlator 電路。之後圖三十四中的 Carrier Recovery 電路開始動作而 Pre Carrier Recovery

停止動作。此時系統利用 PN 碼的相關性開始搜尋信號強度較強的多路徑通道時間點，系統會取信號強度最大的前三條路徑並根據所決定的時間點，在相對應的路徑進行通道估測(Channel Estimation)，而通道估測的結果可提供耙式接收機各個分支所需要用來進行相位對齊之資訊。在通道估測完成後，圖三十六中的類比耙式接收機開始完整運作(Rake Start)。



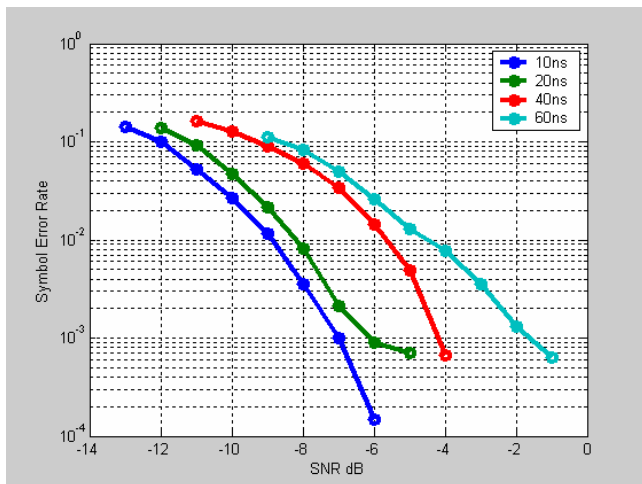
圖三十七 接收機運作流程

為了達成以上的運作流程，系統的封包格式的最前頭包含 120 個前置符元(Preamble)，用來幫助系統進行同步及通道估測。在前置碼後的四個符元則是通知接收機真正傳送的資料即將抵達。一旦接收機正確收到此四個符元後，系統即開始回復接下來所收到之 1024 個符元。

### 通道模型及模擬結果

在模擬時，系統所採用的是 802.11a 之 TDL 通道模型。模擬的環境包括平均延遲時間(delay spread)為 10ns, 20ns, 40ns, 60ns 等四種

多路徑通道情形。同時，為了要能夠模擬類比的效應，通道模型的取樣頻率設在 256MHz，遠高於系統展頻碼之頻率 16MHz。圖三十八為在通道路徑延遲各為 10, 20, 40, 60ns 的情況下符元錯誤率對不同訊雜比之模擬結果。比較前一年計畫在同樣的情況下沒有耙式接收機的模擬結果，可以發現耙式接收機使系統在較大的通道延遲環境下之符元錯誤率表現遠比沒有耙式接收機時為佳。



圖三十八 系統符元錯誤率模擬結果

#### 四、 結論與討論

本研究計畫在本年度內已完成多項研究成果，包括 LNA、PA、mixer、VCO、頻率合成器、類比相關器、ADC/VCO BIST、基頻接收機等等之設計製作與部分量測。

未來一年內將依據原定時程，繼續開發各種相關電路與測試技術並進行各迷組間之整合，以期順利達成一超低功率具自我測試能力的無線收發機 SOC 的目標。

#### 五、 參考文獻

[1] Simon Haykin, *Communication Systems*, 4<sup>th</sup> Edition, pp. 689-691, John Wiley & Sons Inc., 2001.  
 [2] Eltawil et. al., “Low Power DS-CDMA Rake Receiver Utilizing Resource Allocation Techniques”, IEEE JSSC, Aug., 2004.

[3] Chi-Min Li et. al., “A Novel Rake Receiver Finger Number Decision Rule”, IEEE Antennas and Wireless Propagation Letters, 2003.

[4] Keith K. Onodera et al., “A 75-mW 128-MHz DS-CDMA Baseband Demodulator for High-Speed Wireless Applications”, IEEE JSSC, May., 1998.

[5] Xiaodong Wang et. al., “A Low Power 170MHz Discrete Time Analog FIR Filter”, IEEE CICC, 1997.