

# 行政院國家科學委員會專題研究計畫 期中進度報告

## 子計畫二：超低功率類比前端處理器(1/2)

計畫類別：整合型計畫

計畫編號：NSC93-2220-E-002-010-

執行期間：93年08月01日至94年07月31日

執行單位：國立臺灣大學電子工程學研究所

計畫主持人：李泰成

計畫參與人員：駱彥宏 廖英閔 孫致彬 沈鼎嵐 王維德

報告類型：完整報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫可公開查詢

中 華 民 國 94 年 5 月 31 日

# 行政院國家科學委員會專題研究計畫成果報告

## 總計畫：具有內建自我測試功能之 5 GHz 超低功率無線通訊系統 之研製

### 子計畫二：超低功率類比前端處理器

計畫編號：NSC 93-2220-E-002-010

執行期限：民國 93 年 8 月 1 日至 94 年 7 月 31 日

主持人：闕志達教授 國立台灣大學電子工程研究所

子計畫主持人：李泰成教授 國立台灣大學電子工程研究所

計畫參與人員：駱彥宏 廖英閔 孫致彬

沈鼎嵐 王維德 國立台灣大學電子工程研究所

**中文摘要**—本報告總結本子計畫二\_超低功率類比前端處理器的模擬及實驗結果，包括頻率合成器、correlator、類比數位轉換器。頻率合成器中包含了 LC tank 壓控震盪器、4-bits 除頻器、相位/頻率偵測器、可適性頻寬控制的電流幫浦、及二階 RC 迴路濾波器；類比相關器中則包含了單一差動輸入取樣器、時脈產生及控制信號的電路；類比數位轉換器中包含了前置放大器、比較器、雙重內差法電路。

第一與第二年中，配合子計畫五了解傳收機的系統，探討低功率通訊系統，電路架構以達到整合性系統的功率最佳化。配合子計畫一的射頻前級電路，低功率的直流偏移消除器必須使用以降低類比 correlator 的設計難度。目前，頻率合成器與 correlator 已完成模擬、佈局以及晶片製作與量測。類比數位轉換器已完成模擬且已下線，達到低功率最佳化應用。

整體系統的規格需求係參考現有產品的資訊而決定，各部分電路亦已進入實作階段。

**Abstract**—This report summarizes the simulation and experimental results of the subproject II – An ultra low-power analog front-end processor, including frequency synthesizer, correlator, and A/D converter. The frequency synthesizer consists of a phase/ frequency detector (PFD), a charge pump (CP) with analog adaptive BW control, a second-order loop filter, a voltage control oscillator (VCO), and a frequency divider. The VCO is implemented using the

hollow-coil spiral inductor, and varactor to control the wanted frequency. The frequency divider adopts pulse-swallow architecture and use source-coupled logic (SCL) structure to reduce the switching noise; The analog correlator composes a single differential sampling cell, the circuits of clock generation and control signals; the A/D converter composes pre-amplifiers, comparators and double interpolation circuits.

In the first and the second year, system simulations would be optimized, based on lower-power architecture and circuit design techniques for low-power analog signal processors. The direct conversion architecture in subproject I creates DC-offset problem, thereby demanding a low-power DC-offset canceller/corrector to relax the design of the analog correlator. So far, the frequency synthesizer and correlator have been designed, fabricated and measured. Additionally, the ADC have been simulated and is under fabrication and optimized for the low-power application.

The overall system requirements are also determined by the aid of the commercial information. The circuit implementation of each building block is on going.

**關鍵詞**—頻率合成器 (frequency synthesizer)、鎖相迴路 (phase-locked loop, PLL)、類比相關器 (analog correlator)、類比數位轉換器 (analog-to-digital converter)。

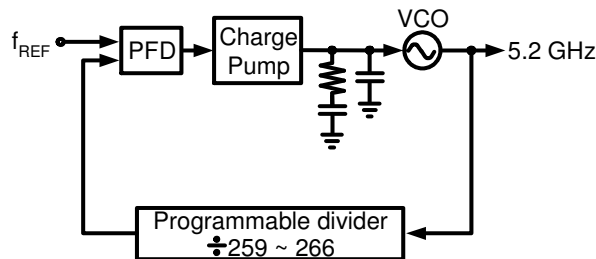
## 一、計畫概述

隨著高資料量傳輸與無線網路的需求與使用者的遽增，為了滿足未來低功率無線傳收機的趨勢與需求，本子計畫利用先進的 CMOS 製程，來實現低功率、可自我測試的 5-GHz 無線傳收機的類比信號處理器，並且設計應用於該傳收機的全積體化的整合性晶片。無線通訊及晶片系統是未來之潮流，除此，低功率之類比電路及內建的自我測試之功能更是關鍵之技術，應用此子計畫之研究成果及配合總計畫之執行，將建立低功率，可自我測試之 5-GHz 無線傳收機。

## 二、子計畫成果簡述

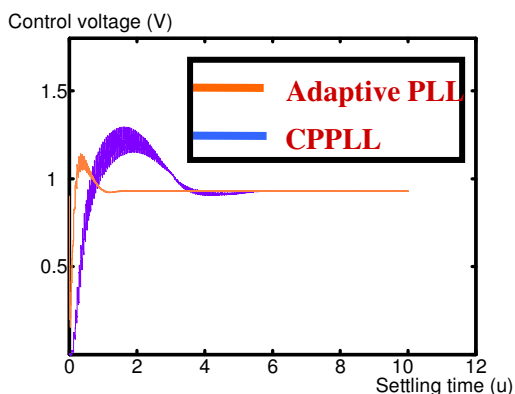
### 1. 頻率合成器

鎖相迴路如圖一，其功能在於追隨輸入訊號的頻率及相位，使得內部時脈與外部參考時脈同相位，避免因高頻或高速所產生的雜訊影響。而在回授路徑上加上除頻電路，則可將輸出時脈穩定在我們所需要的倍數頻率之上。



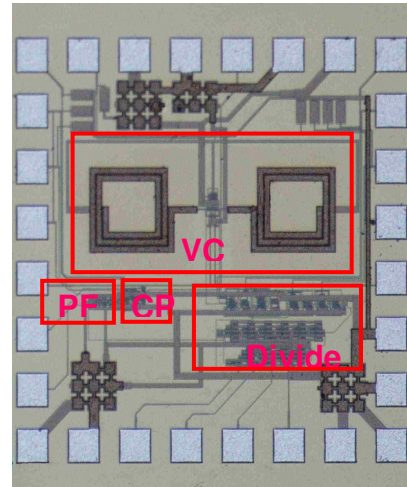
圖一：鎖相迴路(PLL)示意圖

圖二為整個頻率合成器的閉迴路模擬，由圖可見使用可適性頻寬邏輯控制的電路在不增加其 spur 的狀態之下加快鎖定速度。



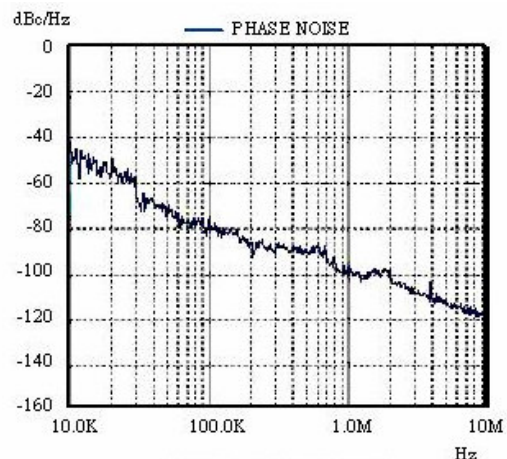
圖二：頻率合成器的閉迴路模擬

此頻率合成器已經由 CIC 完成晶片製作，採用 TSMC 0.18 $\mu$ m CMOS 製程。晶片顯微圖示於圖三，其消耗功率為 20 mW，晶片大小為 1.0x1.0 mm<sup>2</sup>；



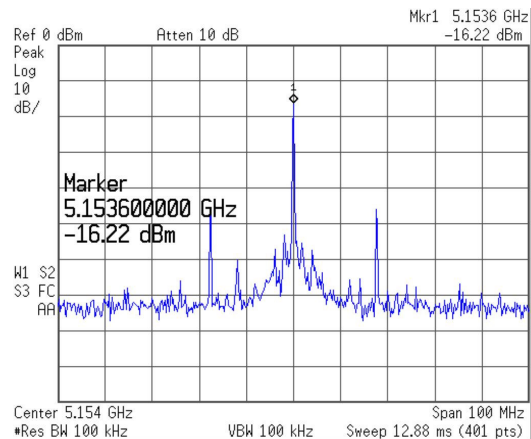
圖三：頻率合成器之晶片顯微圖

圖四為 PLL 的相位雜訊，在 1 MHz 的偏移點，其相位雜訊約為 -100dBc/Hz。

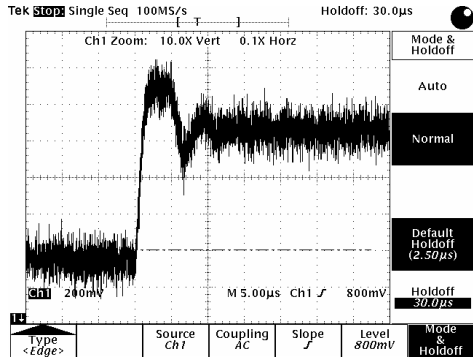


圖四：相位雜訊量測

圖五為頻率合成器鎖定後的頻譜，其 spur 約為 -32 dBc。



圖五：頻率合成器鎖定頻譜圖



圖六：時間響應量測

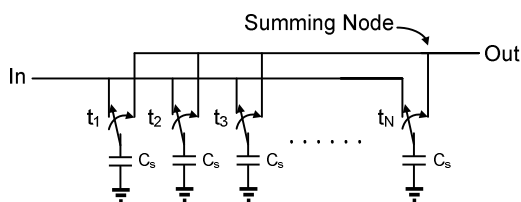
圖六為頻率合成器的鎖定量測波形，因為是將探針直接焊在敏感的VCO控制電壓點上，所以波形會有很大的抖動，可觀察其鎖定時間在0.8V的電壓跳躍時約為10µs。表一為此頻率合成器晶片的特性一覽表。

Technology	0.18-µm CMOS
Chip Area	1.00×1.00 mm <sup>2</sup>
Voltage Supply	1.8 V
Output Frequency	4.6~5.3 GHz
Power Dissipation	20 mW
Phase Noise	-100 dBc/Hz @ 1 MHz
Spur	-32 dBc
Settling Time	10 µs @ 0.8V jump

表一：頻率合成器的效能摘要

## 2.類比相關器

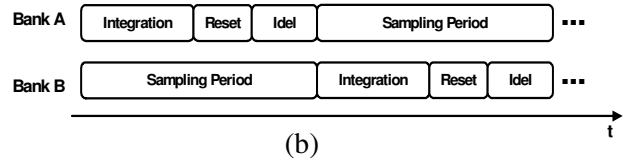
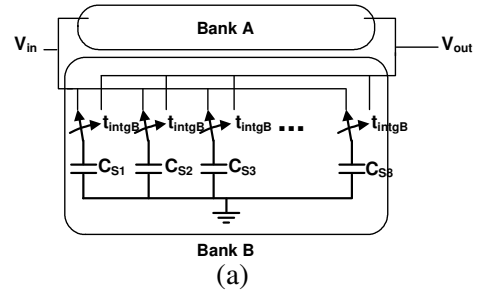
我們選擇 passive data-rate correlation 來實現 analog correlator。它是利用 switched-capacitor (SC) circuit，先將N個chips的值分別存入各個電容，最後輸出至 summing node 完成累加也就是積分的動作，如圖七。此架構完全消除靜態功率損耗及 settling time (amplifier-free)，只提供動態功率達成我們高速且低功率的要求。



圖七：passive data-rate correlation.

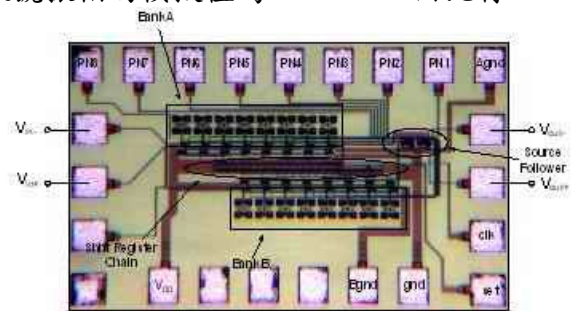
由於 analog correlator 採用的是雙組(two banks)的架構，且每次存入八個 chips 的部

分相關器(partial correlator)，如圖八(a)，圖八(b)為其時態圖，當一組 correlator 在積分時，另一組在做取樣的動作，反之亦然。

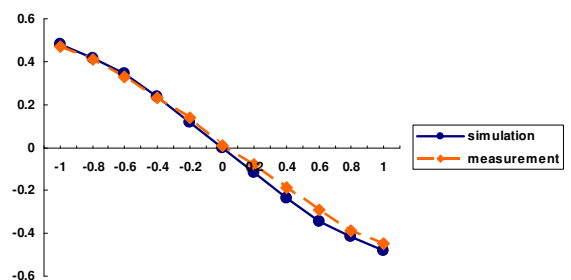


圖八：(a)Two-bank partial analog correlation (b) Timing diagram.

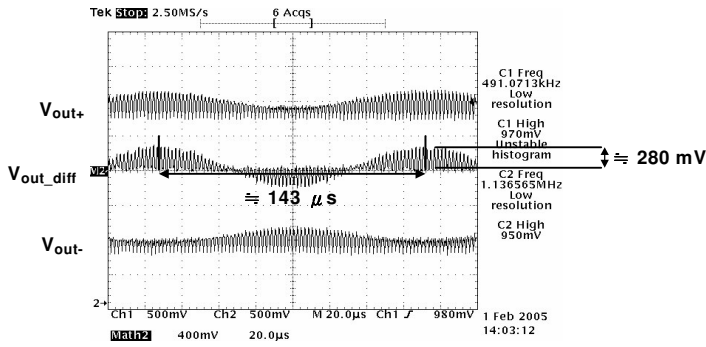
圖九為部分類比相關器(partial analog correlator)的顯微圖，其消耗功率 0.04 mW，晶片面積為 1.02×0.58 mm<sup>2</sup>。圖十為改變輸入的雙端直流電壓，量測到的輸出電壓與模擬比較的結果，在此 clk 頻率等於 16 MHz，所有的 PN code 接地。圖十一為輸入正弦波訊號所得的輸出訊號的量測結果。輸入正弦波的頻率為 7 KHz，且雙端輸出訊號振幅的模擬值為 260 mV，因此符



圖九：partial analog correlator 顯微圖。

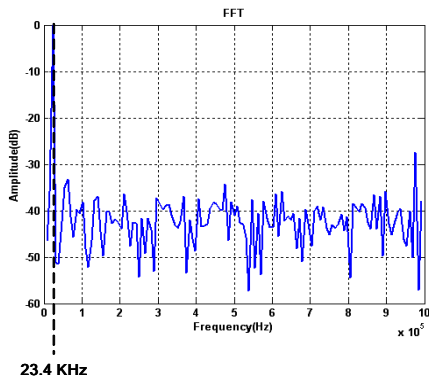


圖十：量測與模擬的比較圖



圖十一：Inputting sinusoidal signal 7 KHz with differential signal swing 400 mV.

合我們預期的結果。接下來我們去觀察 output SNDR 如圖十二，我們輸入的正弦波頻率 23.4 KHz，我們可以觀察出頻譜上最大的功率值落在 23.4 KHz 上，在此情況下的 SNDR 為 19.73 db.



圖十二：輸出訊號的 FFT 分析圖。

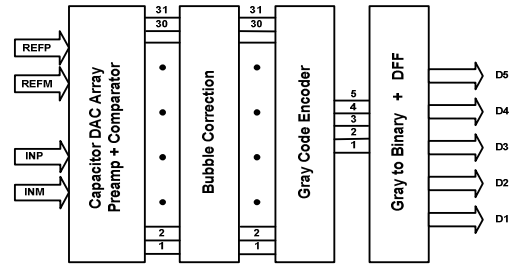
表二為此類比相關器晶片的特性一覽表。

Technology	0.18- $\mu$ m CMOS
Chip Area	1.02 $\times$ 0.58 mm <sup>2</sup>
Voltage Supply	1.8V
Power Dissipation	0.5 mW
PN code length	8 (m-sequence)
Chip rate	16 Mchip/s
Symbol rate	0.5M sym/s

表二：頻類比相關器效能摘要

### 3.類比數位轉換器

快閃式類比數位類比轉換器(Flash ADC)其功能主要是將類比訊號以高速轉成數位訊號，以提供後端數位部分做運算處理。其主要架構如圖十三所示，包括電容式陣列、前置放大器、比較器，以及泡沫更正、格雷碼轉二進位碼。



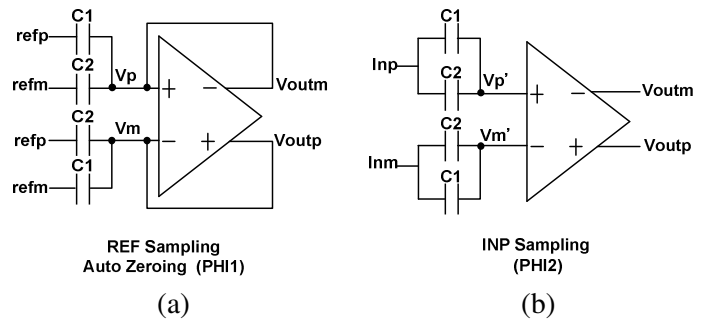
圖十三：ADC 系統架構

在輸入電容式陣列中，藉著相位一(PHI1)相位二(PHI2)取樣、保持，輸入訊號與各級參考電壓產生差值，而放大。其參考電壓各級決定位準由以下式子得知

$$\Delta V_{amp\_in'} = V_{p'} - V_{m'}$$

$$= \frac{1}{C_1 + C_2 + C_p} [(C_1 + C_2)\Delta V_{in} - (C_1 - C_2)\Delta V_{ref}]$$

藉由  $C_1 + C_2$  為定值，改變  $C_1$ 、 $C_2$  大小而產生各級位準。其操作如圖十四。相位一(PHI1)參考電壓取樣並將前置放大器輸入端歸零，接著相位二(PHI2)輸入電壓取樣，訊號由前置放大器放大，可大大減少靜態功率消耗。

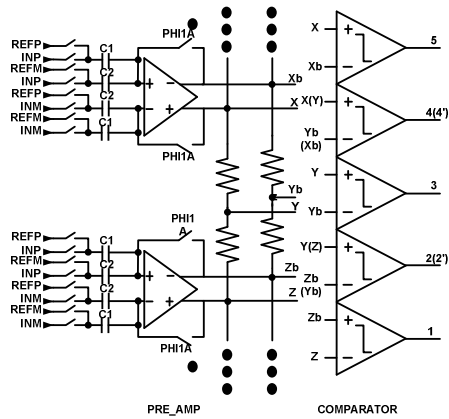


圖十四：電容式陣列操作圖 (a)refp /refm 取樣 (b)Inp/Inm 取樣

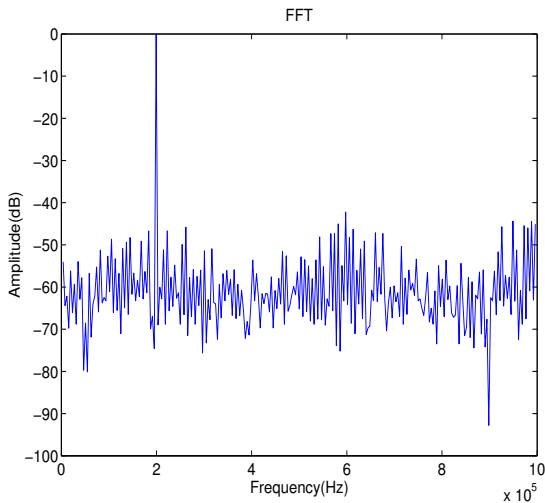
為了節省前置放大器的數目與節省功率考量，我們採用雙重內插方法。如圖十五，藉由從前置放大器以平均方式取出中間值  $Y$ 、 $Y_b$ ，完成第一級內插，接著分別取出  $X$ 、 $Y_b$  以及  $Y$ 、 $Z_b$  兩個位準，當第二級內插。這個架構可以節省 1/4 的前置放大器。

經過電路模擬得到最後頻譜圖如圖十六，當輸取樣頻率為 2 MHz，輸入頻率為 200 kHz，SNDR 為 30.8dB;在輸入頻率為 1 MHz，SNDR 為 30.5 dB。



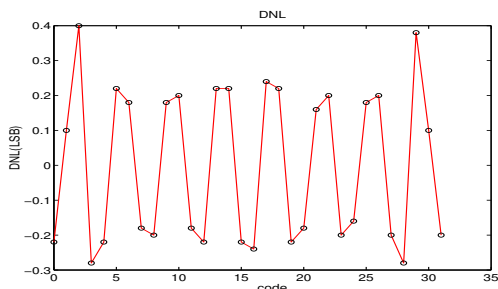


圖十五：雙重內插法電路

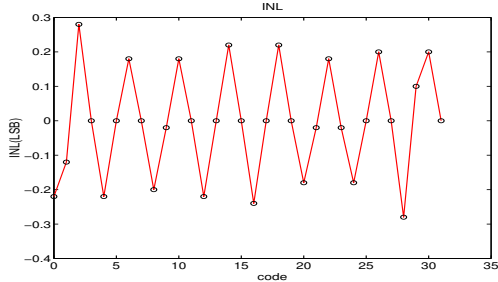


圖十六：當輸入頻率為 200 kHz，取樣頻率為 2MHz 的頻譜圖

圖十七為整體的 DNL 與 INL，皆小於 0.5LSB。圖十八為整體類比數位轉換器佈局圖。最後預計規格表如表三所示。

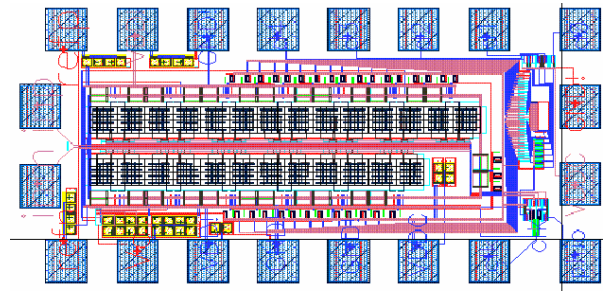


(a)



(b)

圖十七：(a)DNL (b)INL



圖十八：A/D Converter 佈局圖

Technology	0.18- $\mu$ m CMOS
Supply voltage	1.8V
Resolution	5 bits
Clock rate	2 MS/s
SNDR	30.8dB @ $f_{in}$ = 200 KHz 30.5 dB @ $f_{in}$ =1 MHz
DNL/INL	< 0.5LSB
Input Range	0.64 $V_{p-p}$
Power dissipation	1.52 mW

表三：預計規格表

### 三、計畫成果自評

現在我們已完成第二年中的工作，即完成頻率合成器的量測、analog correlator 電路設計與進行量測、類比數位轉換器的設計與晶片佈局。第三年度將完成頻率合成器的整合、類比相關器的量測、類比數位轉換器的量測，並探討單一的系統晶片的可行性。

### 四、參考文獻

- [1] Christopher Lam and Behzad Razavi, "A 2.6-GHz/5.2-GHz Frequency Synthesizer in 0.4 $\mu$ m CMOS Technology," IEEE JSSC, May 2000.
- [2] Joonsuk Lee and Beomsup Kim, "A Low-Noise Fast-Lock Phase-Locked Loop with Adaptive Bandwidth Control," IEEE JSSC, Aug. 2000.
- [3] Joseph M. Ingino and Vincent R. von Kaenel, "A 4-GHz Clock System for a High-Performance System-on-a-Chip Design," IEEE JSSC, Nov. 2001.

- [4]. Keith Onodera and Paul R. Gray "A **75mW 128MHz DS-CDMA Base-band Correlator for High-Speed Wireless Applications**".
- [5]. Raymond L. Pickholtz , Donald L. Schilling, and Laurence B. Milstein, "**Theory of Spread-Spectrum Communications-A Tutorial**".
- [6] Jerry Lin and Baher Haroun, " **An Embedded 0.8 V/480 W 6B/22 MHz Flash ADC in 0.13-um Digital CMOS Process Using a Nonlinear Double Interpolation Technique,**" IEEE JSSC, VOL. 37, NO. 12, DECEMBER 2002.
- [7] M. Steyaert, R. Roovers, and J. Craninckx, "A **100 MHz 8 bit CMOS interpolating A/Dconverter,** " in *Proc. CICC*, 1993, pp. 28.1.1–28.1.4.
- [8] B. Razavi, "**Design of sample-and-hold amplifiers for high-speed low voltage A/D converters,** " *Proc. CICC*, 1997, pp. 59–66.